UNIVERSITÀ DEGLI STUDI DI MILANO - FACOLTÀ DI SCIENZE

UMBERTO PELLEGRINI

TECNICHE DI ELETTRONICA DIGITALE

Volume 1 – Circuiti impulsivi e circuiti logici

Edizioni La Viscontea

UNIVERSITÀ DEGLI STUDI DI MILANO - FACOLTÀ DI SCIENZE

UMBERTO PELLEGRINI

TECNICHE DI ELETTRONICA DIGITALE

Volume 1 - Circuiti impulsivi e circuiti logici

Edizioni La Viscontea

PROPRIETÀ LETTERARIA RISERVATA

1979

Grafiche G. V. - Milano

PREFAZIONE

Queste dispense descrivono le tecniche dei circuiti impulsivi e digitali che oggi vengono largamente applicate nella strumentazione di misura, nei calcolatori, nei sistemi di automazione elettronica.

La trattazione è svolta in modo da segnalare allo studente le proprietà fondamentali ed i criteri di base per il progetto dei circuiti e delle unità funzionali descritte, riducendo all'essenziale il formalismo e l'analisi matematica.

La materia è suddivisa in due volumi ciascuno relativo ai seguenti argomenti:

volume I : reti lineari, componenti attivi, circuiti dell'elettronica impulsiva, algebra Booleana e circuiti logici;

volume II : sistemi di elaborazione dati: strutture hardware, strutture dei sistemi di memoria, strutture software;

Queste dispense, scritte affinché servano di riferimento agli studenti per la laurea in Fisica nel corso di "Elettronica Applicata", possono essere di valida guida, per una successiva specializzazione in elettronica digitale, anche ai tecnici diplomati impegnati in attività di sviluppo nei centri di ricerca e nei laboratori industriali.

Umberto Pellegrini

Milano, novembre 1978

Capitolo 1

RETI LINEARI IN REGIME IMPULSIVO.

La proprietà caratteristica di una rete lineare è quella di trasmettere un segnale sinusoidale senza modificarne la forma: il segnale applicato ai morsetti di entrata si ritrova ai morsetti di uscita solo con una variazione di ampiezza e di fase ma sempre con forma sinusoidale.
Nelle tecniche impulsive i segnali di eccitazione all'ingresso delle reti sono di tipo non – sinusoidale, come ad esempio l'impulso a gradino unitario, l'impulso a salita o a discesa esponenziale, la rampa lineare, l'impulso a δ di Dirac, l'impulso gaussiano (vedasi Tabella 1.1).
Questi impulsi possono mutare di forma anche radicalmente quando attraversano una rete lineare. Per rendersene conto, basta riferirsi alle diverse componenti di Fourier della forma d'onda impulsiva e considerare i differenti valori di sfasamento e di attenuazione che la rete lineare introduce alle diverse frequenze.
Consideriamo, ad esempio, come si sommano l'armonica fondamentale e la terza armonica in un impulso rettangolare: in fig. 1.1 (a) le due componenti armoniche sono in fase e contribuiscono alla formazione di un impulso rettangolare simmetrico, mentre in (b) e in (c) è mostrato come un anticipo o un ritardo della terza armonica rispetto alla fondamentale introduce una deformazione dell'impulso somma.
Questo fa sì che l'impulso rettangolare ideale trasmesso attraverso una rete lineare si presenti in uscita con caratteristiche di forma che dipendono dalla rete stessa e che generalmente vengono individuate mediante la definizione di alcuni parametri tipici quali ad esempio: i tempi di salita, di discesa e di durata dell'impulso; le tensioni di sovraelongazione, di sottoelongazione e di rilassamento. Questi parametri, che possono essere calcolati analiticamente, conoscendo la funzione di trasferimento della rete, vengono determinati in laboratorio operativamente misurandoli con i criteri riportati in fig. 1.2.

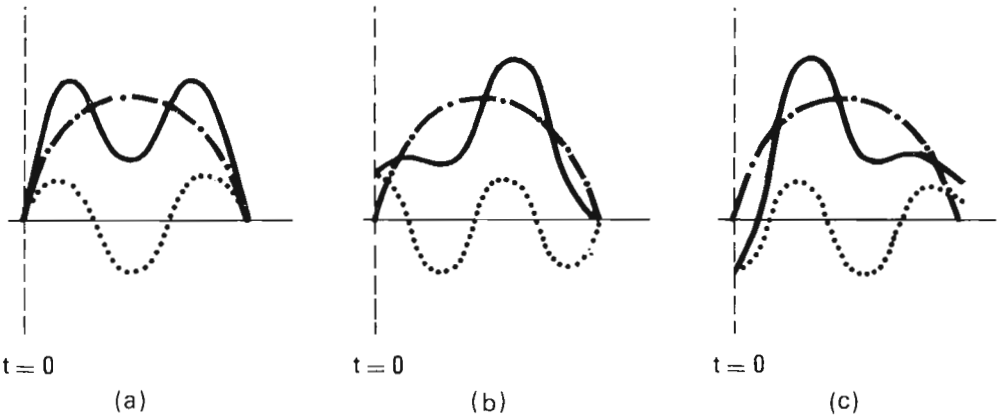


Fig. 1.1 - (a) (b) (c) - Distorsioni dovute allo sfasamento fra prima e terza armonica di un impulso rettangolare.

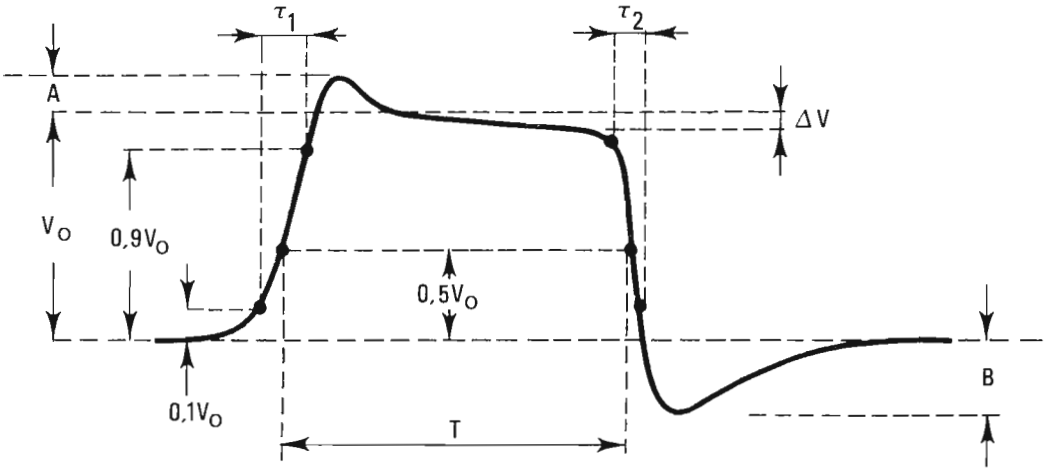


Fig. 1.2 - Parametri tipici di un impulso rettangolare reale determinati operativamente con una misura sull'oscilloscopio:

V_o = ampiezza dell'impulso
A = sovraelongazione o sovratensione (overshoot)
B = sottoelongazione o sottotensione (undershoot)
ΔV = caduta o rilassamento (drop o sag)
τ_1 = tempo di salita, cioè intervallo di tempo necessario affinchè la risposta passi da $0{,}1 V_o$ a $0{,}9 V_o$.
τ_2 = Tempo di discesa, cioè intervallo di tempo necessario affinchè la risposta passi da 0,9 a 0,1 di $V_o - \Delta V$.
T = Durata dell'impulso, cioè intervallo di tempo durante il quale l'impulso rimane al di sopra del valore $0{,}5 V_o$.

1.1. METODI DI ANALISI PER RETI LINEARI.

1.1.1. La trasformata di Laplace.

La risposta di un circuito lineare ad un segnale impulsivo può essere studiata mediante un sistema di equazioni integro-differenziali che lega i segnali di uscita ai segnali di ingresso.

Lo stesso studio può essere facilitato con l'introduzione del metodo della **trasformata di Laplace** .

Questo metodo consente di ricondurre il sistema di equazioni integro-differenziali a derivate nel dominio del tempo, ad un sistema di equazioni algebriche nel dominio di una variabile complessa p.

Prima di iniziare lo studio delle reti dell'elettronica impulsiva, è opportuno richiamare alcune definizioni relative alla trasformata di Laplace ed i risultati che si hanno applicandola ad alcune funzioni elementari di uso frequente nello studio dei circuiti lineari in regime impulsivo.

Una funzione f (t) si dice trasformabile secondo Laplace se esiste un numero complesso p_o tale che risulti convergente l'integrale :

(1.1a) $$F(p_o) = \int_o^\infty f(t)\, e^{-p_o t} \,.\, dt$$

Si può dimostrare che se $F(p_o)$ converge, converge pure, l'integrale di Laplace :

(1.1b) $$F(p) = \mathcal{L}\,[f(t)] = \int_o^\infty f(t)\, e^{-pt} \,.\, dt$$

per ogni valore di p per cui $\alpha = R_e[p] > \alpha o = R_e[p_o]$.

F(p) si dice allora la trasformata di Laplace della f(t), e la parte reale α_o del numero $p_o = \alpha_o + j\,\beta_o$ si dice ascissa di convergenza dell'integrale .

Per le funzioni di uso corrente nell'elettronica è anche possibile definire un'operazione di trasformazione inversa tale che, nota la F (p) nel piano complesso p, consenta di ricavare la f(t) nel dominio del tempo:

(1.2.) $$f^*(t) = \frac{1}{2\pi j}\int_{\alpha - j\infty}^{\alpha + j\infty} F(p) e^{pt} dp \quad .$$

L'operazione (1.2), nota come antitrasformata, è compiuta prendendo gli estremi di integrazione in modo che la parte reale α sia maggiore dell'ascissa di convergenza α_o : con questa scelta l'integrale (1.2) non dipende da α e la $f^*(t)$ coincide con f(t) per $t > 0$, mentre per $t < 0$ è $f^*(t) = 0$.

Nella Tabella 1.1 sono riportate le funzioni f(t) con le relative trasformate che esprimono analiticamente i segnali impulsivi usati più frequentemente nell'elettronica.

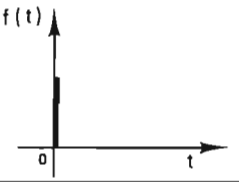
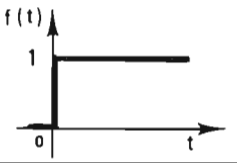
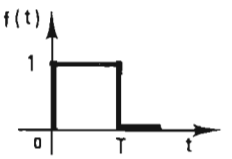
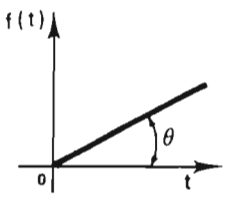
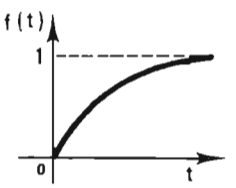
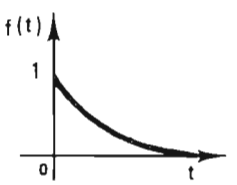
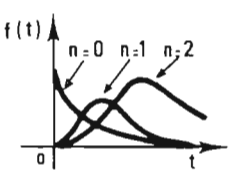
DENOMINAZIONE	RAPPRESENTAZIONE GRAFICA	ESPRESSIONE ANALITICA	TRASFORMATA DI LAPLACE
δ di Dirac		$f(t)=\delta(t) \begin{cases} =\infty \text{ per } t=0 \\ =0 \text{ per } t\neq 0 \end{cases}$ $\int_{-\infty}^{+\infty}\delta(t)\,dt=1$	1
gradino unitario		$f(t)=1(t) \begin{cases} =0 \text{ per } t<0 \\ =1 \text{ per } t>0 \end{cases}$	$\frac{1}{p}$
rettangolo unitario		$f(t)=\mathrm{rect}(T) \begin{cases} =0 \text{ per } t<0 \\ =0 \text{ per } t>T \\ =1 \text{ per } 0<t<T \end{cases}$	$\frac{1}{p}(1-e^{-pT})$
rampa lineare		$f(t) = \begin{cases} =0 \text{ per } t<0 \\ =\alpha t \text{ per } t>0 \\ \alpha=\tan\theta \end{cases}$	$\frac{\alpha}{p^2}$
salita esponenz.		$f(t) = \begin{cases} =0 \text{ per } t<0 \\ =1-e^{-t/\tau} \text{ per } t>0 \end{cases}$	$\frac{1}{p(1+p\tau)}$
discesa esponenz.		$f(t) = \begin{cases} =0 \text{ per } t<0 \\ =e^{-t/\tau} \text{ per } t>0 \end{cases}$	$\frac{\tau}{1+p\tau}$
impulso gaussiano ad area unitaria e baricentro		$f(t) = \begin{cases} =0 \text{ per } t<0 \\ =\frac{1}{n!}\left(\frac{n+1}{\tau}\right)\left[\frac{(n+1)t}{\tau}\right]^n \cdot e^{-(n-1)\frac{t}{\tau}} \text{ per } t>0 \end{cases}$	$\frac{1}{\left(1+p\frac{\tau}{n+1}\right)^{n+1}}$

Tabella 1.1 – Segnali tipici dell'elettronica impulsiva.

Tra questi segnali merita un cenno particolare la funzione impropria $\delta(t)$ o δ di Dirac, che può essere interpretata analiticamente come configurazione limite di un impulso rettangolare o gaussiano ad area unitaria quando se ne faccia tendere a zero la larghezza.
Ad esempio, nel rettangolo di fig. 1.3 con altezza h, durata t ed area unitaria $h \cdot t = 1$, si cambi progressivamente la forma aumentando h e diminuendo t. L'area rimanga sempre unitaria e situata a destra dell'ascissa $t = 0$: al limite come $t \to 0$ il rettangolo tende a $\delta(t)$.
E' ovvio che da un punto di vista fisico l'eccitazione a $\delta(t)$ non può essere attuata se non in modo approssimato. Un sistema fisico, e tra essi un circuito elettronico, si può dire eccitato con una δ di Dirac se il segnale di eccitazione ha una durata molto minore di tutte le costanti di tempo di integrazione del circuito.

Ad esempio, un impulso rettangolare della durata nell'intervallo dei nanosecondi può essere considerato una $\delta(t)$ per circuiti le cui risposte hanno tempi di salita dell'ordine del microsecondo.

Particolarmente utile nel campo dei circuiti elettronici per applicazioni nucleari, è la funzione dell'impulso gaussiano :

$$f(t) = c_1 t^n e^{-c_2 t} \quad . \tag{1.4}$$

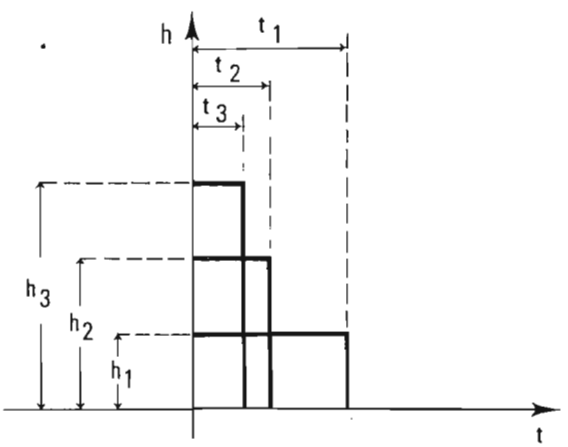


Fig. 1.3 - Impulso rettangolare ad area unitaria che tende alla $\delta(t)$ per $t \to 0$.

Al variare delle costanti c_1 e c_2 e dell'esponente n, essa permette di esprimere analiticamente con buona approssimazione l'impulso di uscita dei rivelatori nucleari, il quale costituisce a sua volta l'impulso di eccitazione all'ingresso delle catene elettroniche per la misura di eventi nucleari.

La risposta u(t) di una rete alla funzione di eccitazione f(t) può essere studiata mediante l'equazione della rete, che si presenta in generale nella forma seguente :

$$(1.5) \quad \frac{d^n u}{dt^n} + a_1 \frac{d^{n-1} u}{dt^{n-1}} + a_{n-1} \frac{du}{dt} + a_n u = f(t).$$

A meno dei termini dovuti alle condizioni iniziali, l'algoritmo di Laplace trasforma le derivate nel tempo della risposta u(t), in semplici prodotti della trasformata u(p) moltiplicata per la variabile p elevata ad un esponente pari all'ordine della derivata. Ciò consente, come si è detto all'inizio, di trasformare l'equazione differenziale (1.5) in una equazione algebrica. Vediamo cosa diventa la trasformata della derivata prima di u(t) :

$$(1.6) \qquad \int_0^\infty e^{-pt} \frac{du}{dt} dt \quad ,$$

integrando per parti si ha :

$$(1.7) \quad e^{-pt} \cdot u \Big|_0^\infty + p \int_0^\infty e^{-pt} \cdot u \cdot dt = -u_0 + pu(p)$$

dove u_0 è il valore di u(t) per t = 0; **cioè, a meno del termine u_0 che è una costante, la trasformata della derivata prima è data dal prodotto p · u(p).** Similmente la trasformata della derivata seconda risulta :

$$(1.8) \quad \int_0^\infty e^{-pt} \frac{d^2 u}{dt^2} dt = e^{-pt} \frac{du}{dt} \Big|_0^\infty + p \int_0^\infty e^{-pt} \frac{du}{dt} dt$$

cioè, sostituendo la soluzione (1.7) nella (1.8) si ha :

$$\mathcal{L} \left[\frac{d^2 u}{dt}\right] = -(pu_0 + u_1) + p^2 u(p) \ ,$$

dove u_1 è la costante iniziale determinata dal valore di $\frac{du}{dt}$ per t = 0. Continuando con questo metodo si vede che l'equazione differenziale (1.5) si trasforma nell'equazione algebrica del tipo :

$$
\begin{aligned}
\varphi(p) \cdot u(p) = \; & f(p) + \\
& + (p^{n-1}u + p^{n-2}u_1 + \ldots\ldots + u_{n-1}) \\
& + a_1 (p^{n-2}u_0 + p^{n-3}u_1 + \ldots\ldots + u_{n-2}) \\
& + a_2 (p^{n-3}u_0 + p^{n-4}u_1 + \ldots\ldots + u_{n-3}) \\
& \ldots\ldots\ldots\ldots \\
& + a_{n-2} (pu_0 + u_1) \\
& + a_{n-1} u_0
\end{aligned}
\tag{1.9}
$$

dove $\varphi(p)$ è un polinomio della variabile p. Anche f(p) è una funzione di p, facilmente reperibile nelle tavole delle trasformate di Laplace per le diverse forme d'onda tipiche f(t). Perciò se indichiamo con $U_0(p)$ tutti i termini derivanti dalle condizioni iniziali di u(t) e dalle sue derivate, vediamo che la trasformata della risposta della rete: u(p) è data dall'equazione algebrica :

$$
u(p) = \frac{f(p) + U_0(p)}{\varphi(p)} \quad . \tag{1.10}
$$

La presenza di un termine con l'integrale di u(t) nella (1.5) porta l'equazione nella categoria delle equazioni integro-differenziali: ciò non muta il risultato 1.10 sia perchè, con successive derivazioni, si possono eliminare i termini integrali eventualmente presenti nella 1.5, sia perchè lo stesso integrale di u(t) ha come trasformata la stessa u(p) divisa per p. Integrando per parti si ha :

$$
\int_0^\infty e^{-pt} \left[\int_0^t u(t)\,dt\right] dt = \frac{1}{p}\int_0^a e^{-pt} u(t)\,dt = \frac{u(p)}{p} \quad . \tag{1.11}
$$

Applicando questi risultati ad una rete LRC come quella di fig. 1.4, si vede che l'equazione integro-differenziale:

$$
L\frac{di}{dt} + Ri + \frac{1}{C}\int_0^t i\,dt = e(t) \tag{1.12}
$$

si trasforma nell'equazione algebrica :

$$
\left(pL + R + \frac{1}{pC}\right) \cdot i(p) = e(p) \quad . \tag{1.13}
$$

I termini pL e $\frac{1}{pC}$ prendono il nome di impedenze trasformate rispettivamente di un induttore e di un condensatore.

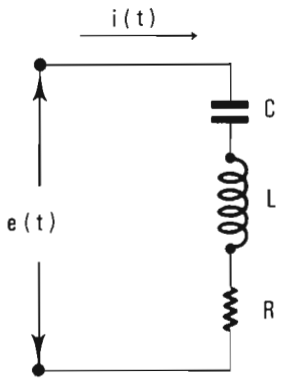


Fig. 1.4 - Rete RLC con l'impendenza trasformata per i diversi componenti.

1.1.2. La funzione di trasferimento come operatore lineare.

Consideriamo un circuito lineare a cui venga applicato in entrata un segnale di eccitazione e(t) la cui trasformazione di Laplace sia e(p).
Nel dominio delle trasformate è noto che l'uscita u(p) è legata alla e(p) dalla relazione :

$$u(p) = T(p) \cdot e(p) \quad , \tag{1.14}$$

dove T(p) è la funzione di trasferimento del circuito.
Nel caso in cui $e(t) = \delta(t)$ si ha :

$$u(p) = T(p) \quad , \tag{1.15}$$

cioè **la risposta trasformata di un circuito lineare alla $\delta(t)$ coincide con la funzione di trasferimento del circuito** (*).
L'uscita u(t) nel dominio del tempo può essere interpretata come il risultato di una trasformazione lineare, con operatore 0, compiuta dal circuito stesso sul segnale di entrata e(t) (**).

(*) E' bene ricordare a questo punto che T(p) è definita univocamente una volta fissato il circuito; al contrario, assegnata una T(p), questa non determina univocamente la rete corrispondente.

(**) Vedasi: "E. Gatti, P. F. Manfredi, A. Rimini: "Elementi di Teoria delle reti lineari" - Capitolo I - Casa Edit. Ambrosiana, Milano 1966.

(1.16) $$u(t) = 0\, e(t) \quad .$$

Pensiamo allora di far corrispondere all'operatore 0 la funzione di trasferimento T(p) e scriviamo per convenzione :

(1.17) $$u(t) = T(p)\ [e(t)] \quad .$$

Questa rappresentazione formale della funzione di trasferimento come operatore lineare permette spesso di ricostruire, con immediatezza e semplicità, il segnale di uscita di un circuito lineare, eccitato da una generica forma d'onda in entrata.
A questo fine è bene tener presente il risultato che si ottiene applicando alle forme d'onda elementari di Tabella 1.1 alcuni operatori elementari. Consideriamo, ad esempio, come operatori elementari i seguenti :

1. operatore di integrazione : $0 \equiv \frac{1}{p}$;
2. operatore di derivazione : $0 \equiv p$;
3. operatore di integrazione approssimata : $0 \equiv \frac{1}{1+p\tau}$;
4. operatore di derivazione approssimata : $0 \equiv \frac{p\tau}{1+p\tau}$;
5. operatore di puro ritardo : $0 \equiv e^{-pT}$.

Vediamo che le varie forme d'onda di Tabella 1.1 possono essere trasformate l'una nell'altra con l'applicazione di uno di questi operatori.
Così, l'applicazione dell'operatore di integrazione $0 \equiv \frac{1}{p}$ alla $\delta(t)$ ci dà il gradino unitario; lo stesso operatore applicato al gradino unitario ci dà la rampa lineare: si può anche dire che la rampa lineare è ottenuta con due successive integrazioni della $\delta(t)$.
Viceversa, applicando l'operatore di derivazione $0 \equiv p$ si compie la trasformazione inversa ottenendo dalla rampa il gradino unitario e dal gradino unitario la $\delta(t)$.
L'operatore di quasi integrazione trasforma il gradino unitario nella salita esponenziale. Se esaminiamo l'operatore di puro ritardo, vediamo che esso è molto utile per ottenere forme d'onda più complicate come somma a istanti diversi di forma d'onda elementari: così, ad esempio, l'impulso ret-

tangolare con trasformata $\frac{1}{p}(1 - e^{-pT})$ risulta semplicemente dalla somma di un gradino unitario a trasformata $\frac{1}{p}$, con un altro gradino unitario ma negativo ritardato di un tempo T, cioè con un gradino negativo a cui è applicato l'operatore e^{-pT}.

Una volta acquistata familiarità con le trasformazioni degli operatori elementari, si possono applicare le proprietà degli operatori lineari per studiare il risultato di funzioni di trasferimento più complicate.

Quando la T(p) può essere scomposta in somma di termini più semplici, si applica la **proprietà distributiva** :

$$T(p) = T_1(p) + T_2(p) + \ldots\ldots + T_n(p) \quad , \tag{1.18}$$

allora la u(t) viene ricostruita come somma delle forme d'onda ottenute applicando separatamente alle e(t) i diversi termini $T_i(p)$:

$$u(t) = T_1(p)[e(t)] + T_2(p)[e(t)] + \\ + \ldots\ldots + T_n(p)[e(t)] \, . \tag{1.19}$$

Altre volte la T(p) può essere scomposta in fattori :

$$T(p) = T_1(p) \cdot T_2(p) \ldots\ldots \cdot T_m(p) \, . \tag{1.20}$$

Si procede allora applicando all'entrata e(t) prima l'operatore $T_m(p)$; quindi alla nuova forma d'onda $T_m(p)[e(t)]$ si applica l'operatore $T_{m-1}(p)$ e così via fino all'operatore $T_1(p)$. Ciò è facilitato grazie alla **proprietà commutativa degli operatori lineari** secondo cui è :

$$T_1(p) \cdot T_2(p)[e(t)] = T_1(p)[T_2(p)(e(t))] . \tag{1.21}$$

Così, ad esempio, lo stesso operatore di derivazione approssimata può essere considerato come il prodotto di una costante τ per l'operatore di derivazione p, il tutto moltiplicato ancora per l'operatore di integrazione approssimata $\frac{1}{1+p\tau}$.

La proprietà distributiva può essere applicata oltre che alla T(p) anche alla e(p), qualora questa ultima risulti scomponibile nella somma di forme d'onda più elementari.

$$e(p) = e_1(p) + e_2(p). \tag{1.22}$$

La forma d'onda d'uscita può essere ottenuta, secondo il principio della sovrapposizione degli effetti, dalla relazione :

$$(1.23)\quad u(t) = T(p)\,[e(t)] = T(p)\,[e_1(t)] + T(p)\,[e_2(t)].$$

Quale esempio di applicazione di queste tecniche studiamo l'uscita di un circuito che abbia come funzione di trasferimento l'operatore di derivazione approssimata $\frac{p\tau}{1+p\tau}$ e che venga eccitato da un impulso rettangolare unitario di durata T.

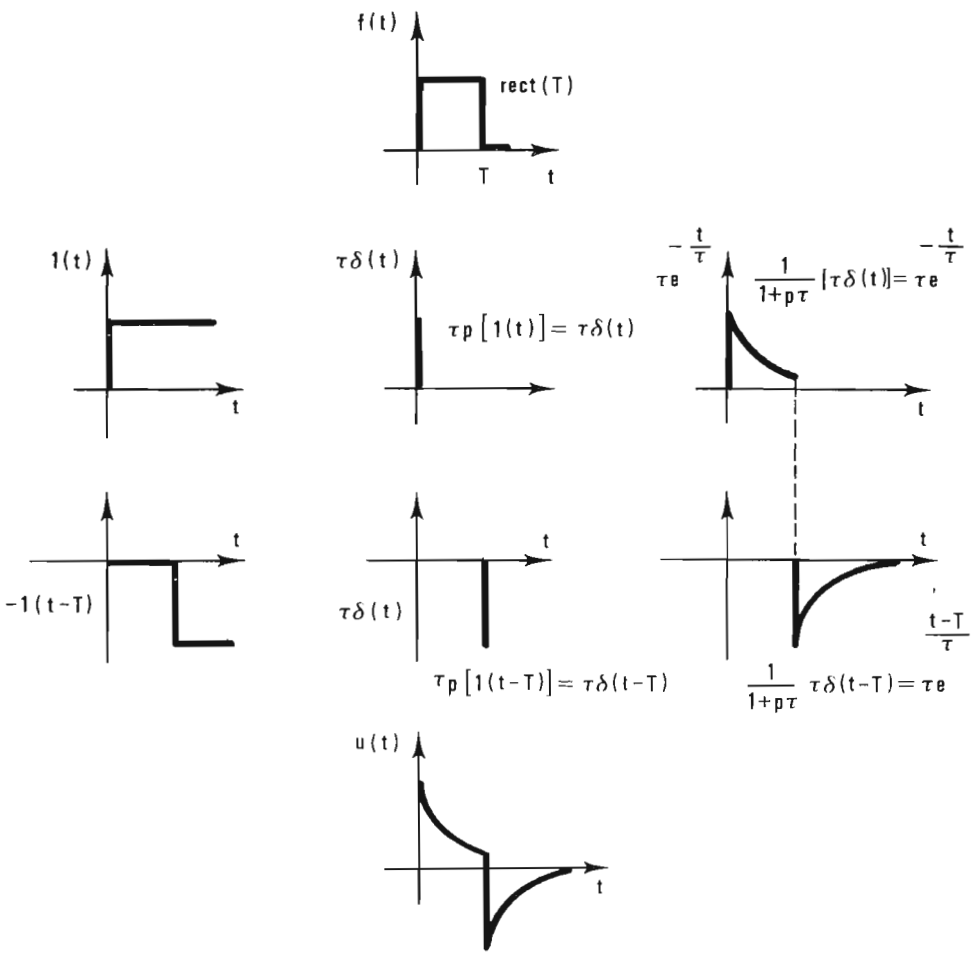


Fig. 1.5 - Applicazione della proprietà distributiva e commutativa nella trasformazione di un impulso rettangolare ideale con l'operatore di quasi-derivazione.

Come è stato già accennato, consideriamo l'impulso rettangolare come somma di due impulsi a gradino unitario l'uno positivo al tempo $t = 0$ e lo altro negativo al tempo $t = T$:

$$\text{(1.24)} \qquad \mathrm{rect}(T) = 1(t) - 1(t - T).$$

Applichiamo quindi la proprietà commutativa all'operatore 0 di quasi derivazione, considerandolo come il prodotto di tre operatori $0_1 = \tau$, $0_2 = p$, $0_3 = \frac{1}{1 + p\tau}$ e scriviamo :

$$\text{(1.25)} \quad u(t) = 0 \cdot [\mathrm{rect}(T)] = 0_1 \cdot 0_2 \cdot 0_3 \, [1(t) - 1(t - T)]$$

$$\text{(1.26)} \quad u(t) = 0_1 \cdot 0_2 \cdot 0_3 \, [1(t)] - 0_1 \cdot 0_2 \cdot 0_3 \, [1(t - T)] \, .$$

Possiamo studiare separatamente la trasformazione operata da 0_1, 0_2, 0_3 prima su $1(t)$, quindi su $1(t-T)$ ed infine sommare i risultati come mostrato in fig. 1.5.
L'impulso a gradino unitario viene trasformato prima in una δ di Dirac moltiplicata per la costante τ dall'operatore di derivazione e quindi in un'esponenziale dall'operatore di quasi integrazione. La forma d'onda d'uscita, somma dell'esponenziale $e^{-\frac{t}{\tau}}$ con la $-e^{-\frac{t-T}{\tau}}$ è funzione del valore relativo della costante τ rispetto alla durata dell'impulso d'entrata T: per $\tau \ll T$ l'esponenziale si avvicina asintoticamente al livello zero prima dell'istante T come in fig. 1.6 (a), per $T \simeq \tau$ la forma d'onda è del tipo mostra-

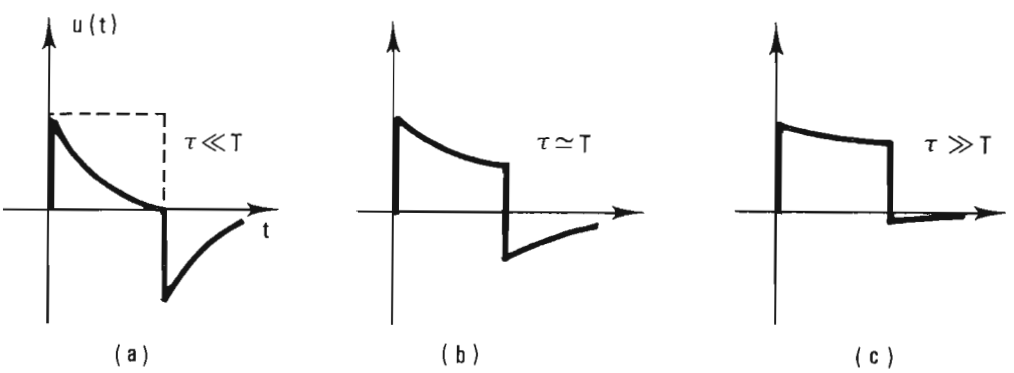


Fig. 1.6 - Quasi-derivazione dell'impulso rettangolare per diversi valori della costante τ rispetto alla durata dell'impulso T.

to in fig. 1.6 (b), per $T \ll \tau$ vi è una tenue caduta esponenziale durante l'intervallo T e l'impulso conserva approssimativamente la forma rettangolare come in fig. 1.6(c).

Come sarà illustrato più ampiamente in seguito, a proposito dei circuiti di quasi-derivazione o passa-alto, questo andamento delle forme d'onda è rigorosamente valido solo quando l'impulso rettangolare mostra fronti d'onda con tempi di salita e tempi di discesa nulli: in pratica la trattazione è ancora valida quando detti tempi sono molto piccoli rispetto alla costante di tempo τ.

1.2. IL CIRCUITO PASSA-ALTO O QUASI DERIVATORE RC ED RL .

Se consideriamo le reti di fig. 1.7, possiamo scrivere :

$$\begin{cases} e = \frac{1}{C} \int i dt + Ri \\ u = Ri \ . \end{cases} \tag{1.27}$$

$$\begin{cases} e = Ri + L.\frac{di}{dt} \\ u = L \frac{di}{dt} \ . \end{cases} \tag{1.28}$$

Si è indicata con i la corrente che circola in C ed R nel circuito di fig. 1.7 (a) ed in R ed L nel circuito di fig. 1.7(b). Le due reti sono perciò considerate collegate in entrata ad un generatore di tensione ideale con impedenza interna nulla ed in uscita ad un carico con impedenza infinita, in modo che tutta la corrente fluente in C passi anche in R nel caso di fig.

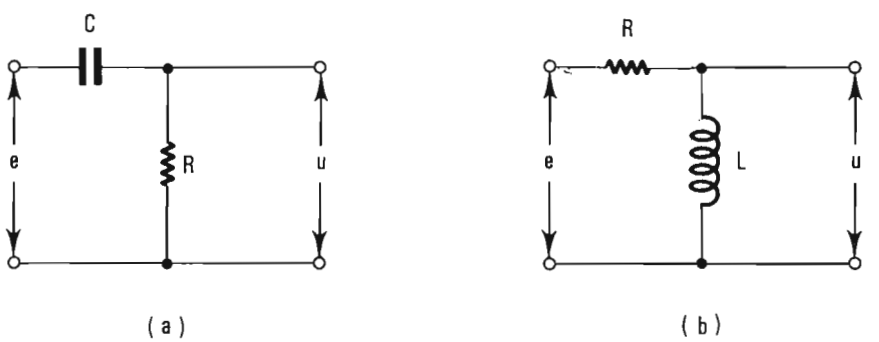


Fig. 1.7 - (a) (b) - Circuiti di quasi-derivazione

1.7(a), oppure la corrente in R passi tutta in L se ci si riferisce alla fig. 1.7(b).
Chiamando con τ la costante di tempo RC oppure la costante di tempo L/R, entrambe le reti possono essere descritte dall'unica equazione ottenuta eliminando i nelle (1.27) e (1.28) :

$$\frac{de}{dt} = \frac{u}{\tau} + \frac{du}{dt} \quad . \tag{1.29}$$

cioè **le due reti hanno lo stesso tipo di comportamento, anzi agiscono nella stessa maniera a parità di costante di tempo τ.**
Quando τ è molto piccolo in modo che il primo termine a secondo membro della (1.29) sia preponderante rispetto a $\frac{du}{dt}$, l'equazione si può mettere con buona approssimazione nella forma :

$$\frac{de}{dt} \simeq \frac{u}{\tau} \quad ; \quad u \simeq \tau \frac{de}{dt} \quad . \tag{1.30}$$

La forma d'onda d'uscita risulta approssimata, a meno della costante τ, alla derivata della forma d'onda d'entrata. Per questo tali reti sono dette di quasi-derivazione.
Il risultato della trattazione precedente, svolta per dare una visione più intuitiva del comportamento di dette reti, può essere raggiunto con molta semplicità usando la trasformata di Laplace e facendo riferimento alla funzione di trasferimento come operatore.
Le equazioni trasformate delle reti in fig. 1.7 sono :

$$\begin{cases} e(p) = (\frac{1}{pC} + R) \cdot i(p) \\ u(p) = R \cdot i(p) \end{cases} \tag{1.31}$$

$$\begin{cases} e(p) = (R + pL) \cdot i(p) \\ u(p) = pL \cdot i(p) \end{cases} \tag{1.32}$$

eliminando i(p), entrambi i sistemi possono essere ricondotti all'unica equazione :

$$u(p) = \frac{p\tau}{1+p\tau}\, e(p) \quad , \tag{1.33}$$

come si vede, **la funzione di trasferimento dei due circuiti coincide con l'operatore di quasi-derivazione.** Tale operatore prende questa denominazione perchè, facendo $p\tau \ll 1$, esso si approssima con l'operatore di derivazione ideale p a meno della costante moltiplicativa τ.
Benchè le reti RC ed RL abbiano lo stesso comportamento, ed in teoria possano essere usate indifferentemente l'una al posto dell'altra, tuttavia **in pratica il circuito RC è molto più frequente perchè è più economico e si avvicina meglio alle prestazioni ideali**: la resistenza di perdita del condensatore C è quasi sempre trascurabile, mentre non lo è quasi mai la resistenza dell'induttore L; inoltre il circuito RC presenta una resistenza d'uscita R a frequenza zero, mentre nel circuito RL l'uscita tende al corto-circuito con tensione continua.
In conseguenza dell'uso frequentissimo della rete RC sia come rete di accoppiamento sia come rete di quasi-derivazione, è della massima importanza studiare attentamente il comportamento di questa rete per diversi tipi di segnale di entrata. Quanto verrá discusso per il circuito RC vale anche, come si è visto, per il circuito RL.

1.2.1. Risposta a segnale sinusoidale .

Per segnali sinusoidali conviene scrivere le equazioni delle reti come segue:

$$\begin{cases} e = \left(\dfrac{1}{j\omega C} + R\right)\dfrac{u}{R} = \dfrac{1+j\omega CR}{j\omega CR}\, u \\[2ex] e = (R + j\omega L)\dfrac{u}{j\omega L} = \dfrac{1+j\omega L/R}{j\omega L/R}\, u \end{cases} \quad . \tag{1.34}$$

in entrambi i casi il rapporto fra uscita ed entrata risulta :

$$\frac{u}{e} = \frac{j\omega\tau}{1+j\omega\tau} \quad , \tag{1.35}$$

$$\left|\frac{u}{e}\right| = \left|\frac{\omega^2\tau^2 + j\omega\tau}{1+\omega^2\tau^2}\right| = \frac{1}{\sqrt{1+\dfrac{1}{\omega^2\tau^2}}} \quad . \tag{1.36}$$

In questo caso, piuttosto che riferirsi alla costante di tempo , si è soliti riferirsi alla pulsazione di taglio ω_c ed alla frequenza di taglio f_c, che sono nelle seguenti relazioni con τ :

$$\omega_c = \frac{1}{\tau} \qquad f_c = \frac{1}{2\pi\tau} \quad . \tag{1.37}$$

Con questi nuovi parametri la (1.36) mostra che l'attenuazione o guadagno fra entrata ed uscita è :

$$\left|\frac{u}{e}\right| = A = \frac{1}{\sqrt{1+(\frac{\omega_c}{\omega})^2}} = \frac{1}{\sqrt{1+(\frac{f_c}{f})^2}} \tag{1.38}$$

lo sfasamento φ , fra entrata ed uscita, risulta dal rapporto fra parte immaginaria e reale :

$$\varphi = \text{arctang}\,\frac{\omega_c}{\omega} = \text{arctang}\,\frac{f_c}{f} \quad . \tag{1.39}$$

Si vede quindi che alla pulsazione ω_c o frequenza f_c la reattanza del condensatore è eguale alla resistenza R ed il circuito presenta un'attenuazione pari a $1/\sqrt{2} = 0{,}707$. Quest'attenuazione espressa in db è pari a 3 db e perciò la frequenza f_c è detta anche frequenza di taglio a 3 db.
Il guadagno tende da 0 a 1 passando da frequenza zero a frequenza più alte di f_c : **il circuito è detto perciò passa-alto perchè trasmette inalterate le alte frequenze mentre attenua quelle al di sotto di f_c.**

1.2.2. Risposta all'impulso a gradino con ampiezza V_o .

Consideriamo applicato all'entrata l'impulso :

$$e(t) = V_o 1(t) \tag{1.40}$$

secondo la (1.29) la risposta del circuito si ottiene dall'equazione differenziale :

$$\frac{du}{dt} + \frac{u}{\tau} = V_o \cdot \delta(t) \tag{1.41}$$

la cui soluzione è di tipo esponenziale :

$$(1.42) \qquad u(t) = B_1 + B_2 \, e^{-\frac{t}{\tau}}$$

le costanti B_1 e B_2 si definiscono tenendo presente che per $t \to \infty$ la $u(t) \to 0$ perciò $B_1 = 0$, mentre per $t \to 0$ la $u(t) \to V_0$ perciò $B_2 = V_0$.
La soluzione finale si scrive :

$$(1.43) \qquad u = V_0 e^{-\frac{t}{\tau}} .$$

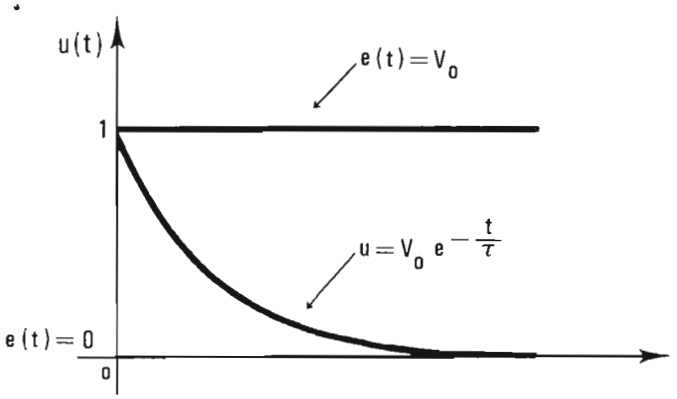


Fig. 1.8 -

Perciò si conclude che applicando in entrata un segnale con una discontinuità V_0, l'uscita segue esattamente la brusca discontinuità d'entrata e poi decade esponenzialmente con costante di tempo τ.

1.2.3. Risposta all'impulso rettangolare di ampiezza V_0 e durata T.

L'impulso rettangolare è la sovrapposizione di due impulsi a gradino di eguale ampiezza ma di polarità opposta, separati nel tempo da un intervallo pari alla durata dell'impulso.
Perciò fino al tempo $t = T$ la risposta deve essere identica alla 1.43. All'istante $t = T$ l'uscita deve seguire per intero la brusca variazione dovuta al secondo gradino con un'ampiezza esattamente pari a V_0, perchè il condensatore non può variare istantaneamente la sua carica. Successivamente per $t > T$, l'uscita decade ancora esponenzialmente verso la tensione zero sempre con costante di tempo τ.

La rete distorce l'impulso: la distorsione è tanto maggiore quanto più τ è piccolo rispetto a T: al limite per $\tau \ll T$ l'uscita risulta formata da due picchi molto stretti che possono essere approssimati a due δ di Dirac rispetto all'impulso di durata T, cioè i due picchi approssimano la derivata dell'entrata.

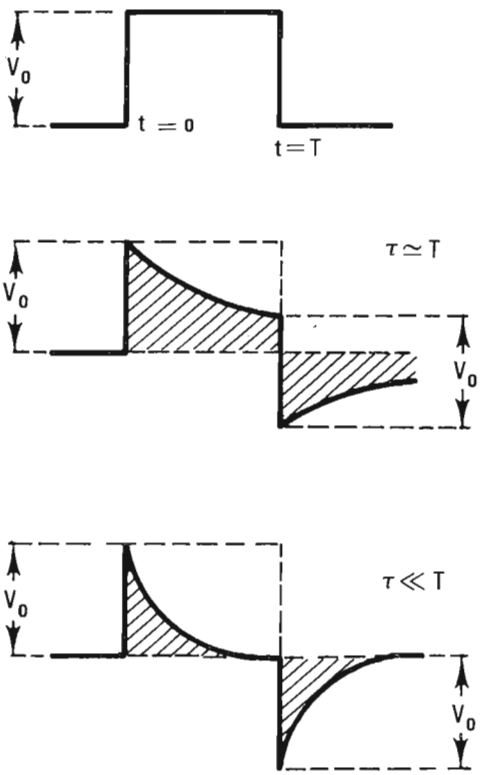


Fig. 1.9 -

La carica del condensatore, che al tempo t = 0 era nulla, torna a zero per $t \to \infty$. La carica totale nel condensatore deve perciò essere nulla:

$$Q = \int_{t=o}^{t=\infty} i dt = \int_{t=o}^{t=\infty} \frac{u}{R} \, dt = 0. \tag{1.44}$$

Ciò significa anche che l'area positiva dell'impulso d'uscita deve sempre essere eguale all'area negativa, cioè deve essere :

$$\frac{1}{R} \int_{o}^{t=T} u dt = \frac{1}{R} \int_{t=T}^{t=\infty} u dt \quad .$$

Questo equivale anche a dire che in **uscita non viene trasmessa alcuna componente continua**: cosa d'altra parte ovvia, essendo l'accoppiamento fra entrata ed uscita attuato attraverso il condensatore che non può trasmettere la tensione continua.

1.2.4. Risposta ad una forma d'onda rettangolare periodica.

Per discutere la forma d'uscita ottenuta da un segnale d'entrata a onda rettangolare periodica con tempi di pieno T_1 e tempi di vuoto T_2, come riportato in fig. 1.10, basta tener presente che devono essere soddisfatte le seguenti condizioni :

- in condizioni stazionarie, **il livello medio della tensione d'uscita deve essere zero** a prescindere da quale sia il livello su cui è impostato il segnale d'ingresso, cioè l'uscita deve avere aree positive eguali alle aree negative;
- **ogni cambiamento discontinuo della tensione d'entrata deve essere ripetuto in uscita**; perciò, riferendoci alla fig. 1.10, deve essere :

$$\begin{cases} u_2 - u_3 = V_0 \\ u_1 - u_4 = V_0 \end{cases} \quad ; \tag{1.45}$$

- **durante ogni intervallo di tempo compreso fra due discontinuità, l'uscita decade esponenzialmente verso lo zero**, perciò deve essere :

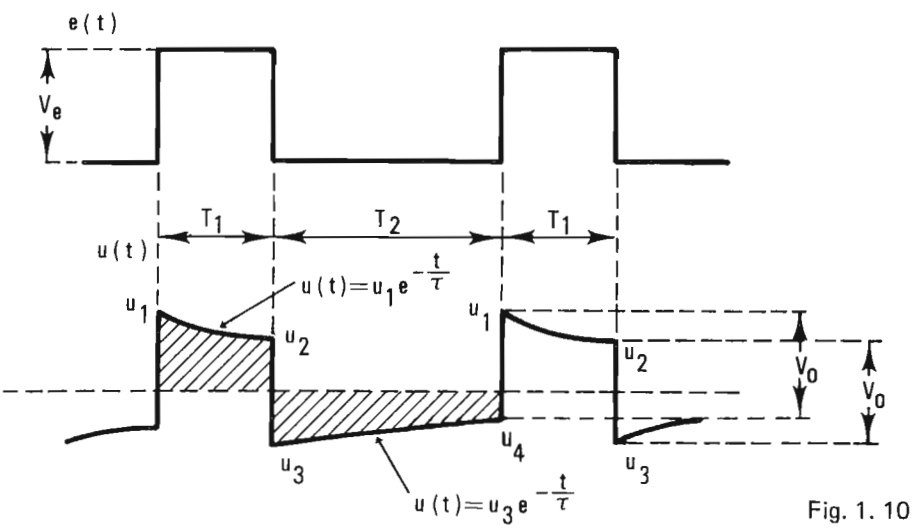


Fig. 1. 10 -

$$(1.46) \qquad \begin{cases} u_2 = u_1 e^{\frac{-T_1}{\tau}} \\ u_4 = u_3 e^{\frac{-T_2}{\tau}} \end{cases} .$$

Le equazioni (1.45) e (1.46) permettono di determinare l'andamento dell'uscita, poichè trovati i quattro valori u_1 u_2 u_3, u_4 ogni altro valore ad un tempo t qualsiasi si determina dall'andamento esponenziale. Se $\tau \gg T_1$ e T_2, la forma d'uscita è ancora quasi rettangolare con una leggera caduta fra due discontinuità successive: infatti durante questi intervalli l'esponenziale può approssimarsi con un andamento lineare:

$$e^{\frac{-T}{\tau}} \simeq 1 - \frac{T}{\tau} \quad \text{per} \quad \frac{T}{\tau} \ll 1.$$

Se invece $\tau \ll T_1$ e T_2, allora l'esponenziale si esaurisce completamente fra due discontinuità successive e perciò l'uscita presenta dei picchi positivi e negativi per ogni fronte d'onda positivo e negativo.

1.2.5. Risposta ad un impulso a salita esponenziale.

Abbiamo finora esaminato risposte a forma d'onda ideali, perchè nessun segnale generato sperimentalmente può fornire una discontinuità in un tempo zero. Sicchè in pratica può essere utile esaminare la risposta ad un segnale a salita esponenziale oltre che al gradino unitario.
Dalla Tabella 1.1 sappiamo che l'entrata, con ampiezza V_0, ha una trasformata del tipo:

$$e(p) = \frac{V_0}{p\,(1 + p\alpha)}$$

dove α è la costante di tempo della salita esponenziale in entrata. Ricorrendo alla (1.33) vediamo che l'uscita è data da :

$$(1.47) \quad u(p) = \frac{p\,\tau}{(1 + p\tau)} \cdot \frac{V_0}{p\,(1 + p\alpha)} = \frac{\tau V_0}{(1 + p\tau)\,(1 + p\alpha)} .$$

Dalle tabelle delle trasformate di Laplace, vediamo che la (1.47) corrisponde alla seguente funzione di t :

(1.48) $$u(t) = \frac{\tau V_o}{\tau - \alpha}\left(e^{-\frac{t}{\tau}} - e^{-\frac{t}{\alpha}}\right) \quad .$$

Se $\alpha = \tau$ la antitrasformata diventa :

(1.49) $$u(t) = V_o \frac{t}{\tau} e^{-\frac{t}{\tau}}$$

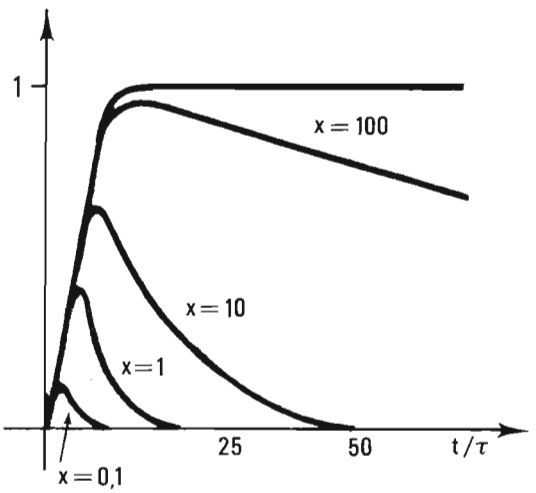


Fig. 1.11 -

La fig. 1.11 riporta l'andamento dell'uscita in funzione del rapporto $x = \frac{\tau}{\alpha}$. Quando $\alpha \ll \tau$ si vede che l'uscita raggiunge il valore V_o e poi decade esponenzialmente con costante τ : cioè in questo caso il circuito vede l'entrata come un gradino con discontinuità in un tempo quasi zero rispetto a τ. Infatti la (1.48) per $\alpha \ll \tau$ si approssima alla (1.43).
Viceversa, quando $\alpha \gg \tau$ si vede che l'uscita non raggiunge il valore V_o: è vero che l'esponenziale d'uscita diventa sempre più rapido, ma contemporaneamente l'ampiezza dell'impulso si riduce a valori via via più piccoli. Secondo quanto abbiamo già descritto, per $x < 1$, il circuito si comporta come un derivatore e l'uscita corrisponde a un impulso la cui durata si esaurisce nel tempo di salita dell'impulso d'entrata e la cui ampiezza si riduce al diminuire di x : aumenta infatti il rapporto di partizione fra entrata ed uscita perchè, al diminuire di τ, l'impedenza del ramo capacitivo cresce rispetto a quella del ramo resistivo.

1.2.6. Risposta ad un segnale a salita lineare .

Anche in questo caso, dalla Tabella 1.1 e dalla 1.33 troviamo che la trasformata dell'uscita è data da :

$$(1.50) \qquad u(p) = \frac{p\tau}{1+p\tau}\, e(p) = \frac{p\tau}{1+p\tau}\,\frac{\alpha}{p^2} = \frac{\alpha\tau}{p(1+p\tau)} \quad .$$

Sempre dalla Tabella delle trasformate, troviamo che la corrispondente funzione nel tempo è :

$$(1.51) \qquad u(t) = \alpha \cdot \tau\,(1 - e^{-\frac{t}{\tau}}) \; .$$

Cioè la **risposta ad una rampa lineare è un impulso a salita esponenziale con asintoto alla tensione** $\alpha\tau$. Dal punto di vista fisico, ciò si comprende pensando che il condensatore da una parte tende ad essere caricato a causa dell'aumento della tensione d'entrata, dall'altra invece tende ad essere scaricato dalla corrente che fluisce nella R.
Alla tensione di uscita $\alpha\tau$, si raggiunge allora una situazione stazionaria.
Per i tempi $t \ll \tau$, la (1.51) può svilupparsi in serie :

$$(1.52) \qquad u(t) = \alpha\tau\,[1 - (1 - \frac{t}{\tau} + \frac{t^2}{2\tau^2})] = \alpha\, t\,(1 - \frac{t}{2\tau}) \quad .$$

Vediamo (Fig. 1.12) che, per tempi $t \ll \tau$, l'uscita riproduce l'andamento lineare dell'entrata a meno del termine τ che determina anche l'errore di linearità nella trasmissione perchè risulta:

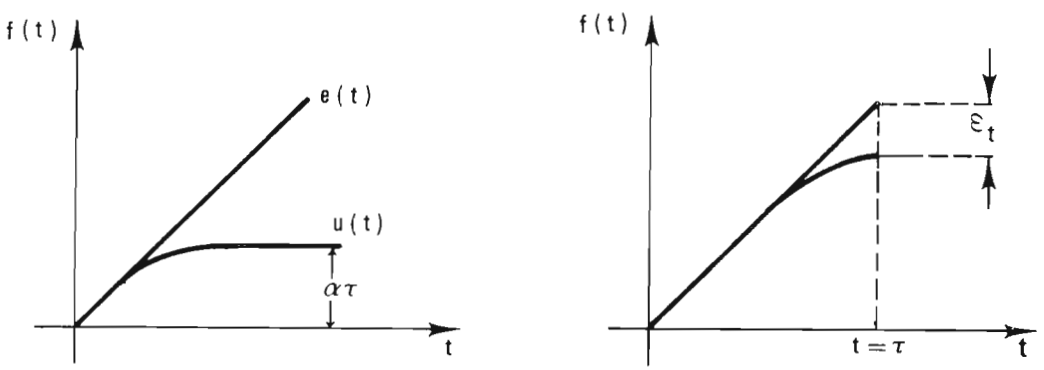


Fig. 1.12 -

$$\epsilon_t = \frac{e(t) - u(t)}{e(t)} = \frac{t}{2\tau} \quad . \tag{1.53}$$

Questa relazione è anche utile per determinare la costante di tempo τ quando si vuole trasmettere un impulso a salita lineare con un prefissato errore massimo, mediante un circuito RC.

1.3. IL CIRCUITO PASSA-BASSO O QUASI-INTEGRATORE RC ED RL.

Possiamo esaminare i circuiti di fig. 1.13, detti di quasi-integrazione o passa-basso, seguendo lo stesso metodo di analisi già applicato ai circuiti di quasi-derivazione.

Ritenendo valide le stesse ipotesi e convenzioni già fatte nel paragrafo precedente, le equazioni delle reti sono :

$$\begin{cases} e = iR + \frac{1}{C}\int i\,d(t) \\ u = \frac{1}{C}\int i\,d(t) \end{cases} \tag{1.54}$$

$$\begin{cases} e = L\frac{di}{dt} + Ri \\ u = Ri \end{cases} \tag{1.55}$$

Entrambe le reti possono essere studiate con la seguente equazione, ottenuta eliminando i da (1.54) e (1.55) :

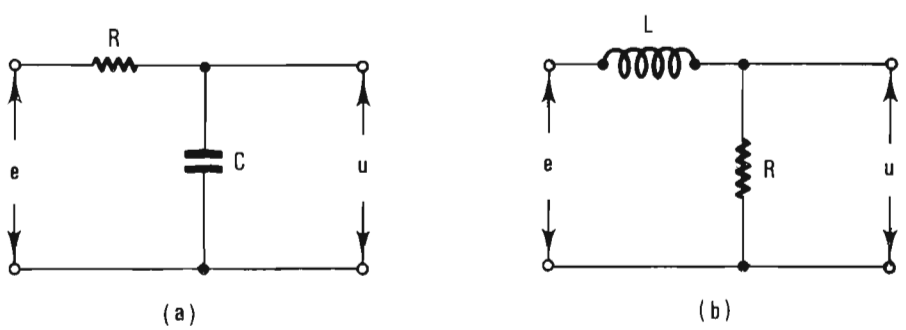


Fig. 1.13 - (a) (b) - Circuiti di quasi - integrazione

(1.56) $$e(t) = \tau \frac{du}{dt} + u(t) \quad .$$

Essa può anche mettersi nella forma :

(1.57) $$\int e\,dt = \tau u + \int u\,dt \quad .$$

Quando τ è tanto grande che il primo termine a secondo membro diventa preponderante rispetto al secondo, l'equazione si può approssimare come segue :

(1.58) $$u \cong \frac{1}{\tau} \int e\,dt \quad .$$

A meno della costante τ, la forma d'onda d'uscita risulta approssimata all'integrale della forma d'onda d'entrata. Per questo tali reti sono dette di quasi-integrazione.
La stessa conclusione la si raggiunge più concisamente scrivendo l'equazione trasformata per i circuiti di fig. 1.13 :

(1.59) $$u(p) = \frac{1}{1 + p\tau} e(p)$$

all'aumentare di τ il termine $p\tau$ può risultare molto più grande di 1, e perciò la (1.59) presenta la forma d'onda d'uscita circa pari all'entrata moltiplicata per l'operatore di integrazione $\frac{1}{p}$, a meno del fattore $\frac{1}{\tau}$.

1.3.1. Risposta a segnale sinusoidale.

Sempre in analogia a quanto svolto nel paragrafo precedente troviamo che il rapporto fra uscita ed entrata risulta :

(1.60) $$\frac{u}{e} = \frac{1}{1 + j\omega\tau}$$

cioè, con la convenzione $\omega_c = \frac{1}{\tau}$, si ha :

(1.61) $$\left|\frac{u}{e}\right| = \frac{1}{\sqrt{1 + (\frac{\omega}{\omega_c})^2}} \qquad \varphi = \text{arctang}\,\frac{\omega}{\omega_c} \quad .$$

Alla pulsazione ω_c il guadagno è pari a $\frac{1}{\sqrt{2}} = 0{,}707$ e tende ad aumentare per frequenze sempre più basse fino ad essere pari ad 1 per $\omega = 0$, cioè in continua, mentre tende a zero per frequenze alte quando $\omega > \omega_c$: per questo il circuito viene anche detto passa-basso.

1.3.2. Risposta all'impulso a gradino con ampiezza V_o.

Risolvendo la (1.56) per $e(t) = V_o \cdot 1(t)$ e tenendo conto delle condizioni iniziali si ottiene :

$$u = V_o (1 - e^{-\frac{t}{\tau}}) . \tag{1.62}$$

L'uscita u(t) raggiunge esponenzialmente il valore V_o con costante di tempo τ.

Dalla (1.62) si può facilmente calcolare il tempo di salita dell'impulso di uscita: si raggiunge il valore 0,1 V_o in un tempo $0{,}1\tau$, ed il valore 0,9 V_o in un tempo $2{,}3\tau$. Perciò il tempo di salita t_s, che è la differenza fra i tempi anzidetti, risulta :

$$t_s = 2{,}2\ \tau = \frac{2{,}2}{2\pi f_c} \cong \frac{1}{3f_c} \quad . \tag{1.63}$$

Il tempo di salita t_s dà una indicazione della rapidità di risposta del circui-

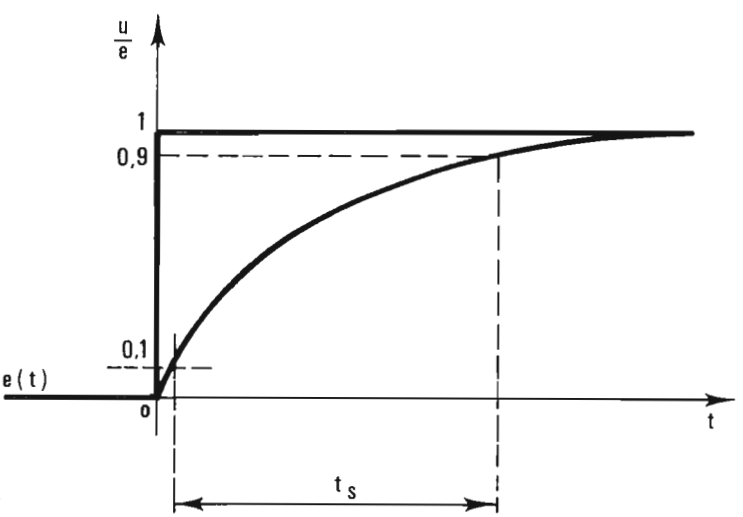


Fig. 1.14 -

to ad un rapido sbalzo del segnale di ingresso e si vede che è proporzionale a τ ed al reciproco della frequenza di taglio f_c.

1.3.3. Risposta all'impulso rettangolare di ampiezza V_0 e durata T.

Come nel caso precedente, la risposta u(t) deve essere identica a quella del gradino fino alla fine dell'impulso dove si raggiunge il valore u(T) come in fig. 1.15; quindi l'uscita decade verso lo zero esponenzialmente con costante τ .

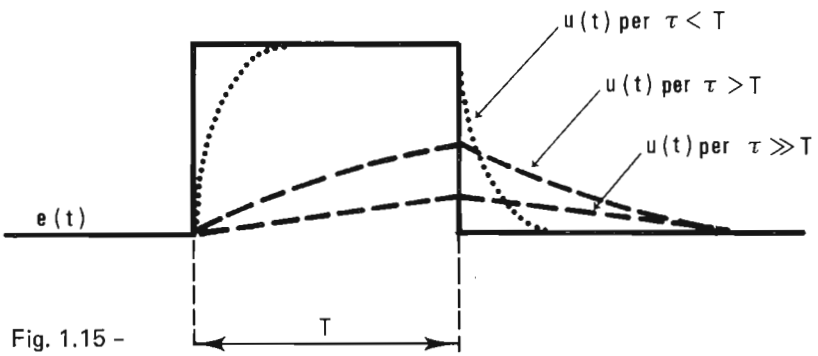


Fig. 1.15 -

La rete distorce l'impulso rettangolare all'aumentare di τ rispetto a T: in particolare l'impulso d'uscita ha una durata maggiore di T.

1.3.4. Risposta ad una forma d'onda rettangolare periodica.

Se $\tau < T_1$ e T_2, allora per ogni fronte d'onda all'entrata si ha in uscita una salita o una discesa esponenziale che raggiunge il valore asintotico prima del fronte d'onda successivo (fig. 1.16); se viceversa è $\tau > T_1$ e T_2, allora il condensatore o l'induttanza non si scarica completamente fra un fronte ed il successivo, sicchè l'uscita si muove con andamento esponenziale fra due valori u_1 e u_2. Essi possono essere facilmente calcolati con le equazioni seguenti :

$$(1.64) \qquad \begin{cases} u(t) = V_0 - (V_0 - u_1)\, e^{-\frac{t}{\tau}} & \text{durante } T_1 \\ u(t) = u_2\, e^{-\frac{t}{\tau}} & \text{durante } T_2 \end{cases} .$$

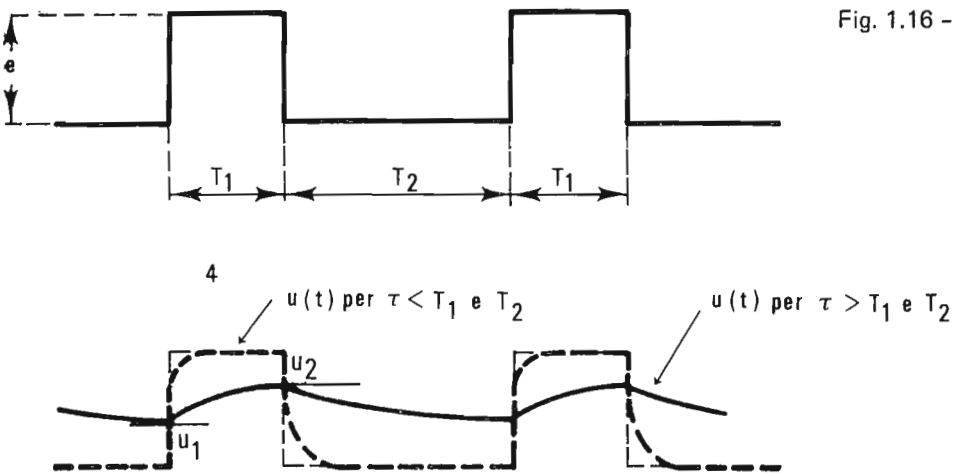


Fig. 1.16 -

Se il segnale d'ingresso ha un valore medio nullo anche l'uscita avrà componente in continua zero.
Se in ingresso si ha anche una tensione continua, questa la si ritrova in uscita con sovrapposta la forma d'onda rettangolare distorta secondo l'andamento esponenziale descritto.

1.3.5. Risposta ad un impulso a salita esponenziale .

Quando il segnale di ingresso ha la forma :

$$e(t) = V_o (1 - e^{-\frac{t}{\alpha}}) \tag{1.65}$$

sappiamo dalla (1.48) che il segnale ai capi della R (cioè il segnale di uscita per la rete RC di fig. 1.7), vale :

$$V_R = \frac{\tau V_o}{\tau - \alpha} (e^{-\frac{t}{\tau}} - e^{-\frac{t}{\alpha}}) \quad , \tag{1.66}$$

sicchè il segnale ai capi di C (cioè il segnale di uscita per la rete RC di fig. 1.13) risulta dalla differenza della 1.65 con la 1.66. Abbiamo perciò in questo caso :

$$u(t) = V_o + \frac{\alpha V_o}{\tau - \alpha} e^{-\frac{t}{\alpha}} - \frac{\tau V_o}{\tau - \alpha} e^{-\frac{t}{\tau}} \quad , \tag{1.67}$$

Se $\alpha = \tau$ allora si ha :

$$u(t) = V_0 \left[1 - (1 + \frac{t}{\tau}) e^{-\frac{t}{\tau}} \right] \qquad (1.68)$$

Ciò mostra che all'aumentare di τ si ha come un ritardo fra l'uscita e l'entrata: a questo proposito il **tempo di ritardo può essere definito come il tempo richiesto per raggiungere il 50% del valore asintotico V_0, nel segnale di uscita.**

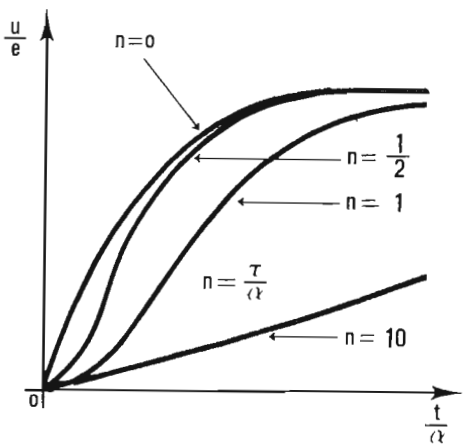


Fig. 1.17 -

1.3.6. Risposta ad un segnale a salita lineare.

Anche in questo caso possiamo procedere con le considerazioni del paragrafo precedente.
Se il segnale ai capi della resistenza, come risulta dalla (1.51) è dato da :

$$V_R = \alpha\tau (1 - e^{-\frac{t}{\tau}})$$

allora il segnale ai capi di C, cioè l'uscita del circuito di fig. 1.13 è dato da:

$$u(t) = e(t) - V_R = \alpha\, t - \alpha\tau (1 - e^{-\frac{t}{\tau}})$$

che si può riscrivere come segue :

$$u(t) = \alpha (t - \tau) + \alpha\tau\, e^{-\frac{t}{\tau}} \qquad (1.69)$$

cioè, dopo che l'esponenziale si è esaurito, l'uscita riproduce esattamente l'entrata scalata sull'asse delle ordinate di un termine $\alpha\,\tau$ (vedi fig. 1.18). Se consideriamo invece la risposta nella fase iniziale dove l'esponenziale può essere sviluppato in serie di potenze, ed arrestiamo lo sviluppo al secondo termine, otteniamo :

$$u(t) \cong \frac{\alpha}{2\tau}\, t^2 \tag{1.70}$$

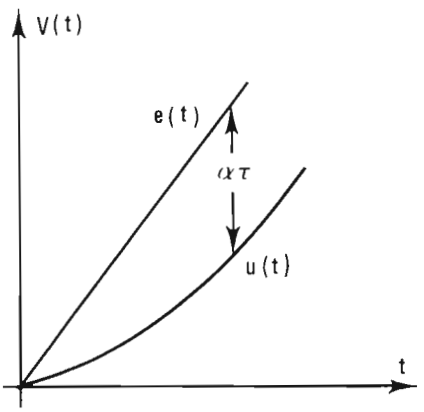


Fig. 1.18 -

cioè, otteniamo una **risposta quadratica ad un ingresso lineare**, il che indica che **il circuito agisce come un integratore.**

1.4. PARTITORI COMPENSATI .

I circuiti di fig. 1.19 possono essere adottati in teoria per trasmettere impulsi senza attenuarne la forma, ma introducendo solo un'attenuazione in ampiezza.

Il rapporto di tensione fra uscita ed entrata vale nei tre casi rispettivamente:

$$\frac{u}{e} = \frac{R_2}{R_1 + R_2}; \quad \frac{u}{e} = \frac{C_1}{C_1 + C_2}; \quad \frac{u}{e} = \frac{L_2}{L_1 + L_2}. \tag{1.71}$$

In pratica gli schemi di fig. 1.19 non sono attuabili, sia perchè non si trovano componenti reali esattamente equivalenti ad un puro resistore, capacitore o induttore, sia perchè in parallelo ai componenti usati si presentano elementi parassiti.

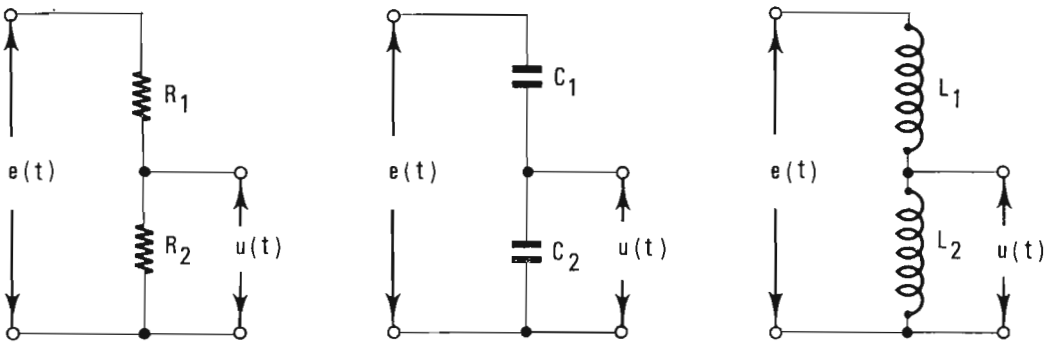


Fig. 1.19 -

Ad esempio, nel partitore più comune, quello resistivo, il resistore R_2 presenta in generale una capacità parassita C_2 quale può essere la capacità di ingresso dello stadio a cui è accoppiato il partitore.
In questo caso si riesce a compensare l'effetto della capacità parassita C_2 inserendo in parallelo alla R_1 una capacità C_1 di valore tale che le due costanti di tempo $\tau_1 = C_1 R_1$ e $\tau_2 = C_2 R_2$ risultino eguali. Infatti il rapporto di tensione per il circuito di fig. 1.20 risulta :

$$\frac{u}{e} = \frac{\dfrac{R_2}{1+pR_2C_2}}{\dfrac{R_1}{1+pR_1C_1} + \dfrac{R_2}{1+pR_2C_2}} = \tag{1.72}$$

$$= \frac{R_2}{R_1+R_2} \cdot \frac{1+p\tau_1}{1+p\dfrac{\tau_2 R_1 + \tau_1 R_2}{R_1+R_2}} \quad .$$

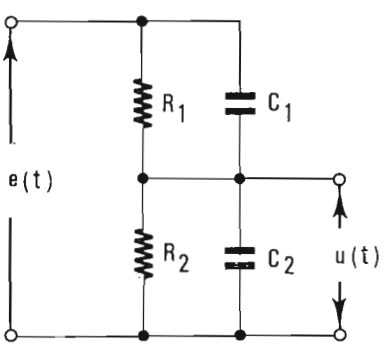


Fig. 1.20 -

Sicchè facendo $\tau_1 = \tau_2$ il fattore di partizione è ricondotto ad essere quello del partitore ideale pari solo a $\frac{R_2}{R_1 + R_2}$, cioè indipendente dalla frequenza. **Quando il partitore presenta $\tau_1 = \tau_2$ si dice compensato:** in queste condizioni la forma d'onda di uscita riproduce esattamente la forma d'entrata a meno di una attenuazione in ampiezza.
Per ottenere l'eguaglianza delle due costanti τ_1 e τ_2, si adotta per C_1 un condensatore variabile che si regola empiricamente, osservando ad esempio su un oscilloscopio la risposta del partitore ad un impulso rettangolare: se $\tau_1 > \tau_2$ l'effetto dovuto a C_1 è preponderante rispetto a quello di C_2 ed il partitore si comporta introducendo deformazioni del tipo discusso per il circuito passa-alto o quasi derivatore; viceversa, se $\tau_1 < \tau_2$, è preponderante l'effetto dovuto a C_2 che introduce deformazioni del tipo esaminato nel circuito quasi-integratore o passa-basso.

1.5. CIRCUITI RISONANTI RLC.

I circuiti detti risonanti o oscillanti si prestano a diverse applicazioni per la formazione di segnali impulsivi. Vengono usati con smorzamento supercritico per ottenere un impulso da un gradino di tensione o di corrente ed in questo caso sono detti "peaking circuits"; oppure, con smorzamento sottocritico, per ottenere un treno di oscillazioni sinusoidali di assegnata frequenza e con inviluppo esponenziale in ampiezza. Si può usare il treno delle oscillazioni per generare una sequenza di impulsi spaziati ad intervalli di tempo regolari-prendendo, ad esempio, come istanti di riferimento il passaggio per lo zero dell'oscillazione – ed eccitare uno stadio amplificatore normalmente interdetto.
I circuiti RLC possono presentarsi in diverse configurazioni circuitali a seconda che gli elementi siano messi in serie o in parallelo ed a seconda che l'uscita venga prelevata ai capi di uno o più elementi in serie o in parallelo. Considerando configurazioni circuitali diverse, ciò che varia nella risposta ad un segnale a gradino è solo il valore asintotico della tensione, cioè il livello in continua della risposta per $t \to \infty$.
Viceversa il transitorio iniziale è analogo in tutti i casi, e può essere studiato analiticamente sempre con la stessa equazione.

1.5.1. Circuiti serie.

Consideriamo i tre elementi RLC in serie e preleviamo l'uscita ai capi di L-C.
Il circuito venga eccitato con un segnale di tensione e(t), come in fig. 1.21 (a), oppure con un segnale di corrente i(t), come in fig. 1.21 (b). Nel caso (a) le equazioni trasformate conducono a scrivere :

$$\frac{u(p)}{e(p)} = \frac{1 + p^2\ LC}{1 + pCR + p^2\ LC} \quad . \tag{1.73}$$

Analogamente nel caso (b) si ha :

$$\frac{u(p)}{i(p)} = \frac{R(1 + p^2\ LC)}{1 + pCR + p^2\ LC} \quad . \tag{1.74}$$

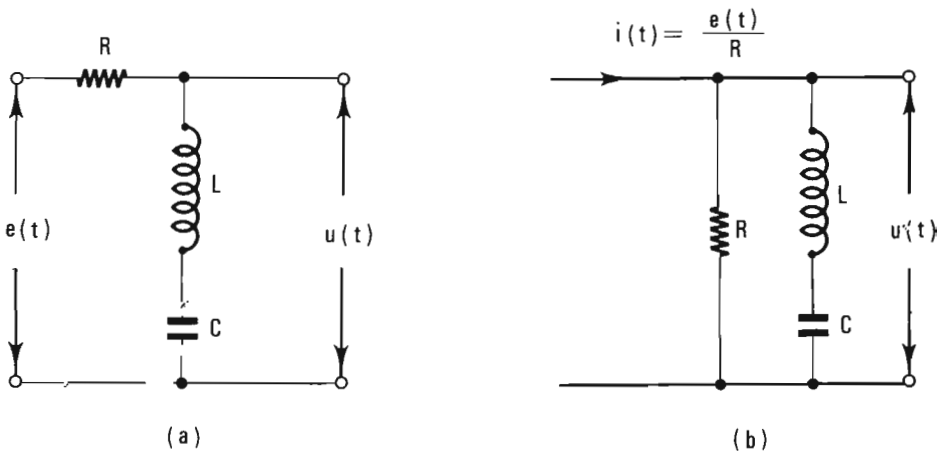


Fig. 1.21 - (a) (b) - Circuiti risonanti RLC in serie.

Cioè i due schemi (a) e (b) sono equivalenti, purchè l'impulso di corrente nel circuito (b) sia pari a $i(t) = \frac{e(t)}{R}$, essendo e(t) l'impulso di tensione nello schema (a) ed avendo R lo stesso valore in entrambi gli schemi.
Le (1.73) e (1.74) possono essere presentate in una forma generalizzata in cui si mettono in evidenza due parametri caratteristici del circuito oscillante, che sono **la pulsazione di risonanza** $\omega_0 = \frac{1}{\sqrt{LC}}$ **ed il fattore di merito Q** definito operativamente come segue :

$$Q = 2\pi \frac{\text{energia immagazzinata}}{\text{energia dissipata per ciclo}} \quad (\text{per } \omega = \omega_0).$$

Per i circuiti di fig. 1.21, l'energia immagazzinata è $\frac{1}{2} LI^2$ mentre l'energia dissipata in R durante un ciclo di oscillazione vale $\frac{1}{2} RI^2 T$, perciò in questo caso Q risulta :

$$Q = \frac{2\pi}{T}\frac{L}{R} = \frac{\omega_0 L}{R} = \frac{1}{R}\sqrt{\frac{L}{C}} = \frac{1}{\omega_0 RC} \quad . \tag{1.75}$$

Con i predetti parametri le equazioni trasformate prendono la forma :

$$\frac{u}{e} = \frac{1 + \frac{p^2}{\omega_0^2}}{1 + \frac{p}{\omega_0 Q} + \frac{p^2}{\omega_0^2}} \quad . \tag{1.76}$$

Se esaminiamo i circuiti di fig. 1.22, troviamo funzioni di trasferimento che presentano la stessa equazione a denominatore.

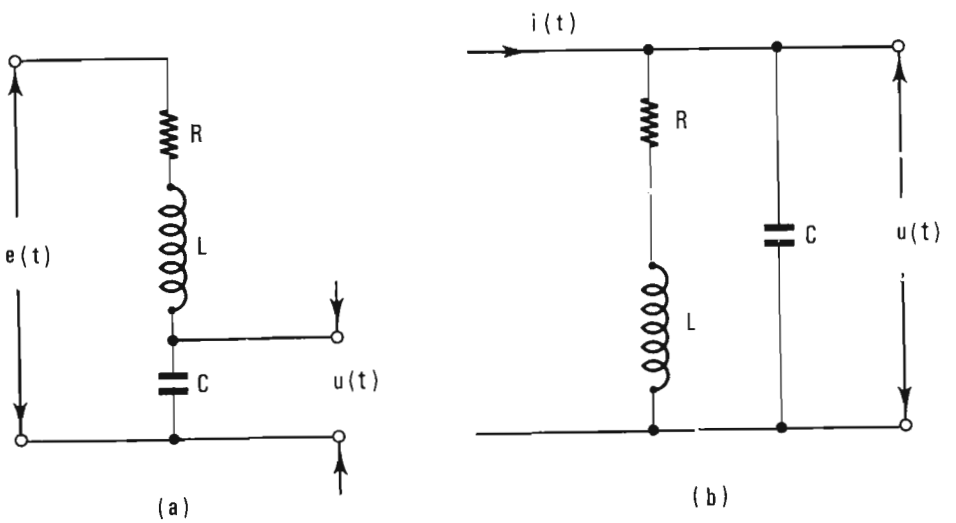


Fig. 1.22 -

Così nel caso di fig. 1.22 (a) e (b) si ha rispettivamente :

$$\frac{u}{e} = \frac{1}{1 + pCR + p^2 LC} \tag{1.77}$$

$$\frac{u}{i} = \frac{R + pL}{1 + pRC + p^2 LC} \quad . \tag{1.78}$$

Poichè il fattore di merito Q ha la stessa espressione analitica per i circuiti di fig. 1.21 e 1.22 vediamo che le funzioni di trasferimento differiscono

solo per gli zeri dati dalle radici del numeratore mentre i poli, quali radici del denominatore, sono sempre gli stessi e valgono :

$$p_{1,2} = -\frac{\omega_o}{2Q} \mp j\,\omega_o \sqrt{1 - \frac{1}{4Q^2}} \quad . \tag{1.79}$$

La risposta ad un gradino di corrente o di tensione può essere perciò scritta in generale come segue :

$$u(t) = Ae^{p_1 t} + Be^{p_2 t} = e^{-\frac{\omega_o}{2Q} t} (A \cos \omega t + B \operatorname{sen} \omega t) \tag{1.80}$$

in cui ω, detta **"pulsazione libera"**, è data da :

$$\omega = \omega_o \sqrt{1 - \frac{1}{4Q^2}} \quad . \tag{1.81}$$

Essa differisce dalla "pulsazione di risonanza" quanto più piccolo é il valore di Q.

1.5.2. Circuiti parallelo .

Seguendo la definizione data precedentemente, il fattore di merito Q si esprime come segue, quando i componenti R-L-C si trovano in parallelo come in fig. 1.23 (a) e (b).

$$Q = 2\pi \frac{\frac{1}{2} CV^2}{\frac{1}{2} \frac{V^2}{R} T} = \frac{2\pi}{T} RC = \omega_o RC = R\sqrt{\frac{C}{L}} = \frac{R}{\omega_o L} . \tag{1.82}$$

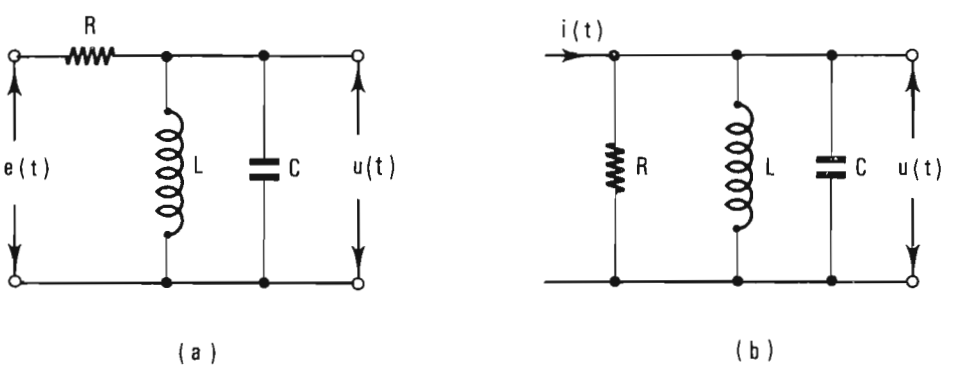


Fig. 1.23 - (a) (b) - Circuiti risonanti RLC in parellelo.

Seguendo lo stesso procedimento adottato nel caso precedente, vediamo che i circuiti di fig. 1.23, fra loro equivalenti quando le eccitazioni di ingresso sono nella relazione e(t) = R i(t), hanno come funzione di trasferimento la seguente espressione :

$$\frac{u}{e} = \frac{p\,\frac{L}{R}}{1 + p\,\frac{L}{R} + p^2 LC} \quad . \tag{1.83}$$

Essa si presenta come segue, in funzione di ω_o e del fattore di merito Q dato da 1.82 :

$$\frac{u}{e} = \frac{\frac{p}{\omega_o Q}}{1 + \frac{p}{\omega_o Q} + \frac{p^2}{\omega_o^2}} \quad . \tag{1.84}$$

A parte la differente espressione per Q, vediamo che i poli delle (1.84) sono gli stessi già trovati per la (1.76), sicchè la risposta può essere data ancora dall'espressione (1.80) dove le costanti A e B vanno determinate in funzione delle nuove condizioni iniziali.

1.5.3. Condizioni di smorzamento per i circuiti RLC .

La posizione dei poli (1.79) varia in funzione del valore di Q.
Dall'espressione (1.79) si controlla agevolmente che, per Q> 1/2, i poli sono complessi coniugati e situati su una semicirconferenza di raggio ω_o e centro nell'origine del piano $p = \alpha + j\,\omega$, come è mostrato in fig. 1.24. Viceversa per Q < 1/2 i due poli sono reali, negativi e situati sull'asse reale in modo tale che al tendere di Q→ O, un polo tende verso lo zero ed il secondo tende verso meno infinito.
Il valore Q = 1/2 porta i due poli ad essere coincidenti nel punto $p = -\omega_o$: questo valore di Q è detto di smorzamento critico.
Infatti, se esaminiamo la risposta di un circuito risonante ad una $\delta(t)$ vediamo che l'andamento temporale di u(t) è del tipo riportato in fig. 1.24 (b) cioè **per Q > 1/2 la risposta tende ad un valore asintotico con andamento sinusoidale smorzato da inviluppo esponenziale sicchè lo smorzamento del circuito risonante è detto sottocritico**; per $Q = \frac{1}{2}$ la risposta ha un andamento del tipo $u = At\,e^{-\frac{t}{\tau}}$, sicchè l'oscillazione smorzata si-

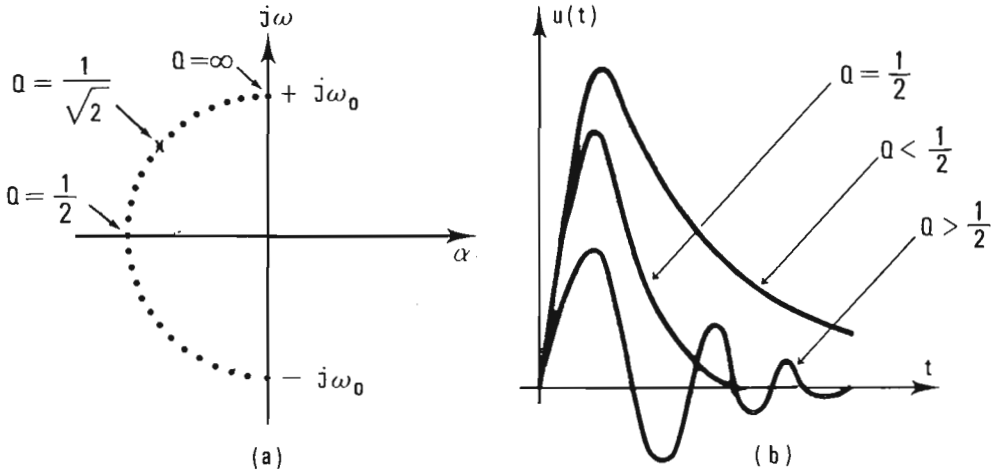


Fig. 1.24 - (a) (b) - Andamento dei poli e della risposta ad una eccitazione impulsiva del circuito RLC al variare del valore di Q.

nusoidale scompare ed il valore asintotico viene raggiunto nel più breve tempo: per $Q < 1/2$ **rimane solo l'andamento esponenziale e lo smorzamento del circuito è detto supercritico.**

1.6. TRASFORMATORI PER IMPULSI .

I trasformatori vengono usati nell'elettronica impulsiva sia per la formazione d'impulsi sia per attuare particolari tipi di accoppiamento fra circuiti. Il trasformatore può infatti variare l'ampiezza di tensione e di corrente dell'impulso; può invertirne la polarità oppure, con una presa centrale, può dare contemporaneamente in uscita un impulso positivo ed uno negativo; viene anche usato per differenziare l'impulso.

Nell'accoppiamento dei due circuiti si applica spesso il metodo dell'**adattamento di impedenza al fine di trasmettere la massima potenza da un generatore ad un carico.** Nel caso semplice di impedenze puramente resistive è facile vedere che ciò avviene quando la resistenza del generatore R_1 e quella del carico R_2 sono eguali. Per raggiungere questa condizione si può usare il trasformatore proprio perchè esso varia il valore, visto sui morsetti di ingresso, dell'impedenza di carico collegati ai morsetti di uscita.

Infine, **il trasformatore disaccoppia l'uscita dall'entrata per i livelli in continua.**

Anche se tutte queste operazioni possono essere fatte con differenti circuiti aventi componenti attivi, quali i transistori, è bene tener presente che il **trasformatore non richiede alimentazioni supplementari ed offre una maggiore stabilità nelle caratteristiche proprio perchè è un componente passivo.** Un trasformatore ideale, senza perdite e senza flusso disperso, dà in uscita un segnale u(t) che riproduce esattamente il segnale di ingresso e(t) moltiplicato per il rapporto di trasformazione ideale n che è indipendente dal carico.

$$(1.85) \qquad \begin{cases} u(t) = ne(t) \\ i_p = ni_s \end{cases} .$$

Come si vede, le equazioni non collegano fra loro in alcun modo le tensioni con le correnti. Il rapporto di trasformazione e l'induttanza mutua si scrivono :

$$(1.86) \qquad \begin{cases} n = \frac{u}{e} = \frac{i_p}{i_s} = \sqrt{\frac{L_s}{L_p}} = \frac{N_s}{N_p} \\ M = \sqrt{L_p L_s} \end{cases}$$

dove N_s ed N_p esprimono il numero di spire nell'avvolgimento secondario ed in quello primario.
Nel caso reale si è sempre in presenza di perdite e la mutua induttanza diventa :

$$M = k \sqrt{L_p \cdot L_s}$$

con $k < 1$, detto fattore di accoppiamento fra primario e secondario. **Il trasformatore ideale è perciò un componente teorico con k = 1, destinato unicamente a realizzare il rapporto di trasformazione**: fisicamente esso corrisponderebbe ad un trasformatore con infinite spire nel primario e nel secondario, in maniera da presentare riluttanza nulla nel circuito magnetico e quindi senza dispersione di flusso.

1.6.1. Schemi equivalenti .

Lo studio della risposta di un trasformatore reale può essere fatto con un circuito equivalente in cui vi sia un trasformatore ideale che realizza il rap-

porto di trasformazione ed una ulteriore rete con componenti che tengano conto delle perdite. Il trasformatore ideale può essere disposto a monte o a valle della rete in cui si concentrano le perdite.
Per determinare la rete e il valore dei suoi componenti si può seguire il metodo seguente.
Scriviamo dapprima le equazioni del circuito di fig. 1.25:

$$(1.87) \qquad \begin{cases} e = pL_p i_p + pMi_s \\ o = pL_s i_s + pMi_p + R_c i_s \end{cases} .$$

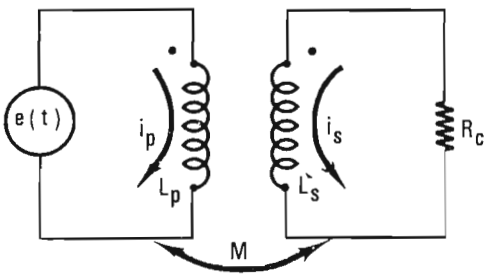


Fig. 1.25 - Schema di un trasformatore collegato ad un generatore e (t) e ad un carico R_c.

Consideriamo quindi un circuito composto, come in fig. 1.26, di un trasformatore ideale con rapporto di trasformazione a e di una rete di simulazione a quadrupolo S, incui rappresentarelo scostamento del componente reale da quello ideale.

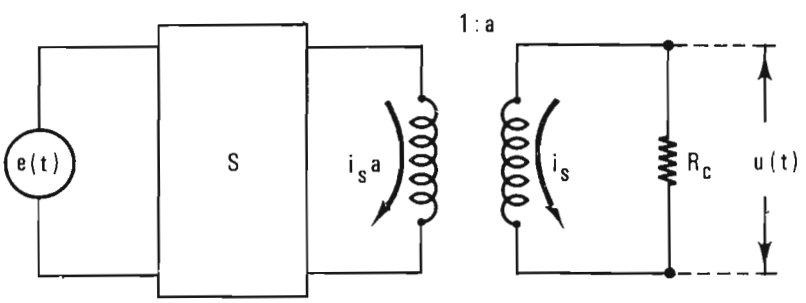


Fig. 1.26 - Schema del circuito equivalente del trasformatore reale, composto di un trasformatore ideale con rapporto a e di una rete di simulazione a quadrupolo S da determinare.

Per determinare il valore con cui è vista sul primario la resistenza R_c di carico del secondario, occorre tener presente **che il trasformatore moltiplica la tensione e divide la corrente per il rapporto di trasformazione a.** Perciò deve essere :

$$u = i_s R_c \qquad \frac{u}{a} = i_s a R'_c \quad .$$

Da cui si ricava :

$$R'_c = \frac{R_c}{a^2}$$

cioè **l'impedenza di carico del secondario è vista sul primario divisa per il quadrato del rapporto di trasformazione:** è questa la relazione che permette di effettuare gli adattamenti di impedenza tramite trasformatore al variare di a.

La rete S può essere simulata in modi diversi: due sono riportati in fig. 1.27 (a) e (b).

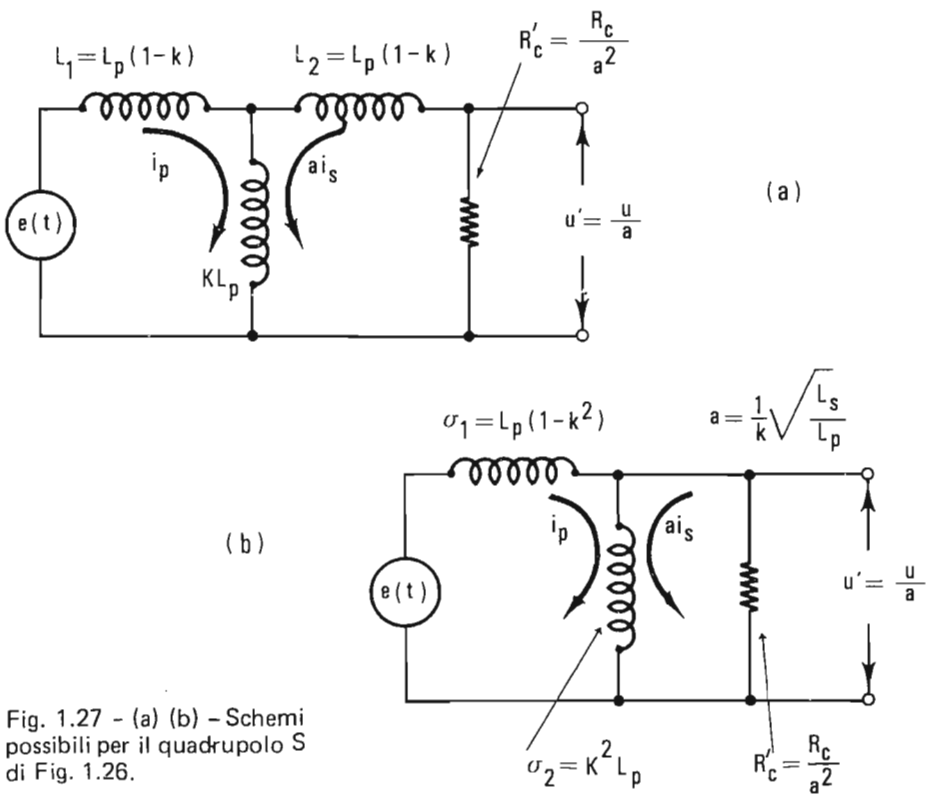


Fig. 1.27 - (a) (b) - Schemi possibili per il quadrupolo S di Fig. 1.26.

Poichè in seguito utilizzeremo sempre lo schema (b), sviluppiamo i calcoli riferendoci a tale schema, segnalando tuttavia che il procedimento può essere ripetuto identicamente per lo schema (a) fino a trovare le equivalenze già riportate in figura.

$$(1.88) \qquad \begin{cases} e = p\sigma_1 i_p + p\sigma_2 (i_p + a i_s) \\ o = \dfrac{R_c}{a^2} \cdot i_s a + p\sigma_2 (i_p + a i_s) \end{cases}$$

per confrontarle con le 1.87 riscriviamole come segue :

$$\begin{cases} e = p(\sigma_1 + \sigma_2) i_p + pa\sigma_2 i_s \\ o = R_c i_s + p\sigma_2 a i_p + p\sigma_2 i_s a^2 \end{cases}$$

ricaviamo così le equivalenze :

$$(1.89) \qquad \sigma_1 + \sigma_2 = L_p \qquad a^2 \sigma_2 = L_s \qquad a\,\sigma_2 = M$$

tenendo presente la relazione $M = k\sqrt{L_p L_s}$, deduciamo le relazioni definitive :

$$(1.90) \qquad a = \frac{1}{k}\sqrt{\frac{L_s}{L_p}}\,; \quad \sigma_2 = k^2 L_p\,; \quad \sigma_1 = L_p(1 - k^2)\ .$$

Da un punto di vista operativo, si procede in pratica misurando i valori M, L_p, L_s del trasformatore reale. Si determina così il valore di k e si hanno tutti i parametri per definire i componenti del circuito equivalente. Quando k è molto vicino ad 1, i due schemi di fig. 1.27 danno quasi gli stessi valori per l'induttanza totale in serie fra entrata ed uscita e per quella in parallelo. Infatti si può approssimare :

$$\begin{cases} 1 - k^2 = (1 - k)(1 + k) \simeq 2(1 - k) \\ k^2 \simeq k \simeq 1 \quad . \end{cases}$$

Allora la induttanza totale in serie, detta **induttanza di perdita**, vale approssimativamente :

$$(1.91) \qquad \sigma_1 = 2 L_p (1 - k)$$

mentre quella in parallelo, detta **induttanza di magnetizzazione**, vale circa:

$$\sigma_2 = k\,L_p \tag{1.92}$$

in questa approssimazione anche il rapporto di trasformazione può essere scritto :

$$a \simeq \frac{1}{k}\sqrt{\frac{L_s}{L_p}} = \sqrt{\frac{L_s}{L_p}} = n \quad . \tag{1.93}$$

1.6.2. Risposta ai transienti

Lo schema di fig. 1.27 (b) si presta meglio per studiare la risposta impulsiva del trasformatore, ma in esso mancano ancora altri componenti quali le resistenze e le capacità dovute sia ai carichi esterni sia agli elementi parassiti.
Lo schema equivalente in definitiva può essere schematizzato come in fig. 1.28.

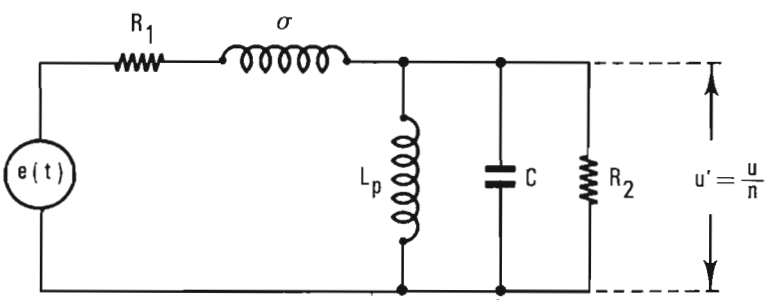


Fig. 1.28 - Schema equivalente del trasformatore per risposta impulsiva, in cui sono tenuti presenti gli elementi resistivi e capacitivi.

Il valore dei componenti è determinato come segue :

- R_1 è la somma della resistenza del generatore e della resistenza dell'avvolgimento primario;
- $\sigma \simeq 2\,L_p\,(1 - k)$;
- L_p induttanza misurata sull'avvolgimento primario;

- $C = C_p + n^2 C_s$ è la somma della capacità parassita del primario C_p più la capacità parassita e di carico sul secondario moltiplicata per il quadrato del rapporto di trasformazione;
- $R_2 = \frac{R_c + R_s}{n^2}$ è la somma della resistenza di carico R_c più la resistenza dell'avvolgimento secondario divisa per il quadrato del rapporto di trasformazione.

La funzione di trasferimento di questa rete si calcola facilmente :

$$(1.94) \qquad F(p) = \frac{u'}{e} = \frac{pL_p R_2}{pL_p R_2 + (R_1 + p\,\sigma)(R_2 + pL_p + p^2 L_p C R_2)} \quad .$$

Essa è caratterizzata da uno zero nell'origine e da tre poli.
L'esame analitico può però essere ulteriormente semplificato se dal circuito di fig. 1.28 si ricavano ulteriori schemi equivalenti validi con buona approssimazione per i transienti brevi (o per le alte frequenze) e per i transienti lenti (o per le basse frequenze).
Così possiamo dire che per le alte frequenze l'impedenza offerta da L_p è molto grande rispetto a quella di C e di R_2 perciò possiamo trascurarla come in fig. 1.29 (a).
Viceversa alle basse frequenze l'impedenza in serie offerta da σ è piccola e quella in parallelo di C è grande rispetto agli altri elementi, sicché il circuito equivalente si semplifica come in fig. 1.29 (b).
La funzione di trasferimento dello schema 1.29 (a) ha solo due poli :

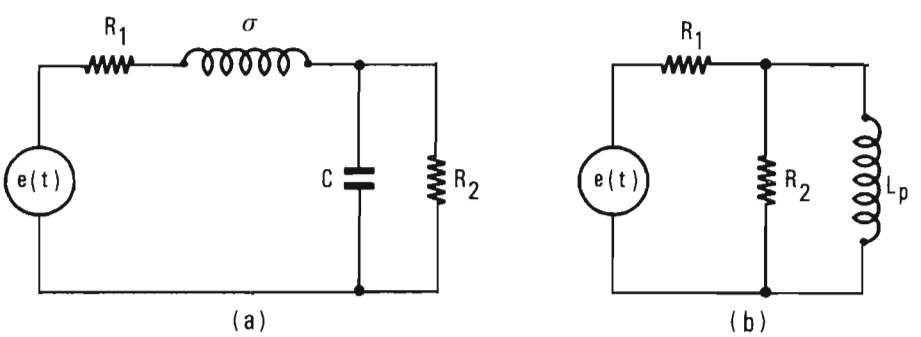


Fig. 1.29 - (a) Schema approssimato per transienti rapidi - (b) schema approssimato per transienti lunghi.

$$(1.95) \qquad F_a(p) = \frac{R_2}{R_2 + (R_1 + p\sigma)(1 + pCR_2)} \quad .$$

Essa può essere riscritta come segue :

$$(1.95) \qquad Fa(p) = \frac{\dfrac{R_2}{R_1 + R_2}}{1 + p\left(\dfrac{CR_1 R_2 + \sigma)}{R_1 + R_2}\right) + p^2 \dfrac{\sigma CR_2}{R_1 + R_2}} \quad .$$

Da cui si ricavano i valori dei poli :

$$(1.96) \qquad P_{1,2} = -\left(\frac{R_1}{2\sigma} + \frac{1}{2R_2C_1}\right) \pm \left[\left(\frac{R_1}{2\sigma} + \frac{1}{2R_2C}\right) - \frac{R_1 + R_2}{\sigma CR_2}\right]^{1/2} \quad .$$

Se introduciamo i seguenti parametri :

$$(1.97) \qquad \begin{cases} \beta = \dfrac{R_2}{R_1 + R_2} \\ \omega_o = \dfrac{1}{\sqrt{\sigma C \beta}} \\ Q = \dfrac{1}{\dfrac{1}{Q\ \text{serie}} + \dfrac{1}{Q\ \text{parall.}}} = \dfrac{1}{\dfrac{R_1}{\omega_o \sigma} + \dfrac{1}{\omega_o CR_2}} \end{cases}$$

vediamo che l'espressione dei poli (1.96) si riduce a quella già trovata per i circuiti risonanti nel paragrafo precedente, cioè :

$$p_{1,2} = -\frac{\omega_o}{2Q} \mp j\,\omega_o \sqrt{1 - \frac{1}{4Q^2}}$$

e la risposta del trasformatore è ricondotta a quella di un circuito risonante caratterizzato dai parametri (1.97).

Viceversa la risposta ai tempi lunghi, come ad esempio l'andamento nel tempo durante la sommità piatta di un impulso rettangolare, è data dalla funzione di trasferimento dello schema di fig. 1.29 (b) che si scrive :

$$(1.98) \qquad F_L(p) = \frac{\dfrac{pL_p}{R_i}}{1 + pL_p\left(\dfrac{R_1 + R_2}{R_1 R_2}\right)}$$

indicando con R il parallelo di R_1 ed R_2 la (1.98) coincide con l'operatore di quasi derivazione con uno zero nell'origine ed un polo reale $p = -\frac{R}{L_p}$.
La risposta perciò decresce esponenzialmente con costante di tempo L_p/R

purchè durante tutto l'intervallo di tempo che interessa si possa ritenere che $L_p =$ costante.
Nel caso di trasformatori con nuclei ferromagnetici la L_p resterà costante finchè il nucleo non raggiunge la saturazione magnetica, cioè finchè la densitá di flusso B non raggiunge il valore massimo B_{max}.
In generale possiamo scrivere che l'uscita u(t) in termini del flusso magnetico $\emptyset$ è data da :

$$u(t) = N_s \frac{d\varphi}{dt} = nN_pA \frac{dB}{dt}$$

dove n è il rapporto di trasformazione, N_s ed N_p il numero di spire negli avvolgimenti primario e secondario, ed A è l'area della sezione del nucleo ferromagnetico.
Se assumiamo che all'entrata la sommità dell'impulso è costante, pari a e_o, e che la frazione $e_o \cdot \frac{R_2}{R_1 + R_2}$ risulti applicata ai capi del primario del trasformatore in modo da poter scrivere :

$$u(t) = ne_o \frac{R_2}{R_1 + R_2}$$

troviamo che la densità di flusso B al tempo t è data da :

$$B = \int_o^t \frac{u(t)}{nN_pA} dt = \int_o^t \frac{e_o}{N_pA} \cdot \frac{R_2}{R_1 + R_2} dt = \frac{e_o}{N_pA} \cdot \frac{R_2}{R_1 + R_2} t \ .$$

Sicchè il tempo massimo t_{max} di durata in cui l'impulso subisce solo un decremento esponenziale con costante di tempo R/L_p è dato da :

$$(1.99) \qquad t_{max} = N_pA \cdot \frac{R_1 + R_2}{R_2} \cdot \frac{1}{e_o} B_{max} \ .$$

Per tempi più lunghi i trasformatori con nuclei ferromagnetici danno una risposta che decade molto più rapidamente a partire dall'istante t_{max} : infatti, a seguito della saturazione del nucleo, il valore della permeabilità magnetica si riduce e l'induttanza L_p decresce a valori molto minori.

1.7. LA FORMAZIONE D'IMPULSI CON LINEE DI TRASMISSIONE .

Una linea di trasmissione può essere costituita semplicemente con due fili conduttori paralleli o mediamente paralleli, isolati fra loro da un mezzo dielettrico. Diverse altre geometrie possono essere pensate: quella di un singolo filo situato al di sopra di un piano infinito che funge da elettrodo esterno di massa, come nel caso di un filo che corre parallelo alla parete metallica del contenitore di uno strumento o di un filo che corre parallelo al terreno; quella di due conduttori l'uno concentrico all'altro con geometria a cavo coassiale (fig. 1.30).

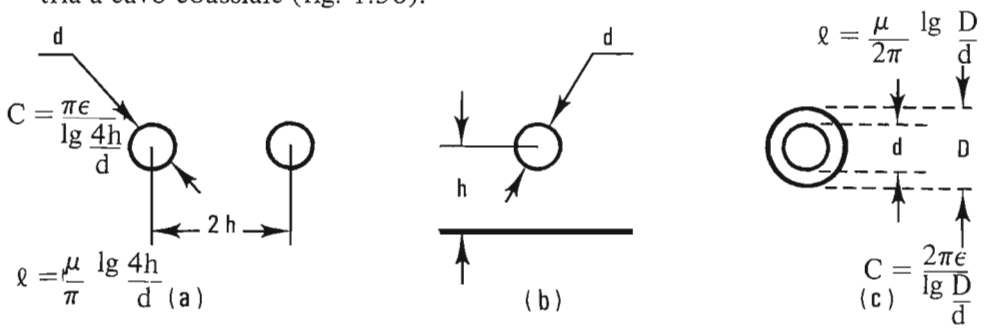


Fig. 1.30 - Geometrie diverse per linee di trasmissione in cui un segnale si propaga con velocità $V = \frac{1}{\sqrt{\ell c}}$ • (a) fili paralleli- (b) fili paralleli ad un piano - (c) cavo coassiale

La trasformazione che segue può essere applicata più in generale a tutte le coppie di conduttori per i quali il valore di un'ascissa x è sufficiente ad identificare e localizzare la sezione di entrambi i conduttori, la quale si mantiene costante o quasi lungo detta ascissa.

Siano r, l, g, c, la resistenza, l'induttanza, la conduttanza e la capacità riferite all'unità di lunghezza secondo la schematizzazione di fig. 1.31.

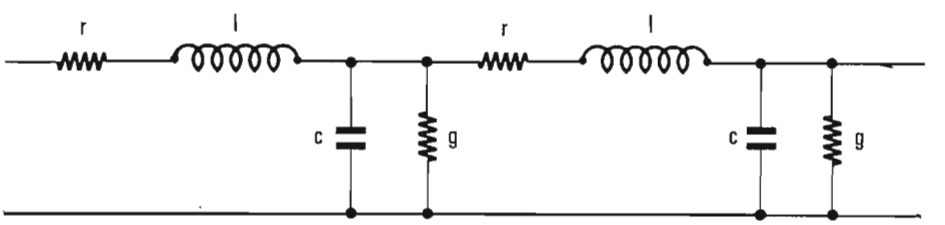


Fig. 1.31 - Schema di una linea a costanti distribuite.

L'andamento della tensione e della corrente i, in funzione di x e del tempo t, è dato dalle equazioni che esprimono le cadute di potenziale su r ed l e le perdite di corrente attraverso g e c:

$$(1.100) \quad \frac{\partial v}{\partial x} = -ri - l\frac{\partial i}{\partial t} \; ; \; \frac{\partial i}{\partial x} = -gv - c\frac{\partial v}{\partial t} \; .$$

Derivando rispetto ad x e a t, eliminando quindi la derivata seconda mista, si trova che v ed i soddisfano alla stessa equazione del secondo ordine :

$$(1.101) \quad \frac{\partial^2 f}{\partial x^2} = rgf + (lg + rc)\frac{\partial f}{\partial t} + lc\frac{\partial^2 f}{\partial t^2} \; .$$

Questa equazione è stata usata soprattutto per studiare la trasmissione nelle linee telefoniche ed è anche nota come "equazione dei telefonisti". Quando la linea è destinata a trasmettere segnali di bassa frequenza, come nel caso dei segnali telegrafici, **si può trascurare l'effetto introdotto da l e da g. L'equazione si riduce ad essere identica a quella della propagazione unidimensionale del calore, ed è anche nota come "equazione dei telegrafisti"** :

$$(1.102) \quad \frac{\partial^2 f}{\partial x^2} = rc\frac{\partial f}{\partial t} \; .$$

Le linee di trasmissione per la formazione di segnali impulsivi sono in genere di breve lunghezza, sicchè **sono trascurabili le perdite dissipative dovute ad r e a g.** La (1.101) si riduce così all'equazione della **"linea senza perdite o linea per impulsi"** che coincide con l'equazione di propagazione delle onde :

$$(1.103) \quad \frac{\partial^2 f}{\partial x^2} = lc\frac{\partial^2 f}{\partial t^2} \; .$$

L'integrale generale di questa equazione è ben noto e risulta :

$$(1.104) \quad f(x, t) = f_1(t - x\sqrt{lc}) + f_2(t + x\sqrt{lc})$$

dove f_1 ed f_2 sono due funzioni arbitrarie del loro argomento.

Necessariamente sia la f_1 che la f_2 riassumono gli stessi valori per eguali valori dell'argomento. Quando si ha ad esempio :

(1.105) $$t_1 - x_1 \sqrt{lc} = t_2 - x_2 \sqrt{lc}$$

si vede che il valore assunto dalla f_1 nel punto x_1 al tempo t_1 viene riassunto nel punto x_2 al tempo t_2. Dalla (1.105) si ricava che la f_1 si propaga nel verso delle x crescenti lungo la linea con velocità :

(1.106) $$\frac{x_2 - x_1}{t_2 - t_1} = \frac{1}{\sqrt{lc}} \quad .$$

Analogamente si osserva che la f_2 si propaga sempre con velocità data da (1.106) ma in senso inverso al moto di f_1

La velocità di propagazione ed il tempo di propagazione T per unità di lunghezza, tenendo presenti i valori di c e l indicati in fig. 1.30, sono dati dunque dalle espressioni :

(1.107) $$\begin{cases} v = \dfrac{1}{\sqrt{lc}} = \dfrac{1}{\sqrt{\epsilon \mu}} = \dfrac{1}{\sqrt{\epsilon_r \mu_r}} \left(\dfrac{1}{\sqrt{\epsilon_o \mu_o}}\right) = \dfrac{c}{\sqrt{\epsilon_r \mu_r}} \\ T = \sqrt{lc} = \dfrac{\sqrt{\epsilon_r \mu_r}}{c} \end{cases}$$

cioè **la velocità di propagazione è pari alla velocità della luce nel mezzo dielettrico che separa i conduttori della linea di trasmissione.**

Questo ci indica anche come può essere aumentato in una linea il tempo di propagazione per unità di lunghezza: si possono usare mezzi con ϵ_r e μ_r più grandi; oppure si possono scegliere geometrie diverse da quelle indicate in fig. 1.30, come ad esempio quella che permette di aumentare l in un cavo coassiale usando come conduttore interno un filo avvolto elicoidalmente.

1.7.1. L'impedenza caratteristica Z_o .

L'analisi in regime impulsivo di una linea senza perdite è più semplice usando le trasformate di Laplace. Così facendo si eliminano le derivate rispetto al tempo nelle (1.100), che diventano :

(1.108) $$\frac{dv}{dx} = -p\,li \;; \qquad \frac{di}{dx} = -pcv \;.$$

Con derivazioni successive, si ottiene :

(1.109) $$\frac{d^2 v}{dx^2} = p^2 l\,cv \;; \qquad \frac{d^2 i}{dx^2} = p^2 l\,ci \;.$$

Detto $T = \sqrt{lc}$ il tempo di propagazione per unità di lunghezza, si verifica facilmente che le soluzioni delle (1.109) sono del tipo :

$$(1.110)\quad \begin{cases} v_1 = v_{10}\, e^{-pTx} \\ v_2 = v_{20}\, e^{pTx} \end{cases} \qquad \begin{cases} i_1 = i_{10}\, e^{-pTx} \\ i_2 = i_{20}\, e^{pTx} \end{cases} .$$

Le soluzioni generali sono perciò date da :

$$(1.111)\quad \begin{cases} v = v_1 + v_2 \\ i = i_1 + i_2 \end{cases} .$$

Per confronto con la (1.104) si vede che **v_1 ed i_1 rappresentano le onde di propagazione diretta, mentre v_2 ed i_2 sono quelle di propagazione inversa.** Sostituendo queste soluzioni nelle (1.108) si vede che deve essere :

$$(1.112)\quad \frac{v_1}{i_1} = -\frac{v_2}{i_2} = \sqrt{\frac{l}{c}} = Z_o$$

cioè, **qualunque sia l'onda di tensione e di corrente, il rapporto è sempre eguale a Z_o, detta impedenza caratteristica della linea.**
Dalle espressioni indicate in fig. 1.30, osserviamo che nel caso di una linea a fili paralleli l'impedenza caratteristica è data da :

$$Z_o = \sqrt{\frac{l}{c}} = \frac{1}{\pi}\sqrt{\frac{\mu}{\epsilon}} \cdot \ln \frac{4h}{d} = \frac{1}{\pi}\sqrt{\frac{\mu_o}{\epsilon_o}} \cdot \sqrt{\frac{\mu_r}{\epsilon_r}} \ln \frac{4h}{d}$$

che, quando $\mu r = 1$, vale :

$$(1.113)\quad Z_o = \frac{276}{\sqrt{\epsilon_r}} \cdot \log_{10} \frac{4h}{d} .$$

Mentre, nel caso del cavo coassiale, abbiamo :

$$Z_o = \sqrt{\frac{l}{c}} = \frac{1}{2\pi}\sqrt{\frac{\mu}{\epsilon}}\, \ell n \frac{D}{d}$$

che, quando $\mu_r = 1$, vale :

$$(1.114)\quad Z_o = \frac{138}{\sqrt{\epsilon_r}} \log_{10} \frac{D}{d} .$$

Nei cavi coassiali le impedenze caratteristiche più usate sono: $Z_O = 50$ Ohm, valore che risulta da un $\epsilon_r = 2{,}3$ e da un rapporto $D/d = 3{,}6$, scelto così perchè diventano minime le perdite ohmiche nei conduttori; $Z_O = 72$ Ohm, valore scelto per adattare l'impedenza di un'antenna a bipolo. In questi cavi il ritardo T per unità di lunghezza è sempre dell'ordine di 3,3 ns/m.

Nella tecnica impulsiva spesso si usano impedenze più elevate per poter mantenere il livello di tensione dell'impulso a valori apprezzabili senza dover aumentare troppo il valore di corrente. Per segnali nel campo dei nanosecondi si usano cavi con Z_O da 50 Ohm a 300 Ohm, mentre per impulsi nel campo dei microsecondi sono talvolta usati cavi coassiali con Z_O eguale anche a uno o più kilo-ohm,ottenuto aumentando l'induttanza l con un conduttore interno avvolto a spirale intorno ad un bastoncino di ferrite. In questo modo aumenta sia Z_O che T, ed infatti nelle linee elicoidali il ritardo può raggiungere anche i 1000 ns/m. Gli svantaggi di queste linee si rivelano nella distorsione di fase dovuta alla variazione dell'induttanza con la frequenza, ed alla capacità parassita fra le spire che limita la risposta alle alte frequenze e quindi rallenta il tempo di salita.

1.7.2. Il coefficiente di riflessione.

In una linea uniforme, le onde di tensione e di corrente possono incontrare discontinuità solo nei terminali, alle estremità della linea.
Se un estremo è chiuso sull'impedenza Z, si deve avere per la legge di Ohm:

$$v_1 + v_2 = Z\,(i_1 + i_2) \tag{1.115}$$

adoperando i valori dati dalla (1.112) per i_1 ed i_2, otteniamo :

$$v_1 + v_2 = \frac{Z}{Z_O}\,(v_1 - v_2)\ . \tag{1.116}$$

Possiamo così definire il **coefficiente di riflessione per l'onda di tensione come rapporto fra l'onda riflessa v_2 e l'onda incidente v_1** :

$$\rho_V = \frac{v_2}{v_1} = \frac{Z - Z_O}{Z + Z_O} \tag{1.117}$$

l'onda incidente v_1, quando raggiunge un estremo chiuso su un'impedenza Z, genera un'onda riflessa di ampiezza $\rho_V \cdot v_1$, in modo che sia soddisfatta la legge di Ohm, come indicato dalla (1.115).

Analogamente si può definire **il coefficiente di riflessione per l'onda di corrente che risulta eguale ma di segno opposto a quello di tensione :**

$$\rho_i = -\rho_v = \frac{Z_o - Z}{Z_o + Z} \quad . \tag{1.118}$$

Il coefficiente di riflessione può assumere tutti i valori fra + 1 e -1 al variare di Z da + ∞ a 0. I tre casi seguenti sono di particolare interesse :

a) **quando $Z = Z_o$ si ha $\rho_v = \rho_i = 0$.**
In questo caso si dice che la linea è adattata all'estremità giacchè non vi è generazione di onda riflessa e tutta la potenza viene assorbita da Z. Infatti non vi è discontinuità nell'impedenza vista dall'onda incidente;

b) **quando $Z = 0$ si ha $\rho_v = -1$, $\rho_i = 1$.**
La linea è infatti in corto circuito all'estremità considerata. Secondo la legge di Ohm deve perciò essere $v = v_1 + v_2 = 0$, sicché l'onda di tensione generata nella riflessione è eguale in ampiezza ma di segno opposto all'onda incidente : $v_2 = -v_1$

c) **quando $Z = \infty$ si ha $\rho_v = 1$, $\rho_i = -1$.**
La linea è a circuito aperto all'estremità. Secondo la legge di Ohm deve essere $i = i_1 + i_2 = 0$, sicchè l'onda di corrente riflessa è eguale in ampiezza ma di segno opposto all'onda di corrente incidente: $i_2 = -i_1$ Viceversa l'onda di tensione riflessa è eguale in ampiezza e segno all'onda incidente : $v_2 = v_1$

1.7.3. Caso generale della linea disadattata ai due estremi.

Consideriamo ora il caso più generale schematizzato in fig. 1.32. Alla chiusura dell'interruttore I, il generatore di tensione e(t) con una impedenza $Z_1 \neq Z_o$ viene applicato ai terminali di ingresso della linea, mentre il terminale di uscita viene chiuso sulla impedenza Z_2 anche essa diversa da Z_o. L'onda incidente V_{10}, che si propaga dall'ingresso verso l'uscita, è composta dalla somma algebrica di due tensioni :

a) la tensione V' data dalla tensione del generatore e(t) moltiplicata per il rapporto di partizione all'ingresso in regime impulsivo cioè, moltiplicata per $\alpha = \frac{Z_o}{Z_1 + Z_o}$;

b) la tensione V" data dalla tensione dell'onda riflessa V_{20} moltiplicata per il coefficiente di riflessione in ingresso ρ_e.

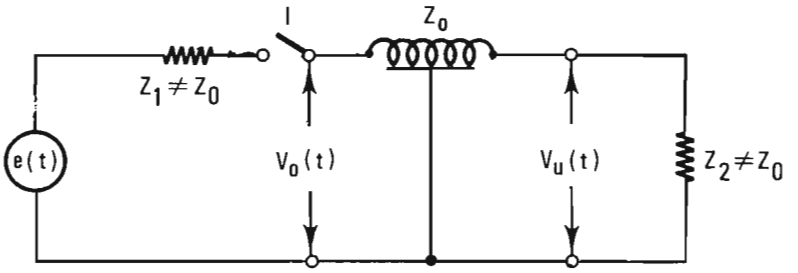


Fig. 1.32 - Linea disadatta ai due estremi con $Z_1 \neq Z_0 \neq Z_2$.

In totale possiamo quindi scrivere :

$$V_{10} = V' + V'' = \alpha e + \rho_e V_{20} \cdot \tag{1.119}$$

Dalle (1.110) ed (1.111) si può ricavare una seconda espressione che lega V_{20} a V_{10} nel terminale d'ingresso :

$$V_{20} = V_{10}\, \rho_u e^{-2pTL} \tag{1.120}$$

dove con L si indica la lunghezza totale della linea.
Le due relazioni precedenti permettono di ricavare le seguenti espressioni dell'onda incidente e dell'onda riflessa in funzione dei parametri circuitali:

$$\begin{aligned} V_{10} &= \frac{\alpha}{1 - \rho_e \rho_u e^{-2pTL}}\, e(p) \\ V_{20} &= \frac{\alpha \rho_u e^{-2pTL}}{1 - \rho_e \rho_u e^{-2pTL}}\, e(p) \quad . \end{aligned} \tag{1.121}$$

La tensione V_0 ai terminali di ingresso risulta in ogni istante pari alla somma dell'onda incidente e dell'onda riflessa ora calcolate :

$$V_0 = V_{10} + V_{20} = \alpha \frac{1 + \rho_u e^{-2pTL}}{1 - \rho_e \rho_u e^{-2pTL}}\, e(p). \tag{1.122}$$

Questo risultato generale può essere interpretato e discusso più facilmente

se si sviluppa in serie il termine che compare al denominatore, considerandolo del tipo 1/1 - x.
Si ottiene così la relazione :

$$(1.123) \quad V_o = \alpha (1 + \rho_u e^{-2pTL}) \; [\, 1 + \rho_e \rho_u \, e^{-2pTL} + (\rho_e \, \rho_u)^2 \, e^{-4pTL} + \ldots \,] \; e(p) \; .$$

Essa può essere riscritta nella forma seguente :

$$(1.124) \quad V_o = \alpha [\, 1 + \rho_u (1 + \rho_e) \, e^{-2pTL} + \rho_e \rho_u^2 (1 + \rho_e) \, e^{-4pTL} + \ldots] \; e(p).$$

Teniamo ora presente che una funzione f(t) la quale assuma in successione temporale i valori :

$$\begin{array}{lll} f_1 & \text{per} & 0 \leqslant t < t_1 \\ f_2 & \text{"} & t_1 \leqslant t < t_2 \\ f_3 & \text{"} & t_2 \leqslant t < t_3 \\ \ldots & \ldots & \ldots \\ f_n & \text{per} & t_{n-1} \leqslant t < t_n \end{array}$$

ha per trasformata di Laplace l'espressione :

$$(1.125) \quad \mathcal{L} [\, f(t) \,] = \frac{1}{p} [\, f_1 + (f_2 - f_1) \, e^{-pt_1} + (f_3 - f_2) \, e^{-pt_2} + \ldots] \; .$$

Per analogia, confrontando la (1.125) con la (1.124), possiamo così costruire l'andamento temporale di V_o come segue :

$$\begin{array}{lll} \text{per} & 0 \leqslant t < 2TL & V_o = \alpha e(t) \\ \text{"} & 2TL \leqslant t < 4TL & V_o = \alpha e(t) + \alpha \rho_u (1 + \rho_e) \cdot e(t - 2TL) \\ \text{"} & 4TL \leqslant t < 6TL & V_o = \alpha e(t) + \alpha \rho_u (1 + \rho_e) \cdot e(t - 2TL) + \\ & & + \alpha \rho_e \rho^2{}_u (1 + \rho_e) \cdot e(t - 4TL) \\ \ldots & \ldots & \ldots \end{array}$$

Cioè ad ogni successivo intervallo di tempo 2TL, si ha un successivo contributo alla tensione. Questo contributo ha un'espressione ricorrente che per

l'intervallo ennesimo è data da :

$$\alpha\,(\rho_e\,\rho_u)^{n-1}\,\rho_u\,(1+\rho_e)\;e\,(t-2nTL). \tag{1.126}$$

Poichè sia ρ_u che ρ_e possono variare fra -1 e + 1, si vede che i successivi contributi possono anche cambiare di segno se ρ_e o ρ_u sono negativi. Supponiamo ad esempio di avere $\rho_u = +1$, cioè una linea aperta al terminale di uscita come in fig. 1.33, ed applichiamo in entrata un gradino di tensione di ampiezza E_o.

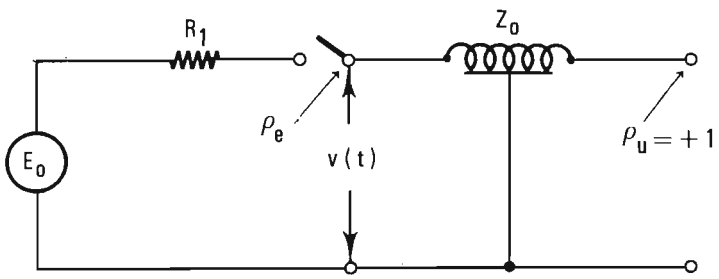


Fig. 1.33 - Carica di una linea con l'uscita aperta $\rho_u = +1$ e l'entrata alimentata da un generatore con resistenza R_1 che può essere variata facendo $R_1 < Z_o$ per avere $\rho_e < 0$, oppure $R_1 > Z_o$ per avere $\rho_e > 0$.

La linea si carica a $+E_o$ con un andamento che è diverso a seconda che sia $\rho_e < 0$ come in fig. 1.34 (a), oppure $\rho_e > 0$ come in fig. 1.34 (b).

Altri diversi andamenti possono essere ottenuti variando i valori di ρ_u e ρ_e. In ogni caso si deve tener presente che i gradini a segni alterni o tutti dello stesso segno, hanno sempre gli spigoli situati su una curva esponenziale: infatti dalla (1.126) si vede che le alzate dei successivi gradini variano proporzionalmente alle potenze di $(\rho_e \cdot \rho_u)$ ed è ben noto che **una curva la quale ad intervalli equidistanti subisca variazioni proporzionali alle potenze di una costante è una esponenziale.**

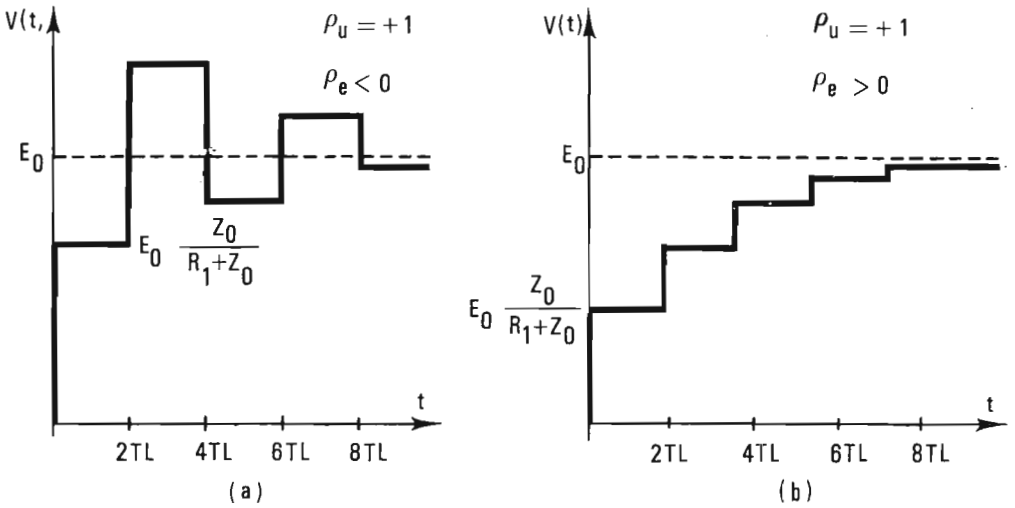


Fig. 1.34 - (a) (b) - Forme d'onda ai terminali d'ingresso della linea nel circuito di Fig. 1.33, che si generano quando si chiude l'interruttore.

1.7.4. Riflessione singola su linea adattata solo al terminale di entrata: il generatore d'impulsi rettangolare a linea.

Quando la linea è adattata al terminale di entrata dove è applicato il generatore, si ha :

$$R_1 = Z_0 \qquad \rho_e = 0 \qquad \alpha = \frac{1}{2}$$

sicchè la tensione V_0 data dalla (1.122) risulta più semplicemente :

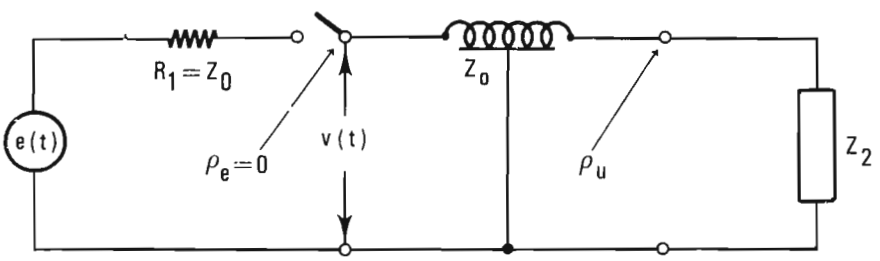


Fig. 1.35 - Carica di una linea con $R_1 = Z_0$ e disadatta solo all'uscita con $Z_2 \neq Z_0$ che dà luogo agli impulsi rettangolari di fig. 1.36

$$V_o = \frac{1}{2}(1 + \rho_u e^{-2pTL})\, e(p). \tag{1.127}$$

Alla chiusura dell'interruttore, non si hanno più riflessioni multiple. La tensione al terminale di entrata, dopo il segnale $\frac{e}{2}$ al tempo $t = 0$, subisce solo un successivo gradino al tempo di doppio transito 2TL dovuto ad una singola riflessione sul terminale di uscita.
I differenti andamenti degli impulsi a gradino al variare di ρ_u da + 1 a - 1 sono riportati in Fig. 1.36, nel caso che in ingresso venga impresso un gradino di tensione di ampiezza E_o.
La (1.127) ci offre il mezzo per determinare analiticamente la risposta impulsiva ai capi dei terminali di entrata.
Ad esempio, nel caso $Z_2 = Z_o$ si ha $\rho_u = 0$ e perciò si ha un solo gradino di tensione al tempo $t = 0$ di ampiezza $E_o/2$.
Quando $Z = 0$, cioè con l'uscita in cortocircuito, si ha $\rho_u = -1$, e la (1.127) stabilisce che deve essere :

$$V(t) = \frac{1}{2}\,[\, E_o(t = 0) - E_o(t = 2TL)\,]$$

cioè si ha ai terminali di entrata un impulso rettangolare di ampiezza $E_o/2$ e di durata 2TL.
Quando $Z_2 = \infty$, cioè con l'uscita a circuito aperto, si ha $\rho_u = +1$ e la (1.127) di nuovo ci permette di determinare che V(t) ha l'espressione seguente :

$$V(t) = \frac{1}{2}[\, E_o(t = 0) + E_o\,(t = 2TL)\,]$$

cioè ai terminali di entrata si hanno due gradini successivi di ampiezza $E_o/2$, uno al tempo $t = 0$ e l'altro al tempo $t = 2TL$.

Quando Z_2 ha un valore finito ma diverso da Z_o si ha :

$$V(t) = \frac{1}{2}\,[\, E_o\,(t = 0) + \frac{Z_2 - Z_o}{Z_2 + Z_o}\, E_o(t = 2TL)\,]\,.$$

Si hanno ancora due gradini di tensione, il primo sempre di ampiezza $E_o/2$, il secondo di ampiezza e polarità che dipendono dal valore di Z_2 rispetto a Z_o; in ogni caso, dopo il tempo di doppio transito, la linea rimane carica

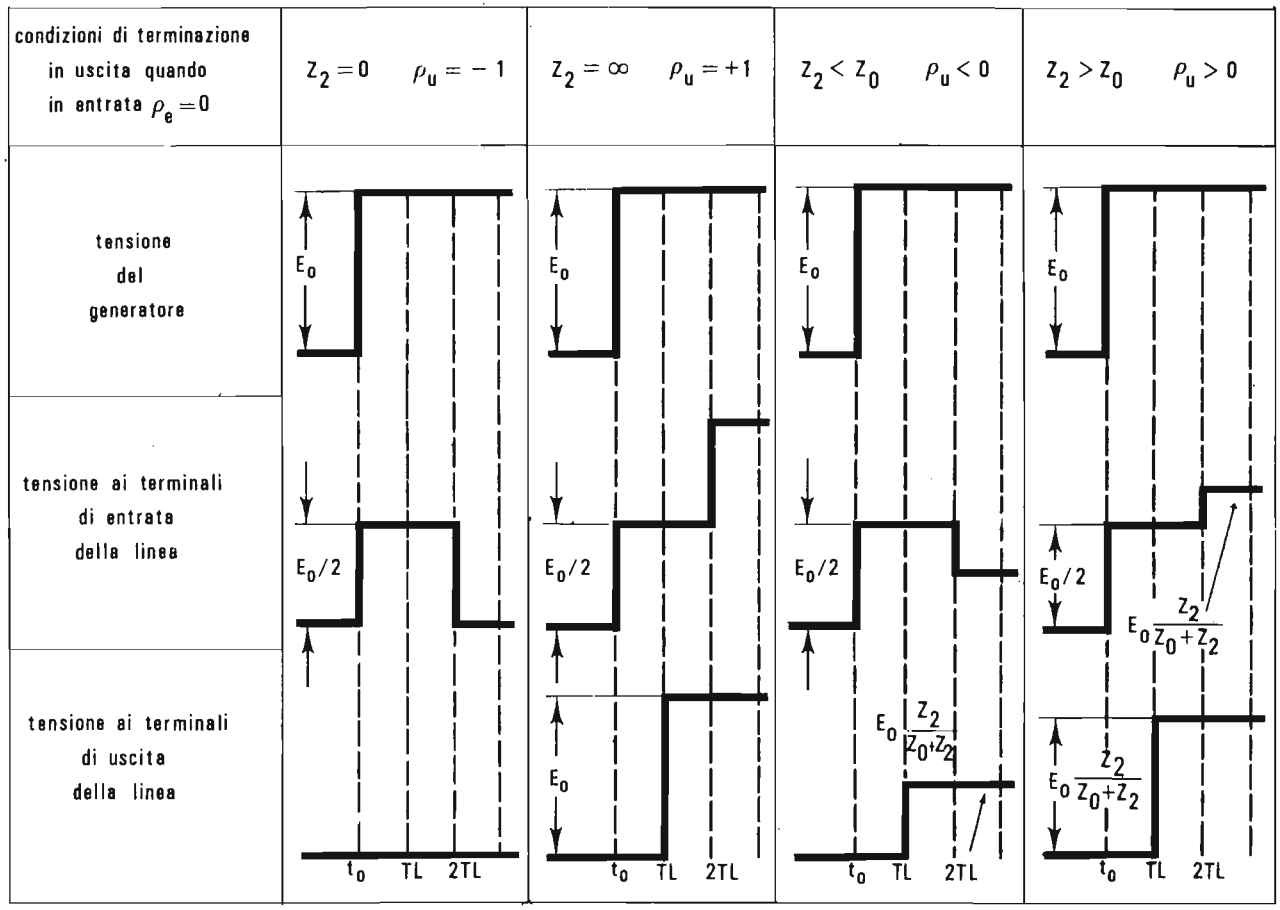


Fig. 1.36 - Forme d'onda che si generano ai terminali di ingresso e di uscita nella linea del circuito di Fig. 1.35 quando si chiude l'interruttore.

alla tensione $E_0 \frac{Z_2}{Z_2 + Z_0}$, cioè alla tensione che risulta dal rapporto di partizione del partitore formato dalla resistenza di adattamento del terminale di entrata Z_1 e da quella di adattamento del terminale di uscita Z_{l2}.
Come si osserva nella Fig. 1.36, il circuito può essere usato anche come generatore d'impulsi rettangolari quando l'entrata della linea è adattata $\rho_e = 0$ e l'uscita è in cortocircuito $Z_2 = 0$ $\rho_u = -1$.

Ad ogni chiusura dell'interruttore, si ottiene sui terminali di ingresso un impulso rettangolare di durata 2TL e di ampiezza $E_0/2$.

1.7.5. La linea usata nella formazione di impulsi come quasi-derivatore.

La linea, come formatore di impulsi rettangolari, viene usata spesso in alternativa ai circuiti RC di quasi derivazione, quando si vuole differenziare gli impulsi per ridurli tutti ad una determinata durata.
Nel circuito di quasi derivazione la linea, con impedenza caratteristica Z_0 e con tempo di ritardo TL, ha un capo collegato mediante una resistenza $R = Z_0$ all'amplificatore che fornisce l'impulso, in modo da adattare i terminali di ingresso; all'altro capo la linea ha terminali in corto circuito, come indicato in Fig. 1.37.

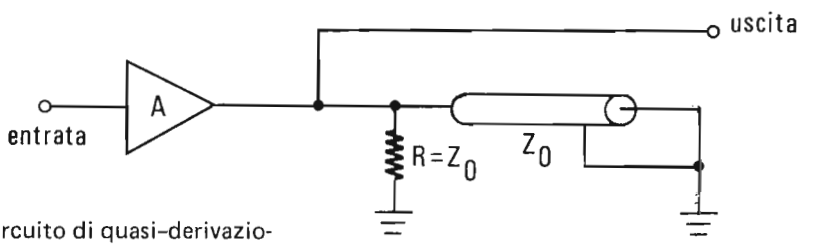


Fig. 1.37 - Circuito di quasi-derivazione con formatore a linea di ritardo.

Se consideriamo un impulso applicato in ingresso, di forma ad esempio rettangolare o esponenziale, vediamo che in uscita il segnale risultante è costituito dalla somma dell'impulso fornito dall'amplificatore con l'impulso riflesso ma di segno opposto generatosi nella linea la quale all'altro estremo, essendo in corto circuito, presenta un coefficiente di riflessione $\rho = -1$.

Al terminale di uscita, per ogni fronte d'onda dell'impulso di ingresso, compare quindi un segnale rettangolare di durata 2TL che ha la stessa polarità del fronte d'onda, come mostrato in Fig. 1.38.

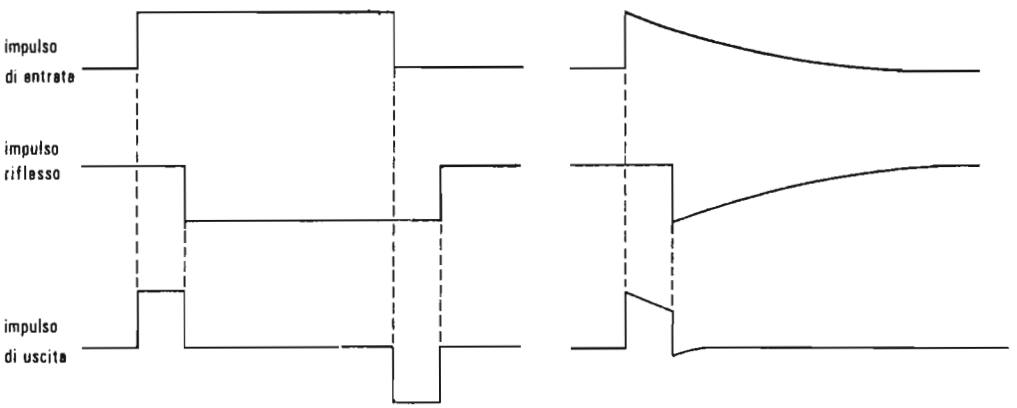


Fig. 1.38 - Formazione con quasi derivazione di un impulso rettangolare e di un impulso esponenziale ottenuta con il circuito di Fig. 1.37.

Capitolo 2

DIODI E TRANSISTORI COME ELEMENTI DI CIRCUITO .

I componenti attivi, quali i diodi, i transistori e i tubi a vuoto, sono adoperati nell'elettronica impulsiva e digitale in modo che commutino fra stati diversi nei quali si raggiunge una elevata conduzione sebbene le tensioni applicate siano relativamente basse, oppure non fluisce affatto corrente, anche se agli elettrodi sono applicate tensioni elevate.
Commutando fra l'uno e l'altro stato, il componente attivo attraversa temporaneamente la regione di funzionamento lineare per portarsi dalla regione di interdizione a quella di saturazione o viceversa. Il comportamento è perciò non lineare e può essere paragonato a quello di un interruttore che si apre o si chiude. In queste applicazioni, quando si studiano le caratteristiche di funzionamento statico, assumono particolare importanza parametri quali la **resistenza e corrente di perdita in apertura, cioè all'interdizione, la resistenza e la tensione residua in chiusura, cioé in saturazione.** Nell'analisi del funzionamento dinamico interessano inoltre **la velocità o il tempo di commutazione.**
Nel seguito considereremo i componenti attivi come elementi di circuito il cui comportamento é completamente definito quando si dia una serie di opportuni parametri o un insieme di curve caratteristiche.
E' comunque essenziale avere una conoscenza preliminare delle basi fisiche della conduzione elettronica nei solidi perchè nei diodi e nei transistori il funzionamento é determinato dal flusso di portatori di carica entro un solido semiconduttore. Perciò nei successivi paragrafi daremo una descrizione intuitiva e qualitativa dei concetti fisici che sono alla base del funzionamento dei componenti a semiconduttore.

2.1. I SEMICONDUTTORI.

2.1.1. Atomi, Molecole, Cristalli.

Un modello familiare dell'atomo è descritto da un nucleo carico positivamente intorno a cui ruotano gli elettroni carichi negativamente in orbite analoghe alle orbite planetarie del sistema solare. Queste orbite sono associate con valori discreti dell'energia totale dell'atomo.

Assumendo zero l'energia potenziale di un elettrone a distanza infinita dal nucleo, man mano che l'elettrone si avvicina a questo l'energia potenziale elettrostatica varia con andamento inversamente proporzionale alla distanza ed aumenta negativamente tendendo a $-\infty$. Tale andamento, ricavabile dalla legge di Coulomb, comporta un valore infinito dell'energia nel punto in cui si trova il nucleo; in realtà la legge Coulombiana vale solo fino a distanza dell'ordine di $10^{-13} \div 10^{-14}$ m dal nucleo stesso.

In fig. 2.1 (a) è disegnato un modello orbitale di un atomo e in fig. 2.1 (b) il diagramma con la posizione dei livelli energetici.

Le posizioni delle linee orizzontali rappresentano i livelli di energia corrispondenti alle varie orbite elettroniche, la lunghezza di ogni linea corrisponde al diametro dell'orbita mentre le curve che delimitano la lunghezza delle linee mostrano l'andamento coulombiano dell'energia potenziale elettrostatica.

Non sono possibili tutti i valori di energia o di diametri orbitali; **la meccanica quantistica stabilisce che vi può essere solo un numero discreto di livelli energetici occupabili dagli elettroni ed in genere non tutti questi livelli saranno completamente occupati.**

Bisogna inoltre tener conto che in un dato sistema (atomo, molecola, cristallo), **per il principio di esclusione di Pauli, non è permesso che due elettroni, aventi gli stessi numeri quantici, occupino esattamente lo stesso livello energetico.**

In un atomo si trovano tanti elettroni orbitali quanti ne bastano per annullare la carica totale positiva del nucleo. E' chiaro che questi elettroni attratti del nucleo occuperanno i livelli energetici più bassi (con orbite di diametro più piccolo) lasciando vuoti i livelli più alti che vengono anche detti livelli di eccitazione. Si può fare passare un elettrone da un livello ad un altro più alto non occupato, eccitandolo dall'esterno, cioè fornendogli

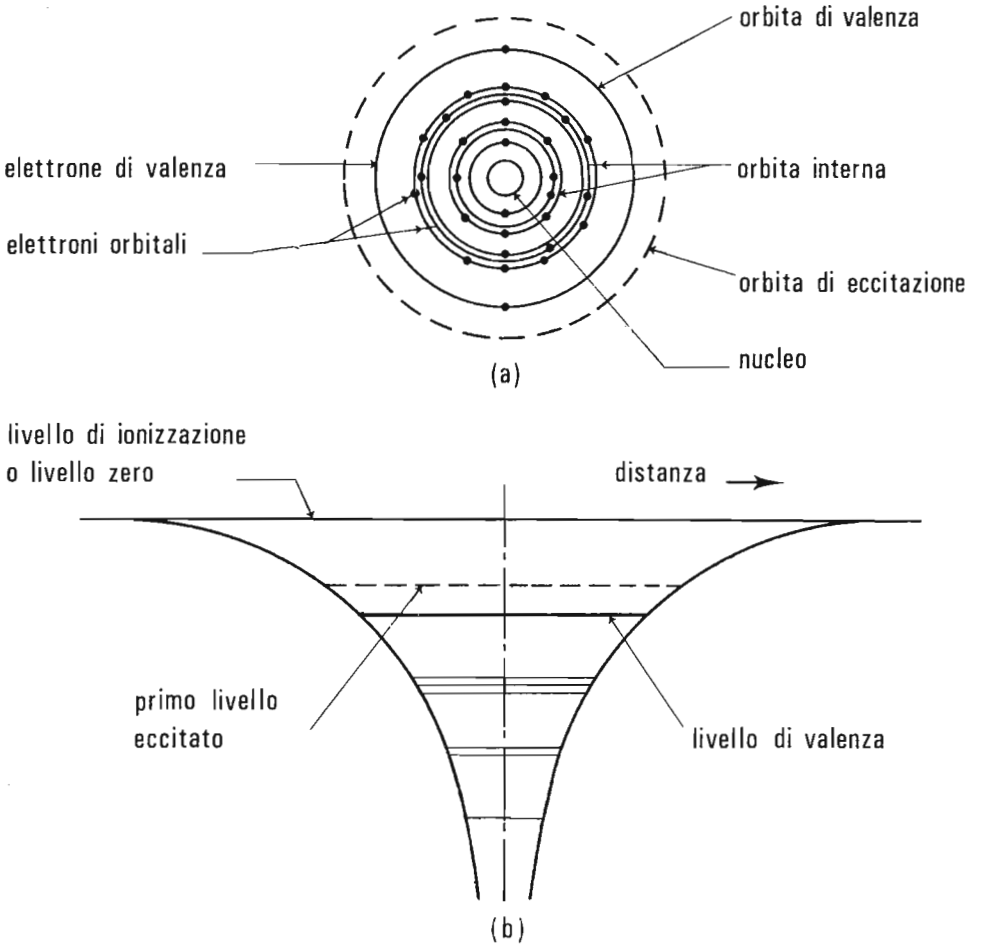


Fig. 2.1 - (a) (b) - Modello orbitale semplificato di un atomo (a) e diagramma dei livelli energetici dello stesso atomo (b).

la differenza di energia fra i livelli.

Gli elettroni che in un atomo si trovano ad occupare i livelli più alti sono gli elettroni di valenza; questi determinano i legami molecolari.

Consideriamo allora la posizione dei livelli energetici e l'andamento dell'energia potenziale in una semplice molecola biatomica. Il grafico che si ottiene è riportato in fig. 2.2.

La curva che dà l'andamento dell'energia potenziale coincide a sinistra con quella del primo atomo, a destra con quella del secondo e nel centro si ha un andamento di somma risultante dall'interazione dei due atomi.

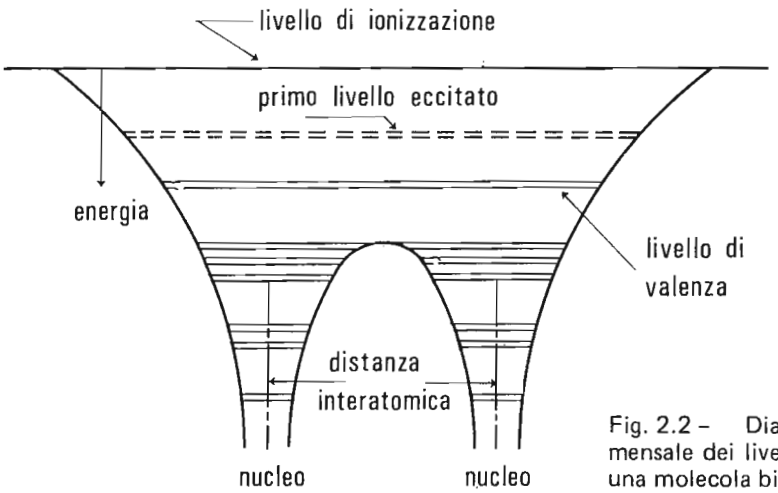


Fig. 2.2 - Diagramma unidimensale dei livelli energetici di una molecola biatomica.

Rispettando il principio di esclusione di Pauli, gli elettroni non occupano gli stessi livelli: infatti si deve notare che, nella posizione in cui si trovava un singolo livello in un atomo separato, ora ritroviamo due livelli leggermente spaziati con una piccola differenza di energia dovuta all'interazione fra i due atomi della molecola. Il risultato di questo processo di accoppiamento è simile a quello che si ottiene quando due oscillatori con frequenza identica sono accoppiati in modo che il nuovo sistema oscilli con due modi di oscillazione con frequenze leggermente diverse.
Gli elettroni di valenza vengono ora ad occupare livelli comuni al primo e al secondo atomo cioè comuni all'intero sistema molecolare. Essi non

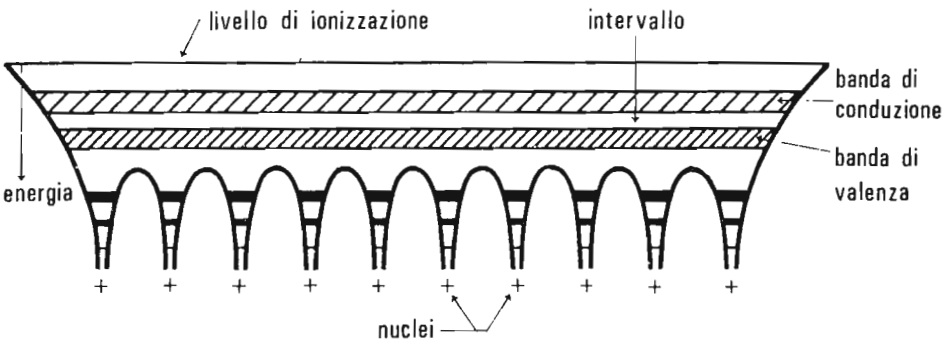


Fig. 2.3 - Diagramma unidimensionale dei livelli energetici di un cristallo.

sono perciò localizzati ma si muovono fra l'uno e l'altro atomo nell'intera molecola e sono responsabili dei legami molecolari.
Da un sistema molecolare composto da due atomi passiamo ora ad un sistema più complesso come, ad esempio, un solido cristallino composto da molti atomi. L'andamento dell'energia potenziale dentro il solido possiamo rappresentarlo in sezione con un diagramma unidimensionale come in fig. 2.3.
A causa dell'interazione fra tutti gli atomi costituenti il cristallo, a ciascun livello di energia di un atomo singolo corrisponde ora una banda di livelli energetici.
In ogni banda vi è un numero di livelli energetici circa uguale al numero degli atomi del cristallo.
Perciò in corrispondenza del livello di valenza di un singolo atomo avremo ora una banda di valenza e, in corrispondenza dei livelli di eccitazione, si ha un'altra banda che viene detta banda di conduzione.

2.1.2. Isolanti, conduttori, semiconduttori.

In fig. 2.3 si può osservare che le bande di valenza e di conduzione si estendono a tutto il solido. Il livello più alto della banda di valenza è separato dal livello più basso della banda di conduzione da un intervallo di energia in cui non sono compresi livelli energetici permessi.
Se la banda di valenza è completamente riempita da elettroni e la banda di conduzione è completamente vuota, non si può variare lo stato di un elettrone, se non fornendogli una quantità di energia almeno pari all'intervallo che separa la banda di valenza da quella di conduzione. Quando questo intervallo è sufficientemente grande, tanto che applicando un campo elettrico esterno non si riesce a far passare elettroni dalla banda inferiore alla superiore, allora non v'è possibilità di accelerare elettroni nell'interno del solido cioè **non v'è possiblità di un moto di cariche dall'interno all'esterno del solido e si dice che il materiale è un buon isolante.**
Se l'intervallo è molto piccolo o le due bande si sovrappongono, allora è possibile con l'azione di un campo elettrico esterno accelerare elettroni di valenza nei contigui livelli di conduzione e fare in modo che nel solido fluisca corrente. **In questo caso il solido si comporta come un conduttore e i**

metalli ne sono buoni esempi (*).

La situazione dei metalli semiconduttori è quella in cui l'intervallo di seseparazione fra le due bande é di un valore intermedio rispetto ai casi limiti precedenti. Succede in questo caso che già per agitazione termica, statisticamente un numero apprezzabile di elettroni passa da livelli di valenza a livelli di conduzione e questi stessi elettroni possono costituire una corrente elettrica, se sottoposti ad un campo elettrico esterno che li acceleri.

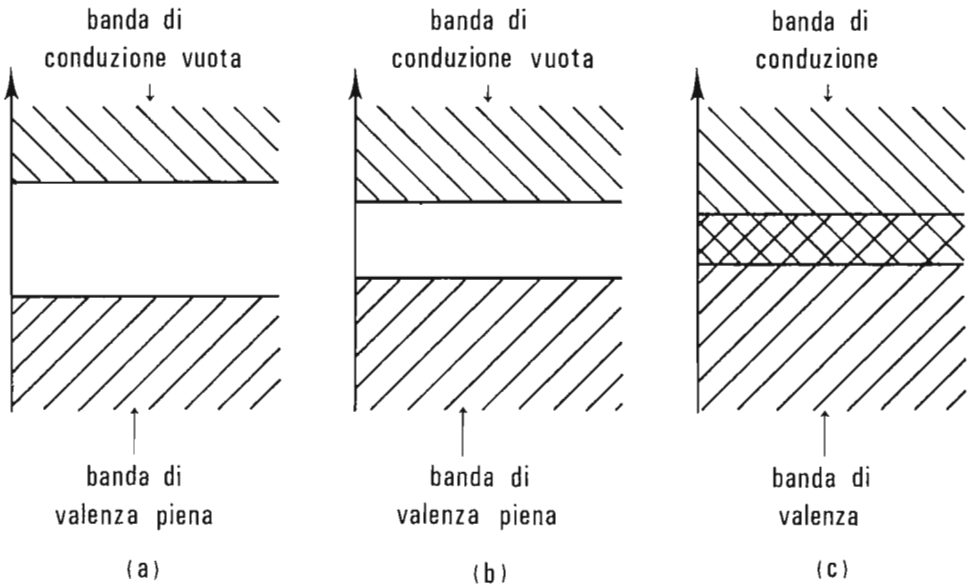


Fig. 2.4 - (a) (b) (c) - Bande di valenza e di conduzione di un solido cristallino: (a) isolante - (b) semiconduttore - (c) conduttore.

Poichè questo comportamento é dovuto all'agitazione termica, è intuitivo comprendere che tanto più alta è la temperatura tanti più elettroni saranno disponibili per la conduzione: cioè **in un semiconduttore la conducibilità aumenta con la temperatura o, il che è lo stesso, la resistenza diminuisce all'aumentare della temperatura.** Praticamente si suole distinguere i conduttori e i semiconduttori a seconda del segno del coefficiente termico della resistenza; i conduttori hanno un coefficiente sempre positivo a tutte

(*) Un altro caso in cui si può avere conduzione è quello di avere la banda di valenza parzialmente piena. Allora gli elettroni possono essere accelerati passando a livelli non occupati della stessa banda di valenza. Questa è la situazione dei metalli alcalini.

le temperature, i semiconduttori hanno un coefficiente leggermente negativo alla temperatura ambiente e per un intervallo abbastanza esteso al di sopra di essa.

2.1.3. Impurità nei semiconduttori: semiconduttori di tipo n e di tipo p.

Vogliamo discutere ora il ruolo delle impurità nei semiconduttori e, per essere più espliciti, consideriamo un cristallo singolo di germanio con una impurità di arsenico.
Il germanio ha quattro elettroni di valenza, l'arsenico ne ha cinque; quando un atomo di arsenico rimpiazza nella struttura cristallina un atomo di germanio quattro elettroni vengono utilizzati come elettroni di valenza per realizzare i legami con gli atomi vicini, il quinto resta legato molto debolmente all'atomo di arsenico e può passare nella banda di conduzione. Esemplifichiamo anche in questo caso l'andamento dell'energia potenziale, dentro al cristallo in vicinanza dell'atomo di arsenico come in fig. 2.5.

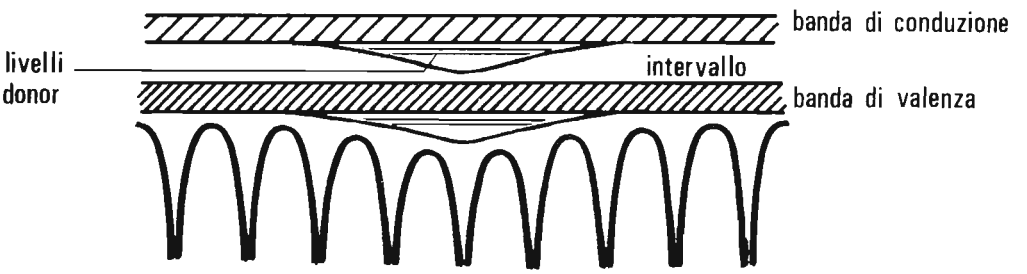


Fig. 2.5 - Diagramma delle bande di energia di un cristallo che mostra l'effetto di impurità "donor".

Un atomo di arsenico senza il quinto elettrone di valenza rappresenta una carica elettrica positiva localizzata nell'interno del cristallo. A causa di questa carica positiva il pozzo di potenziale corrispondente al punto occupato dall'atomo di arsenico si abbassa maggiormente rispetto ai pozzi di potenziale relativi agli atomi di germanio. L'effetto riportato in figura 2.5, comporta anche una **distorsione locale delle bande di energia con la creazione di nuovi livelli vicinissimi al limite inferiore della banda di conduzione** che sono occupati dagli elettroni in eccesso dovuti all'impurità.
L'impurità ora discussa viene detta di tipo n perchè le cariche di conduzione sono negative; i livelli aggiuntivi sono chiamati livelli donori (donor)

perchè forniscono alla banda di conduzione gli elettroni dovuti alle impurità.

Continuando con l'esempio del germanio introduciamo invece impurità con un elemento trivalente come il gallio. L'atomo di gallio sostituito a quello di germanio può saturare solo tre legami di valenza. E' quindi abbastanza facile che accetti elettroni da altri atomi per saturare il quarto legame.

Se consideriamo il solito andamento dell'energia potenziale dentro il cristallo,osserveremo che nel punto occupato dall'atomo di Gallio si hanno deformazioni come quelle riportate in fig. 2.6 che sono esattamente l'opposto di quelle riportate in fig. 2.5.

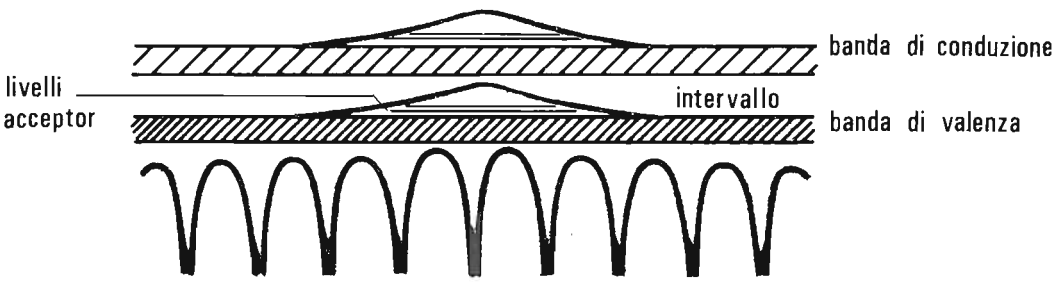


Fig. 2.6 - Diagramma delle bande di energia di un cristallo che mostra l'effetto di impurità "acceptor".

Infatti ora il pozzo di potenziale localizzato intorno all'atomo di Gallio è meno profondo di quelli relativi agli atomi di germanio e si creano dei **livelli vuoti vicinissimi al limite superiore della banda di valenza.** E' possibile perciò che un elettrone passi in questo livello sotto l'azione di un campo elettrico esterno lasciando vuoto un legame di valenza.

Il posto lasciato vuoto dall'elettrone è chiamato buco o lacuna e, piuttosto che pensare al moto dell'elettrone, si pensa a come si sposta questa lacuna passando da un atomo all'altro. Ovviamente il moto della lacuna corrisponde al moto di una carica positiva. **Quando il semiconduttore presenta impurità di questo tipo esso si dice di tipo p perchè si ha una conduzione con portatori di cariche positive (lacune) e i livelli aggiuntivi sono detti livelli accettori (acceptor) perchè possono ricevere gli elettroni della banda di valenza.**

Il numero dei livelli donori aumenta in un semiconduttore di tipo n all'aumentare del numero degli atomi di arsenico rispetto a quelli di germa-

nio e si può creare così una piccola banda di livelli "donor" adiacente alla banda di conduzione (fig. 2.7 a).
Lo stesso discorso vale per i semiconduttori di tipo p riferendosi alla proporzione di atomi di Gallio rispetto a quelli di germanio; in essi si crea una piccola banda di livelli acceptor adiacente al limite superiore della banda di valenza (fig. 2.7 b).

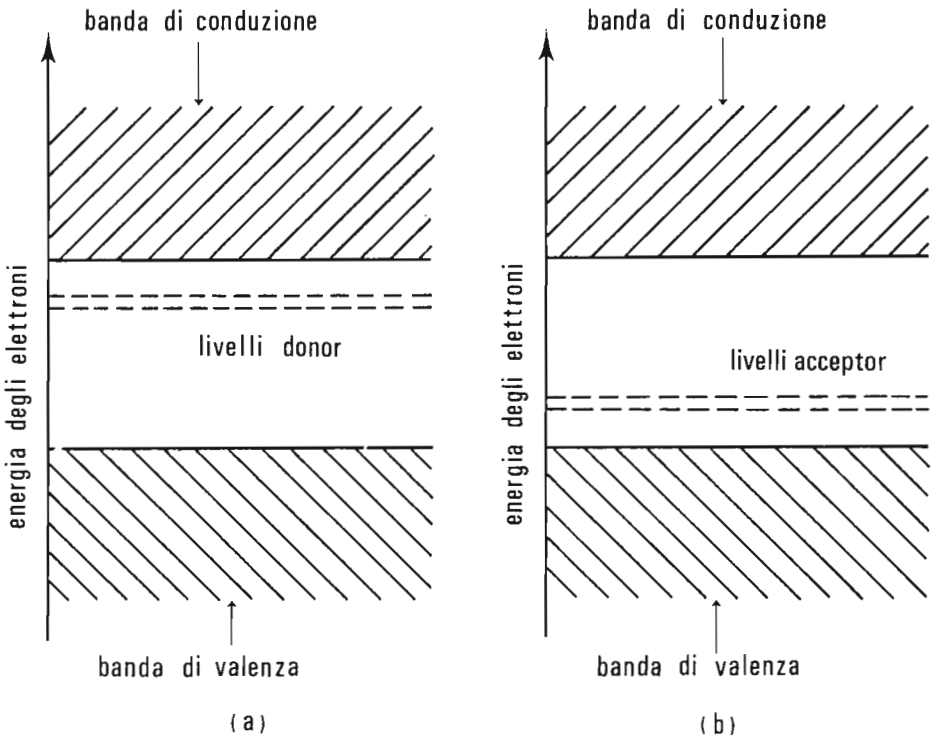


Fig. 2.7 - (a) (b) - Posizione dei livelli donari e accettori che formano delle piccole bande adiacenti alla banda di conduzione o alla banda di valenza all'aumentare del dronaggio.

La densità dei livelli di queste nuove bande è dunque proporzionale alla densità delle impurità. Generalmente nelle applicazioni ai diodi e ai transistori si è nella situazione di avere un atomo di impurità per ogni 10^6 o anche ogni 10^9 atomi di semiconduttore normale.
I semiconduttori più usati sono il germanio ed il silicio .

2.1.4. La giunzione e il livello di Fermi.

In un cristallo semiconduttore di tipo n o di tipo p, sebbene vi sia una maggioranza di portatori di cariche negative nel primo (elettroni) e di portatori di cariche positive nel secondo (buchi), tuttavia è ovvio che **la carica totale del semiconduttore è nulla** in quanto vi è sempre l'uguaglianza fra carica positiva dei nuclei e carica negativa di tutti gli elettroni.
Se si uniscono insieme un pezzo di cristallo di tipo n e uno di tipo p, avendo cura che nella regione di congiunzione sia conservata la struttura cristallina, cioè che il reticolo cristallino non subisca alterazioni nel passaggio da una zona all'altra, **allora si creano due regioni ciascuna delle quali presenta una carica totale diversa da zero. La zona di contatto intimo fra le due regioni viene chiamata giunzione.**
La giunzione viene generalmente ottenuta prendendo un cristallo singolo e introducendo impurità donor da un lato del cristallo e impurità acceptor nell'altro lato, così da ottenere due regioni una di tipo n e una di tipo p nello stesso cristallo.
Il processo di formazione di una barriera di potenziale attraverso una giunzione si può capire introducendo il concetto del **livello di Fermi.**
In un cristallo perfetto alla temperatura dello zero assoluto, tutti gli elettroni occupano i livelli di energia più bassi. A temperature più elevate alcuni elettroni, per agitazione termica, saltano su livelli più alti lasciando quindi vuoti alcuni livelli più bassi. La distribuzione di questi elettroni è data dalla **funzione di distribuzione di Fermi-Dirac** :

$$f(E) = \frac{1}{\exp\left[\frac{E - E_f}{KT}\right] + 1} \qquad (2.1)$$

dove è : E = energia dell'elettrone;
K = costante di Boltzmann;
T = temperatura assoluta;
E_f = l'energia che definisce il cosiddetto **livello di Fermi.**

Questa funzione dà la probabilità di trovare un elettrone ad un energia E alla temperatura T. In fig. 2.8 è dato l'andamento della funzione per diversi valori di T. Per $T = 0$, tutti gli elettroni sono al di sotto del livello E_f; al crescere di T aumenta la probabilità di trovare un elettrone in un livello superiore ad E_f.

Dalla simmetria della curva intorno al valore E_f, si può ricavare che ad una data temperatura la probabilità di trovare un elettrone ad un livello E al di sopra di E_f, è uguale a quella di trovare un buco ad un livello E al di sotto di E_f. Questa considerazione è il punto di partenza per trovare la posizione del livello di Fermi in un solido.

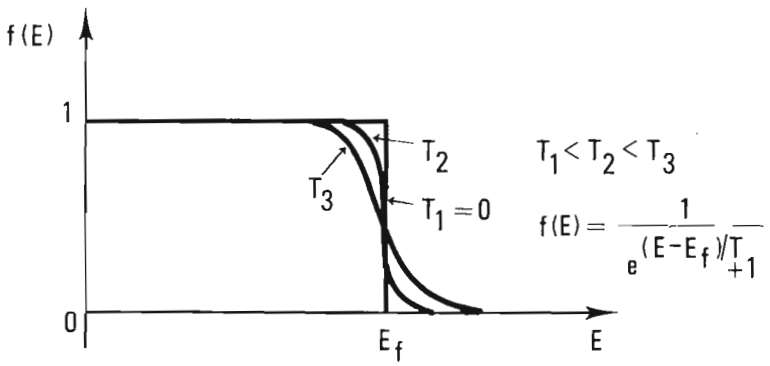


Fig. 2.8 - Funzione di distribuzione Fermi- Dirac.

In un semiconduttore perfetto gli elettroni eccitati termicamente si trovano sul limite inferiore della banda di conduzione, mentre le lacune si trovano sul limite superiore della banda di valenza; il livello di Fermi si trova quindi nel mezzo dell'intervallo fra le due bande.

In un semiconduttore di tipo n il livello di Fermi si trova più vicino alla

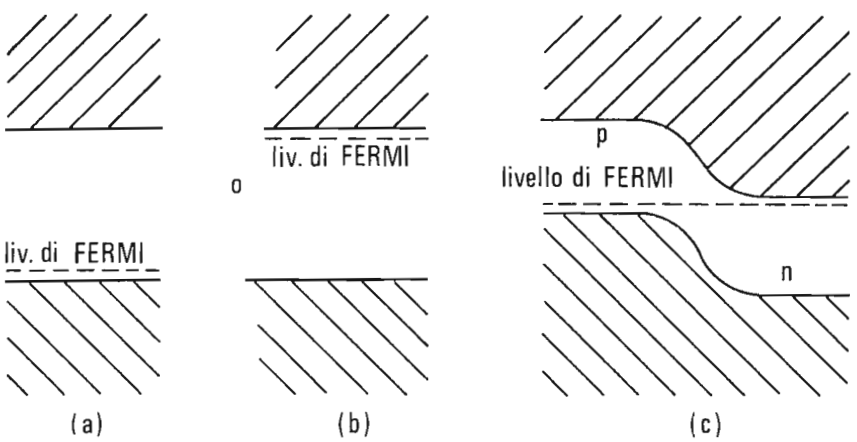


Fig. 2.9 - Livello di Fermi in un cristallo di Germanio: - a) Germanio tipo p; - b) Germanio tipo n; - c) giunzione p-n.

banda di conduzione (fig. 2.9 b): **in un tipo p il livello di Fermi si trova invece più vicino alla banda di valenza** (fig. 2.9 a).

Un concetto fondamentale legato al livello di Fermi è che **quando due solidi sono in contatto ed in equilibrio termico i livelli di Fermi dei due solidi devono essere allineati alla stessa altezza.**

Quando allora due tipi di semiconduttori sono uniti per formare una giunzione, gli elettroni e i buchi si muovono nel solido fino a modificare il potenziale elettrostatico in modo tale che **il livello di Fermi sia unico e comune a tutto il nuovo sistema** (2.9 c). La barriera di potenziale per gli elettroni è rappresentata dall'innalzarsi del limite inferiore della banda di conduzione nella regione p; mentre per le lacune la barriera di potenziale è rappresentata dall'abbassarsi del limite superiore della banda di valenza nella regione n.

Il formarsi della barriera di potenziale può spiegarsi più qualitativamente come segue con l'aiuto della fig. 2.10.

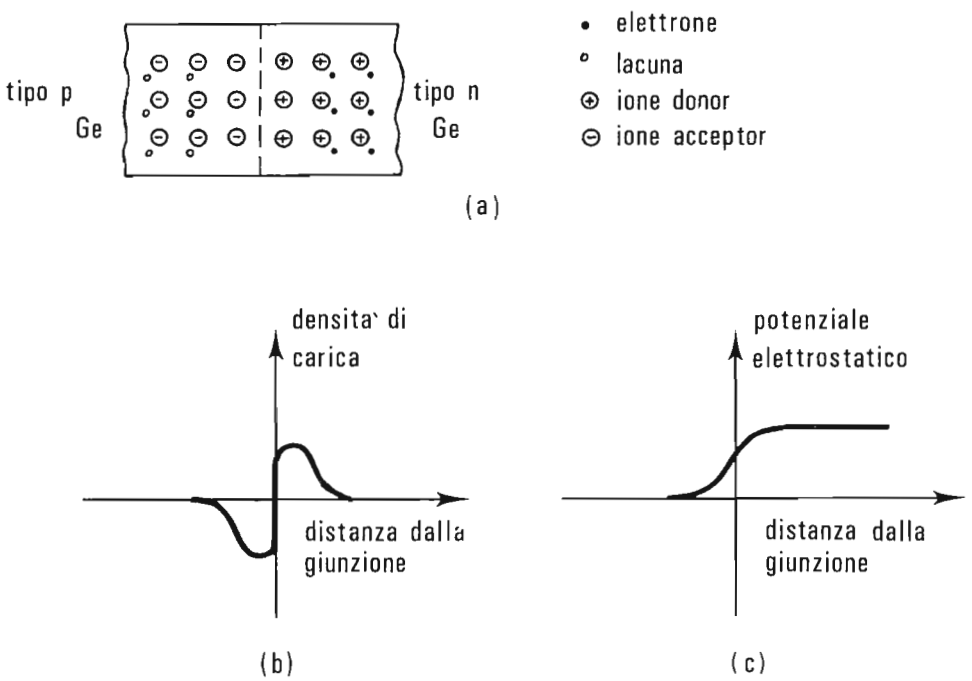


Fig. 2.10 - Giunzione p-n; a) struttura; b) distribuzione della densità di carica; c) distribuzione del potenziale elettrostatico.

Gli elettroni della regione n tendono a diffondere nella regione p, mentre le lacune tendono ad andare dalla regione p in quella n. Questa migrazione di cariche in un solido inizialmente neutro, provoca che la regione di tipo p diventi via via negativa rispetto a quella n. **Si genera così una d.d.p. attraverso la giunzione che tende ad opporsi ad ogni ulteriore flusso di cariche**: si raggiunge infine uno stato di equilibrio con una d.d.p. sulla giunzione (fig. 2.9 c) e con una distribuzione della densità di carica (fig. 2.10 b), dovuta ad accumulo di cariche di segno opposto in prossimità della giunzione. **La giunzione è analoga quindi ad un condensatore carico, ma a differenza di quest'ultimo in essa può fluire corrente di conduzione.**

2.2. I DIODI .

2.2.1. Il diodo a giunzione .

La giunzione p, n, ha dunque la proprietà di favorire un flusso di cariche in un verso e di ostacolarlo nel verso opposto. Essa può essere utilizzata per realizzare un diodo a semiconduttore.

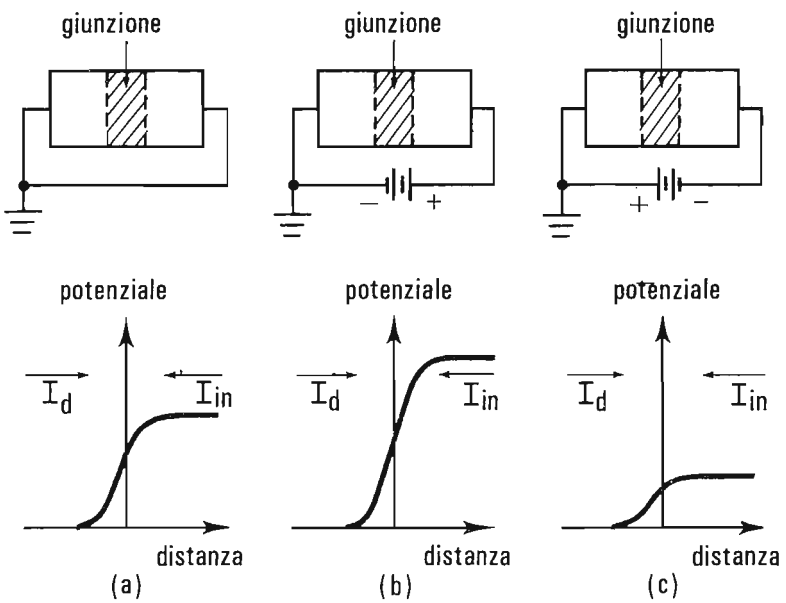


Fig. 2.11 - Diodo: (a) giunzione p-n, non polarizzata; - (b) giunzione p-n con polarizzazione inversa; (c) id. polarizzata diretta.

Quando ai capi del diodo non è applicata alcuna d.d.p., il potenziale attraverso la giunzione è quello mostrato in fig. 2.11(a). Ad una data temperatura un certo numero di lacune nella regione p acquisterá abbastanza energia da raggiungere la regione n e combinarsi con gli elettroni (analogo discorso vale per gli elettroni nella zona n). Questa parte di corrente si chiama **corrente diretta I_d**.
Nello stesso tempo però, per effetto termico sono generati elettroni anche nella regione p i quali possono passare liberamente nella regione n; considerato l'andamento della barriera, anche nella regione n sono generati dei buchi che passano liberamente nella regione p. La corrente dovuta a queste cariche è detta **corrente inversa I_{in}** ed è proporzionale alla temperatura. **Senza tensione applicata, le due correnti I_d e I_{in} si equilibrano ad ogni temperatura.**
Se ora applichiamo una tensione inversa, cioè tale da aumentare l'altezza del gradino di potenziale nella barriera, I_d diminuisce perchè ad una data temperatura il numero di portatori di cariche capaci di superare questo dislivello sarà minore: mentre I_{in} non è affatto influenzato dall'aumento della barriera perchè la d.d.p. è nel verso giusto del moto delle cariche costituenti I_{in}. Se si aumenta la tensione di polarizzazione inversa I_d può praticamente annullarsi e rimanere solo I_{in}. Questo spiega l'andamento asintotico di saturazione della corrente inversa in un diodo semiconduttore (fig. 2.12).

Il processo di corrente inversa nel diodo semiconduttore può essere descritto anche nel seguente modo. L'applicazione di una tensione V inversa non fa altro che aumentare l'altezza della barriera di potenziale; tale aumento riduce il flusso delle cariche **maggioritarie** che sono le lacune nel tipo p e gli elettroni nel tipo n (cioè le cariche che determinano la conduzione nel semiconduttore drogato), mentre lascia inalterato il flusso delle **cariche minoritarie** (gli elettroni nel tipo p e le lacune nel tipo n).
In fig. 2.11(c) è rappresentata la connessione con alimentazione diretta. La barriera è abbassata e aumenta molto la corrente I_d mentre I_{in} rimane sempre invariata. La corrente totale così aumenta secondo l'andamento di Figura 2.12.

2.2.2. Curve caratteristiche del diodo a giunzione.

Nella giunzione p-n, la corrente I e la tensione V sono legate dalla relazione :

$$I = I_0 (e^{V/V_T} - 1). \tag{2.2}$$

Quando V è positivo, il diodo è polarizzato direttamente e la corrente I fluisce dalla regione p positiva verso la regione n.
Il simbolo V_T rappresenta l'espressione :

$$V_T = \frac{kT}{e} \tag{2.3}$$

in cui e = carica dell'elettrone, k = costante di Boltzmann, T = temperatura assoluta. Per avere un riferimento sull'ordine di grandezza, è bene ricordare che alla temperatura ambiente, T = 300°k, si ha V_T = 26 mV. Il grafico della fig. 2.12 mostra che per V negativo l'andamento è esponen-

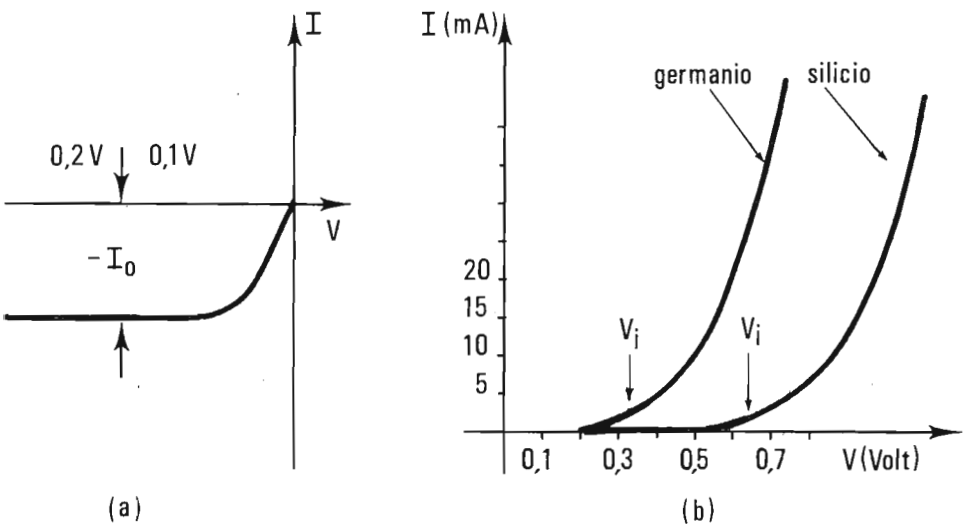


Fig. 2.12 - (a) caratteristica di polarizzazione inversa del diodo a giunzione che raggiunge il valore asintotico I_0 per $V \gg V_T$. Nel germanio $I_0 = 10^{-6}$ A, mentre nel silicio $I_0 = 10^{-9}$ A, – (b) caratteristica di polarizzazione diretta nel diodo a giunzione che mostra come la curva prenda un'impennata a tensione di $V_i = 0{,}2$ per il germanio e a $V_i = 0{,}6$ per il silicio.

ziale ed asintotico al valore I_0. Poichè V_T è di qualche decina di mV, si vede che non appena V è più negativo di qualche frazione di Volt, cioè $V \gg V_T$, si raggiunge subito, come mostrato in fig. 2.12 (a), il valore asintotico I_0, detto **"corrente inversa"** del diodo.
I_0 è dell'ordine del microampère per i diodi al germanio, mentre è mille volte più piccolo cioè dell'ordine del nanoampère per i diodi al silicio; questa differenza è dovuta al fatto che la distanza fra banda di valenza e banda di conduzione è maggiore nel silicio che nel germanio.
Se esaminiamo l'andamento per V positivo, osserviamo che I aumenta asintoticamente a valori che sono di diversi ordini di grandezza più grandi di I_0 : ciò avviene per valori di V tali che $e^{V/V_T} \gg 1$.
Le caratteristiche di polarizzazione diretta dei diodi a giunzione presentano una specie di impennata ad una tensione che per il germanio è di circa 0,2 V, mentre per il silicio è di circa 0,6 V: al di sotto di queste tensioni si hanno correnti dirette sempre inferiori al mA.
La diversa tensione di impennata V_i si spiega con la relazione (2.2) quando in essa si pone per la corrente inversa I_0 un valore che per il germanio è 1000 volte più grande che per il silicio.

2.2.3. Il diodo Zener.

La caratteristica di polarizzazione inversa di un diodo, per tensioni man mano più negative, raggiunge alla fine una tensione V_Z, detta **tensione Zener o di scarica a valanga,** in cui la corrente nel diodo assume valori notevoli senza che la tensione vari apprezzabilmente, come è mostrato in fig. 2.13 (a). Questa zona della caratteristica, in cui non è più valida l'equazione (2.2) è dovuta a due processi che si verificano non appena la tensione inversa raggiunge il valore V_Z: il primo è dovuto al fatto che gli elettroni e i buchi generati termicamente acquistano sufficiente energia, a causa del campo elettrico esterno, da generare altri portatori di cariche negli urti con gli atomi del reticolo cristallino. Queste cariche sono a loro volta accelerate e producono altre cariche con un processo a catena simile a quello che si ha in un gas con la **"scarica Townsend"**. Il secondo meccanismo in giuoco è il seguente: anche quando le cariche, generate per vibrazione termica,

non riescono ad essere accelerate tanto da provocare nell'urto nuove cariche, esiste tuttavia un campo elettrico abbastanza elevato capace di innescare una scarica (detta scarica Zener) per la rottura diretta dei legami degli elettroni di valenza.

Se il diodo è costruito con una capacità di dissipazione termica adeguata a mantenerlo nella zona Zener senza che si bruci, viene detto **"diodo Zener" e può essere impiegato come interruttore per molte utili applicazioni.** Oggi è possibile disporre di diodi al silicio capaci di tensioni Zener da alcuni Volt fino a diverse centinaia di Volt con dissipazioni anche di diverse decine di Watt.

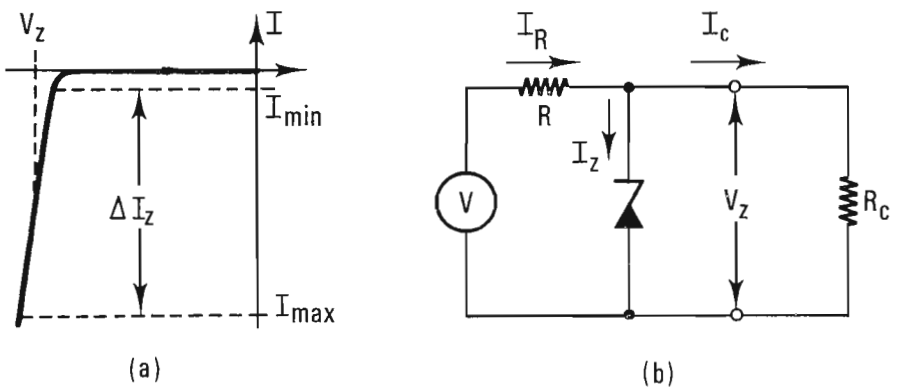


Fig. 2.13 - (a) caratteristica del diodo a giunzione nella zona Zener. - (b) schema di un generatore a tensione costante con diodo Zener.

Una delle applicazioni più comuni del diodo Zener è quella fatta per ottenere un generatore di tensione costante. Esaminiamo ad esempio lo schema di fig. 2.13 (b) dove abbiamo :

$$I_z = I_R - I_c \quad .$$

E' possibile variare I_c, cioè variare l'assorbimento del carico esterno R_c, oppure variare I_R, cioè accettare variazioni della tensione del generatore primario V, senza che V_z vari apprezzabilmente: basta che le suddette variazioni siano tali da mantenere I_z entro l'intervallo $\Delta I_z = I_{max} - I_{min}$ della zona Zener. Il valore I_{min} non può essere oltrepassato perchè altrimenti non viene più mantenuta la tensione V_z; il valore I_{max} non deve es-

sere superato perchè è legato al valore della potenza massima dissipabile dal diodo Zener.
In tutto l'intervallo ΔI_Z, la tensione V_Z non si mantiene in realtà esattamente costante ma subisce una variazione $\Delta V_Z \ll V_Z$.
Il rapporto $\Delta V_Z/\Delta I_Z$ costituisce la resistenza dinamica del diodo Zener, che può arrivare fino a valori di qualche Ohm per diodi con $V_Z \simeq 6$ Volt, mentre è di qualche centinaio di Ohm per $V_Z > 1000$ Volt.

2.2.4. Il diodo Tunnel.

Un diodo tunnel consiste di una semplice giunzione p-n in cui entrambe le regioni del semiconduttore sono fortemente drogate.
In un diodo normale il drogaggio si spinge ad avere una concentrazione di impurezze di circa 1 parte su 10^8, mentre nel diodo tunnel si raggiunge una concentrazione di 1 parte su 10^3, cioè un drogaggio con circa 10^{19} atomi/cm^3 di impurezze.
Vi sono tre effetti principali dovuti all'alto livello di drogaggio:

1°) **I livelli di Fermi** che, con un drogaggio normale si trovano sempre posizionati entro l'intervallo di energia che separa la banda di valenza dalla banda di conduzione, **ora vanno a finire entro le bande.** Nel semiconduttore di tipo n il livello di Fermi si trova entro la banda di conduzione vicino al bordo inferiore, nel tipo p si trova vicino al bordo superiore della banda di valenza.
Quando il livello di Fermi finisce entro le bande il semiconduttore si definisce "degenere". Condizione necessaria per avere la conduzione per effetto tunnel è appunto quella di portare il semiconduttore in una condizione degenere.

2°) **I livelli donori o accettori,** che nel normale semiconduttore costituiscono delle righe al di sotto della banda di conduzione o al disopra della banda di valenza, **nel semiconduttore degenere divengono così numerosi da costituire delle vere e proprie bande estese fino a combaciare con le bande principali.** Ciò porta ad una riduzione dell'intervallo di energia fra banda di valenza e banda di conduzione.

3°) Lo spessore della regione in cui si estende la barriera di potenziale

della giunzione p-n è dell'ordine di diversi micron ($> 10^{-4}$ cm) nei diodi normali, mentre nei diodi tunnel si riduce di circa due ordini di grandezza fino ai centesimi di micron ($\simeq 10^{-6}$ cm).

In queste condizioni si genera **la conduzione per "effetto tunnel"**: cioè **secondo la meccanica quantica, gli elettroni acquistano una probabilità elevata di attraversare la barriera di potenziale della giunzione e la superano anche se, in termini di meccanica classica, hanno un'energia inferiore all'altezza della barriera di potenziale della giunzione.**

Per chiarire meglio la conduzione per "effetto tunnel" in una giunzione p-n degenere, consideriamo la posizione relativa dei livelli nelle bande al variare della tensione di polarizzazione esterna ed alla temperatura dello zero assoluto, come indicato in fig. 2.14.

Allo zero assoluto T = 0 tutti gli stati occupati dagli elettroni si trovano al di sotto del livello di Fermi. In queste condizioni limite possiamo perciò descrivere più schematicamente quali sono le cariche disponibili per la conduzione tunnel al variare della tensione di polarizzazione esterna del diodo.

In fig. 2.14 (b), pensata con tensione esterna nulla, i livelli di Fermi sono allineati ed in assenza di polarizzazione non vi è conduzione: questa condizione corrisponde al punto (b) nella caratteristica di fig. 2.15 (a). Applichiamo ora una tensione di polarizzazione inversa V_{in}: tutti gli elettroni della banda di valenza della regione p, che superano il livello di Fermi Efn della regione n, sono disponibili per la conduzione tunnel, come mostrato in fig. 2.14 (a) e nel punto (a) di fig. 2.15 (a). Cioè applicando una tensione inversa si ha conduzione tunnel che aumenta con la tensione, perchè aumenta il numero di cariche disponibili.

Se invece applichiamo una tensione diretta V_d, vediamo che diventano disponibili le cariche nella banda di conduzione della regione n. In questo caso la conduzione tunnel aumenta da zero fino a raggiungere un massimo [punto c di fig. 2.15 (a)] quando tutti i livelli compresi fra Ecn ed Efn fronteggiano la zona compresa fra Ecp ed Efp, come mostrato in fig. 2.14 (c) e nel punto (c) di fig. 2.15 (a).

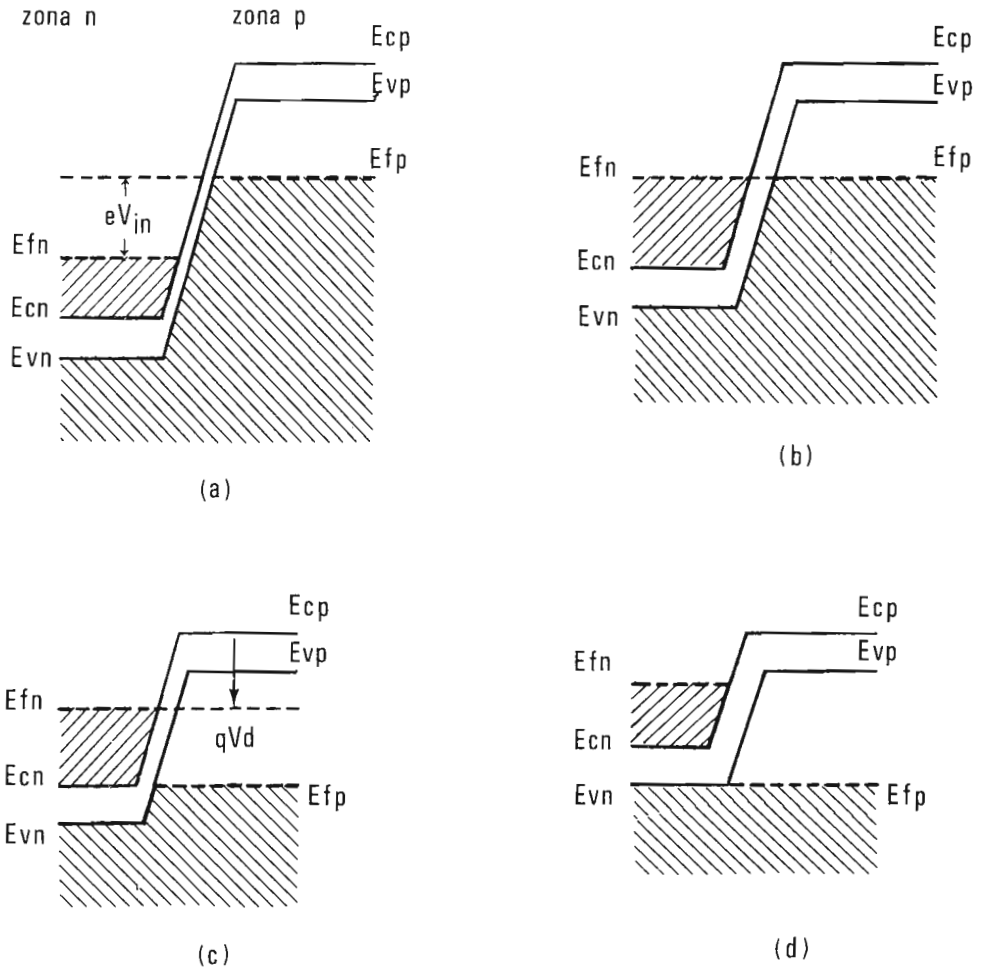


Fig. 2.14 – Stati occupati nella banda di conduzione e di valenza di una giunzione con semiconduttori degeneri alla temperatura dello zero assoluto mostrati in funzione della tensione di polarizzazione esterna.

▨ . elettroni nella banda di conduzione

▧ . elettroni nella banda di valenza.

Efn, Efp: livello di Fermi nella regione n e nella regione p;

Evn, Evp: livello superiore delle bande di valenza;

Ecn, Ecp: livello inferiore delle bande di conduzione;

Continuando ad aumentare la tensione diretta, il numero di elettroni nella regione n che fronteggiano i livelli delle lacune nella regione p diminuisce e quindi la corrente tunnel si riduce fino ad annullarsi. Contemporaneamente però si riduce la barriera di potenziale, il che provoca la conduzione diretta del diodo. Si ottiene così la caratteristica mostrata in fig. 2.15 (b), risultante dalla somma della conduzione del tunnel e della conduzione diretta.

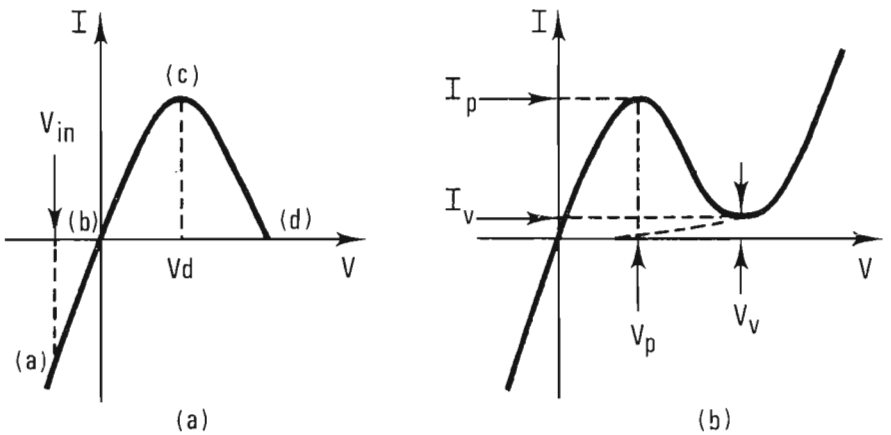


Fig. 2.15 - (a) corrente per effetto tunnel - (b) corrente totale dovuta alla conduzione per effetto tunnel più la conduzione diretta normale del diodo.

Il diodo tunnel presenta perciò una regione con resistenza negativa compresa fra il punto I_p, V_p (valori di picco della caratteristica) ed il punto I_v, V_v (valori di valle della caratteristica).

La principale applicazione dei diodi tunnel si ha nell'elettronica impulsiva rapida per circuiti a scatto e per circuiti logici, dove si richiedono tempi di commutazione dell'ordine dei nanosecondi o meno. Poichè la conduzione tunnel è regolata dalle equazioni della meccanica quantistica, si vede che i **tempi di risposta nei circuiti con diodi tunnel non sono limitati dai tempi di transito delle cariche attraverso la giunzione, ma dalle capacità parassite e dai valori totali di corrente.**

I diodi tunnel oggi disponibili sono al germanio, al silicio e all'arseniuro di gallio e presentano valori riportati nella tabella che segue per i punti di picco e di valle della caratteristica.

	I_p/I_v	V_p	V_v
Si	4	0,065V	0,42V
Ge	8	0,055V	0,35V
GaAs	16	0,15 V	0,50V

2.3. IL TRANSISTORE A GIUNZIONE .

In fig. 2.16 viene presentato schematicamente l'andamento delle correnti e delle tensioni in un transistore a giunzione p-n-p (*) : la connessione mostrata è detta a **"base comune" poichè il terminale di base è comune sia all'entrata che all'uscita.**

Il transistore è alimentato in modo da avere la giunzione emettitore-base polarizzata direttamente e la giunzione collettore-base polarizzata inversamente. In queste condizioni si ha un flusso di cariche positive o buchi dalla regione p di emettitore alla regione n di base (corrente I_1 di fig. 2.16), ed un flusso di elettroni dalla base all'emettitore (corrente I_2 di figura).

Trascuriamo, in prima approssimazione, quella parte di buchi che possono ricombinarsi con cariche negative attraversando la regione di base. Vediamo allora che la corrente I_1 viene assorbita tutta verso il collettore, poichè i buchi incontrano un campo elettrico accelerante nella giunzione base-

(*) Le considerazioni che seguono si riferiscono a transistori del tipo p-n-p. Tuttavia i risultati delle analisi svolte sono applicabili anche ai tipi n-p-n, purchè si tenga conto che le polarizzazioni delle giunzioni vanno stabilite con tensioni di segno opposto.

-collettore.
Ai terminali esterni noi possiamo perciò raccogliere le seguenti correnti :

$$(2.4) \qquad \begin{cases} I_e = I_1 + I_2 \\ I_b = I_2 \\ I_c = I_1 \end{cases}$$

In questa approssimazione il funzionamento del transistore, come elemento attivo capace di amplificare segnali elettrici, può spiegarsi discutendo sulle correnti I_1 ed I_2.

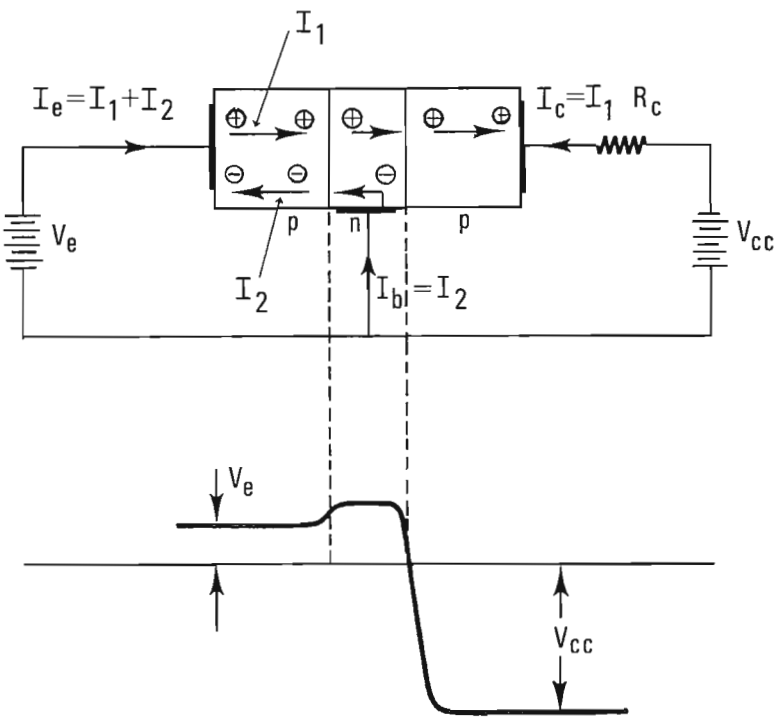


Fig. 2.16 - Andamento del flusso di cariche e delle tensioni alle giunzioni in un transistore p-n-p.

2.3.1. L'azione di transistore.

Dalla teoria dei semiconduttori si ricava che il rapporto fra le correnti I_1 ed I_2 è dato da :

$$\frac{I_1}{I_2} = \frac{L\sigma_p}{W\sigma_n} \tag{2.5}$$

in cui si è indicato con σ_p e σ_n la conduttività della regione di emettitore p e di base n, con L il libero cammino medio degli elettroni nella regione p e con W lo spessore della regione n di base.
Nei transistori il rapporto σ_p/σ_n è reso volutamente molto grande in modo da assicurare un elevato rapporto I_1/I_2 che in pratica può raggiungere valori dell'ordine delle centinaia.
Vediamo così che il guadagno di corrente α_n fra collettore ed emettitore è:

$$\alpha_n = \frac{I_c}{I_e} = \frac{I_1}{I_1 + I_2} = \frac{1}{1 + \frac{I_2}{I_1}} \tag{2.6}$$

L'indice n per α serve a ricordare che ci si riferisce **alla connessione normale in cui l'emettitore funziona come emettitore ed il collettore come collettore.** E' infatti possibile anche la connessione inversa in cui, come accenneremo in seguito, il collettore viene fatto funzionare come emettitore e viceversa.
Analogamente possiamo definire **un guadagno di corrente β_n fra la corrente di collettore e la corrente di base** che vale :

$$\beta_n = \frac{I_c}{I_b} = \frac{I_1}{I_2} = \frac{\alpha_n}{1 - \alpha_n} \tag{2.7}$$

Dalla (2.6) e dalla (2.7) si controlla facilmente che, anche trascurando la ricombinazione delle cariche in moto nella regione di base, α_n **è minore dell'unità anche se di qualche per cento, β_n può avere valori molto maggiori di uno**, ed in pratica varia a seconda del tipo di transistore dalle decine alle centinaia.
Per esaminare come può avvenire un'azione di amplificazione di tensione, applichiamo un segnale ΔV_{be} all'ingresso di emettitore. **Chiamando r_e la resistenza interna del diodo emettitore-base polarizzato direttamente**, che

è dell'ordine delle decine di Ohm, e detta ΔI_e la variazione così prodotta in I_e, possiamo scrivere :

$$\Delta V_{be} = \Delta I_e r_e \quad . \tag{2.8}$$

La variazione ΔI_e provoca una corrispondente ΔI_c nel collettore dove si ha una variazione di tensione che possiamo scrivere pari a :

$$\Delta V_{bc} = \Delta I_c \frac{R_c \cdot r_c}{R_c + r_c} \simeq \Delta I_c R_c \tag{2.9}$$

dove si è indicato con r_c **la resistenza interna del diodo costituito dalla giunzione collettore-base polarizzato inversamente.** Tale resistenza è sempre maggiore di 10^5 Ohm e perciò può essere trascurata rispetto alla resistenza di carico esterno R_c, se questa è dell'ordine delle migliaia di Ohm. Si raggiunge così un'amplificazione di tensione data in modulo da :

$$A = \frac{\Delta V_{bc}}{\Delta V_{be}} = \frac{\Delta I_c}{\Delta I_e} \frac{R_c}{r_e} = \frac{\Delta I_1}{\Delta I_1 + \Delta I_2} \frac{R_c}{r_e} = \alpha_n \frac{R_c}{r_e} \quad . \tag{2.10}$$

Ad esempio per $R_c = 10^3$ Ohm ed $r_e \simeq 10$ Ohm, essendo sempre $\alpha_n \simeq 1$, si avrebbe $A = 100$.
Dall'esempio è chiaro che l'amplificazione viene ottenuta trasferendo la corrente I_1 dal circuito di entrata a bassa impedenza nel circuito di uscita ad alta impedenza: possiamo cioè dire che **l'amplificazione è dovuta ad una trasformazione di impedenza.** Infatti la denominazione di transistore deriva dall'abbreviazione di **transfer-resistor.**

2.3.2. Le equazioni di Ebers e Moll.

I transistori usati nei circuiti impulsivi vengono comandati con grandi segnali di ingresso che portano il componente a commutare dall'interdizione alla saturazione o viceversa. Che il transistore si trovi saturato, interdetto, o nella regione attiva di transizione, il suo comportamento può essere analiticamente descritto dalle equazioni di **Ebers e Moll.**
Queste equazioni possono essere facilmente dedotte tenendo presente sia l'equazione (2.2) che definisce la corrente in una giunzione diodica, sia l'azione di transistore per cui la corrente di emettitore si ritrova nella giun-

zione di collettore, ed assumendo che le correnti nella giunzione di collettore si sommino linearmente.
Con queste premesse, noi possiamo scrivere che la corrente totale di collettore è data da :

$$I_c = -\alpha_n I_e - I_{co}\,(e^{V_c/V_T}-1) \tag{2.11}$$

cioè risulta dalla somma della corrente $\alpha_n I_e$ che dall'emettitore raggiunge il collettore, più la corrente propria della giunzione diodica collettore-base, il cui valore di saturazione inversa è stato indicato con I_{co}. Il segno meno nella (2.11) è dovuto al verso relativo delle correnti I_e, I_b, I_c assunto nella convenzione di fig. 2.17.

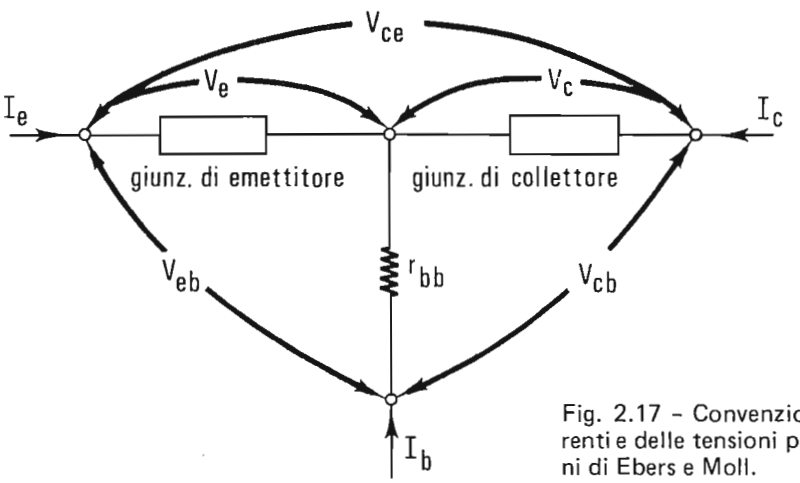


Fig. 2.17 - Convenzione delle correnti e delle tensioni per le equazioni di Ebers e Moll.

Un'analoga equazione può essere scritta quando il transistore viene impiegato nella connessione invertita in cui il collettore funziona come emettitore e viceversa. Mantenendo sempre per le correnti e le tensioni gli indici che si riferiscono ai terminali esterni, e chiamando α_i il guadagno di corrente della connessione invertita, otteniamo per analogia con la (2.11) :

$$I_e = -\alpha_i I_c - I_{eo}\,(e^{V_e/V_T}-1)\ . \tag{2.12}$$

Possiamo adoperare le equazioni (2.11) e (2.12) per ricavare le correnti in funzione delle tensioni alle giunzioni e dei parametri α_n, α_i, I_{co}, I_{eo}, ottenendo :

$$(2.13)\quad \begin{cases} I_e = \dfrac{\alpha_i I_{co}}{1-\alpha_n\alpha_i}\,(e^{V_c/V_T}-1) - \dfrac{I_{eo}}{1-\alpha_n\alpha_i}\,(e^{V_e/V_T}-1) \\ I_c = \dfrac{\alpha_n I_{eo}}{1-\alpha_n\alpha_i}\,(e^{V_e/V_T}-1) - \dfrac{I_{co}}{1-\alpha_n\alpha_i}\,(e^{V_c/V_T}-1) \end{cases} .$$

Queste due equazioni sono le ormai classiche **equazioni di Ebers e Moll adottate per descrivere il comportamento dei transistori in regime impulsivo.** La terza corrente, cioè la corrente di base, viene determinata dalla condizione :

$$(2.14)\qquad I_b + I_e + I_c = 0 \quad .$$

Sempre dalle equazioni (2.11) e (2.12) noi possiamo ottenere le tensioni di giunzione in funzione delle correnti :

$$(2.15)\quad \begin{cases} V_e = V_T \ln\left(1 - \dfrac{I_e + \alpha_i I_c}{I_{eo}}\right) \\ V_c = V_T \ln\left(1 - \dfrac{I_c + \alpha_n I_e}{I_{co}}\right) \end{cases} .$$

Come si vede dalla fig. 2.17, le tensioni di giunzioni V_e e V_c differiscono dalle tensioni fra i terminali esterni V_{eb} e V_{cb} a causa delle cadute ohmiche nelle regioni di semiconduttore, particolarmente nella regione di base dove la resistenza del bulbo spesso non può essere trascurata.
Infine si deve tener presente che i parametri α_n, α_i, I_{eo}, I_{co} non sono fra loro indipendenti ma legati dalla relazione :

$$(2.16)\qquad \alpha_n I_{eo} = \alpha_i I_{co} \ .$$

2.3.3. Le regioni di funzionamento del transistore.

In fig. 2.18 sono riportate le curve I_c in funzione della V_{cb} per diversi valori di I_e, riferiti alla connessione con base comune.
Possiamo distinguere tre diverse regioni caratterizzate dalle seguenti condizioni :

Regione I o di interdizione: giunzione di emettitore polarizzata inversamente e giunzione di collettore polarizzata inversamente.

Regione II o regione attiva: giunzione di emettitore polarizzata direttamente e giunzione di collettore polarizzata inversamente.

Regione III o regione di saturazione: giunzione di emettitore polarizzata direttamente e giunzione di collettore polarizzata direttamente.

I confini tra queste tre regioni sul grafico di fig. 2.18 possono essere tracciati prendendo come limite fra la regione di interdizione e la regione attiva la curva $I_e = 0$, e come limite fra la regione attiva e la regione di saturazione la retta $V_c = 0$.

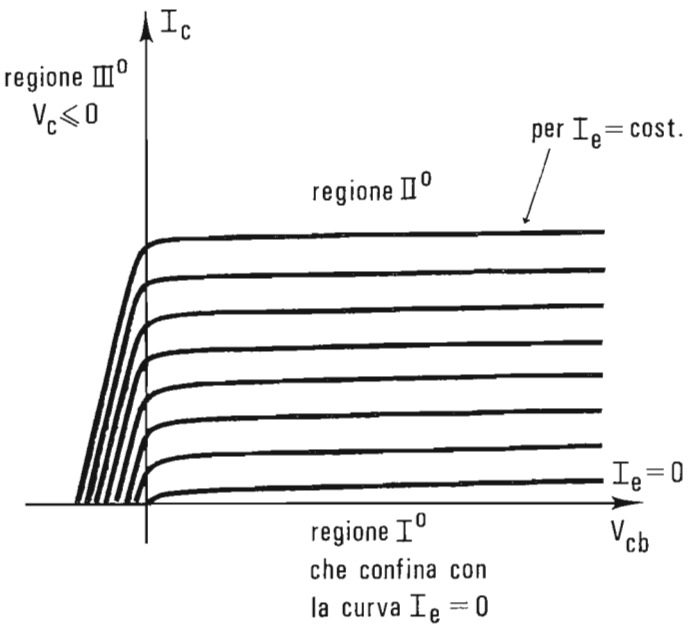


Fig. 2.18 - Individuazione delle diverse regioni di funzionamento del transistore sulle caratteristiche grafiche nella connessione a base comune.

Condizioni di interdizione: quando V_e e V_c sono negativi e in modulo maggiori di V_T, le equazioni (2.13) portano a trascurare i termini esponenziali rispetto ad uno e forniscono i seguenti valori di corrente (tenendo presente l'equazione 2.16) :

$$(2.17)\qquad \begin{cases} I_c = I_{co}\,\dfrac{1-\alpha_i}{1-\alpha_n\alpha_i} \\ I_e = I_{eo}\,\dfrac{1-\alpha_n}{1-\alpha_n\alpha_i} \end{cases} .$$

Tuttavia l'inizio della interdizione si ha già quando $I_e = 0$, cioè quando manca corrente iniettata nella giunzione di emettitore. Questa condizione dà nella (2.11) $I_c = I_{co}$ e nella (2.15), una tensione :

$$(2.18)\qquad V_e = V_T \ln\left(1 - \frac{\alpha_i I_{co}}{I_{eo}}\right) \simeq V_T \ln(1-\alpha_n)$$

da cui si vede che il transistore si porta già all'interdizione con una tensione V_e negativa ma molto piccola. Infatti assumendo $\alpha_n \cong 0{,}9$ e $V_T = 26$ mV la (2.18) fornisce $V_e \simeq -60$ mV.

Lo schema equivalente all'interdizione può essere rappresentato come in fig. 2.19 dove le resistenze r'_e, r'_c e le capacità C'_e e C'_c hanno i valori determinati dalle giunzioni diodiche interdette.

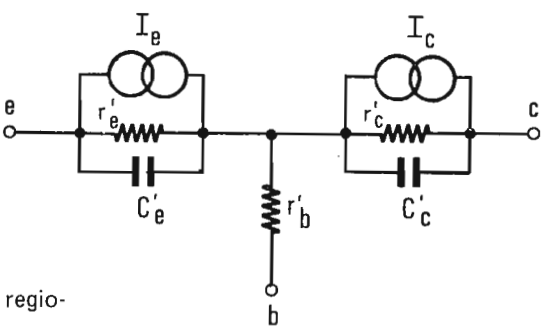


Fig. 2.19 - Schema equivalente nella regione d' intendizione.

I generatori I_e ed I_c forniscono una corrente che è sempre dell'ordine di I_{eo} ed I_{co}, secondo quanto indicano le (2.17).

Condizioni di regione attiva: in questa regione V_c è negativo e in modulo molto maggiore di V_T, perciò si ha:

$$(2.19)\qquad I_c = -\alpha_n I_e + I_{co}$$

possiamo sempre ritenere $I_{co} \ll \alpha_n I_e$ e perciò lo schema equivalente con

base comune è quello classico in cui un generatore di corrente $-\alpha_n I_e$ viene posto in parallelo alla resistenza di collettore r_c come in fig. 2.20 (b).

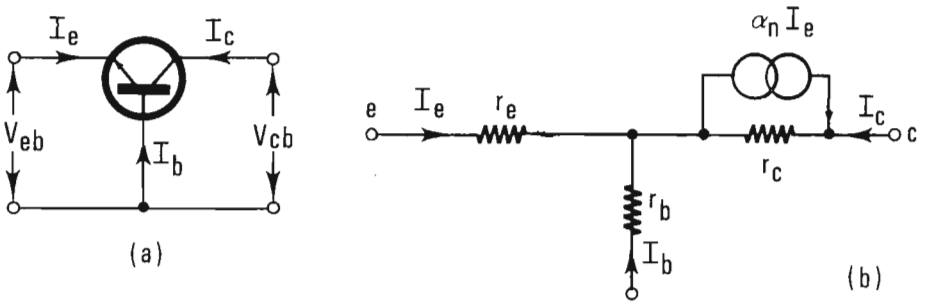


Fig. 2.20 - Configurazione e schema equivalente a T con base comune nella regione attiva.

Condizioni di saturazione: si può notare che la corrente di collettore I_c cade rapidamente non appena la tensione V_c diventa positiva, cioè non appena anche la giunzione di collettore viene polarizzata direttamente, sicchè nella regione III ambedue le giunzioni di emettitore e di collettore risultano polarizzate direttamente. Perciò le resistenze di collettore e di emettitore sono così basse che le correnti nel transistore sono determinate essenzialmente dal circuito esterno. Conviene allora considerare le correnti come variabili indipendenti e studiare l'andamento delle tensioni secondo le (2.15). Per i valori di I_c e di I_e normalmente incontrati nella regione III si ha sempre I_e e I_c molto maggiori di I_{eo} ed I_{co}.
Lo schema equivalente che ne risulta è riportato in fig. 2.21.
Le resistenze r''_e ed r''_c tengono conto anche delle resistenze dei bulbi di emettitore e di collettore. La resistenza r''_b può essere anche dieci volte

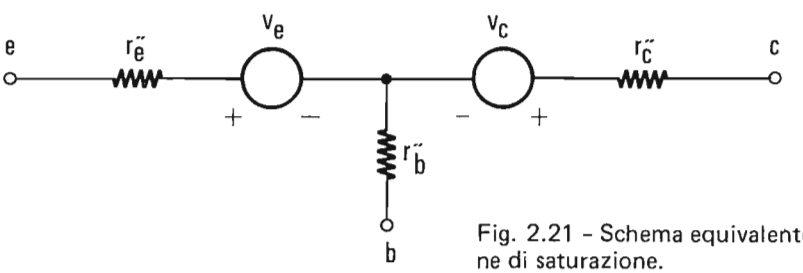


Fig. 2.21 - Schema equivalente nella regione di saturazione.

minore della r_b misurata nella regione attiva: ciò è in gran parte dovuto al fatto che anche la giunzione collettore-base è polarizzata direttamente sicchè una grande parte della corrente di base è ora fornita da questa giunzione.

Un parametro di grande interesse nel transistore in saturazione è la tensione V_{ce} la quale, può essere messa in funzione della corrente di base I_b e di collettore I_c.

Da una trasformazione della (2.15) si ottiene :

$$V_{ce} = V_c - V_e = V_T \ln \frac{\alpha_i \left(1 - \frac{I_c}{I_b} \frac{1-\alpha_n}{\alpha_n}\right)}{1 + \frac{I_c}{I_b}(1-\alpha_i)} \quad . \tag{2.20}$$

Poichè alla temperatura ambiente $V_T = 26$ mV, si vede che V_{ce} può essere molto piccolo e può ridursi anche al di sotto del millivolt. Inoltre i due generatori equivalenti V_c e V_e dello schema 2.10 appaiono in serie con polarità opposta fra il terminale d'entrata e quello d'uscita e perciò V_{ce} risulta dalla loro differenza. Queste considerazioni mostrano come **il transistore in saturazione approssima bene un interruttore in chiusura con bassa resistenza e bassa tensione residua fra i terminali in corto circuito.** In questo caso i terminali sono rappresentati dall'emettitore e dal collettore.

2.3.4. Caratteristiche statiche e determinazione della retta di carico.

La famiglia di curve in cui I_c è riportata in funzione di V_{cb} per diversi valori di I_e si presenta come in Fig. (2.22). Le curve vengono dette **caratteristiche statistiche a base comune** perchè si riferiscono alla connessione in cui la base è il terminale comune all'ingresso ed all'uscita.

Queste curve non sono però molto utilizzate in pratica, giacchè su di esse non si riesce ad apprezzare con sufficiente accuratezza come varia α_n e quindi β_n spostandosi nelle diverse zone di lavoro. Per questo motivo ed anche perchè la configurazione ad emettitore comune è la più usata, si riportano più frequentemente le curve in cui I_c è ottenuta in funzione di V_{ce} per vari valori della corrente di base, cioé le curve dette **ad emettitore comune** perchè ottenute appunto nella connessione in cui il terminale di emettitore è comune all'ingresso e all'uscita. La variazione di β_n spostan-

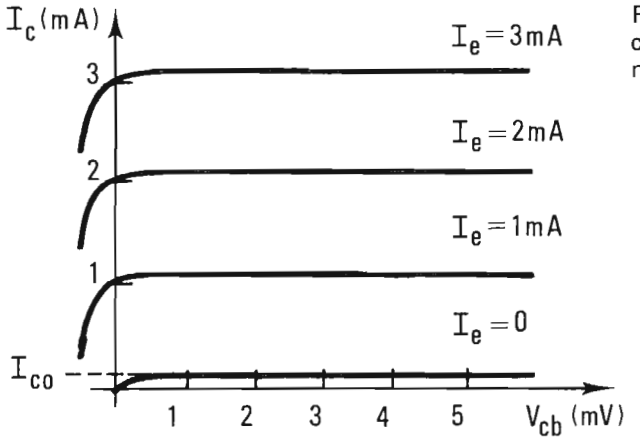


Fig. 2.22 - Curve caratteristiche di un collettore nella connessione a base comune.

dosi nelle diverse zone di lavoro è in esse più facilmente valutabile, come si può osservare dalle caratteristiche di Fig. 2.23, confrontandole con quelle di Fig. 2.22.

Sempre per confronto fra le due famiglie di curve si può osservare che la corrente di perdita diventa più grande nella connessione emettitore comune ed esattamente essa passa da I_{co} al valore $I'_{co} = I_{co}(\beta_n + 1)$. Ciò può essere dimostrato scrivendo che nella regione attiva la corrente di collettore data dalla (2.19) è anche esprimibile come segue :

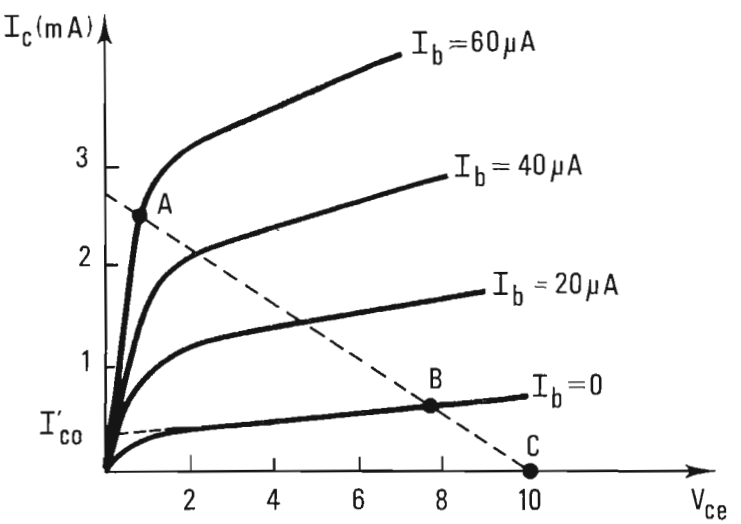


Fig. 2.23 - Caratteristiche di collettore nella connessione a emettitore comune.

(2.21) $I_c = -\alpha_n I_e + I_{co} = \alpha_n (I_b + I_c) + I_{co}$

di cui si ottiene :

(2.22) $I_c = \frac{\alpha_n}{1 - \alpha_n} I_b + \frac{1}{1 - \alpha_n} I_{co}$

che infine, considerando la relazione fra α_n e β_n, assume la forma :

(2.23) $I_c = \beta_n I_b + (\beta_n + 1) I_{co}$.

Da qui si osserva che per I_b = cost, il contributo ad I_c dovuto alla corrente di perdita I_{co} è $\beta_n + 1$ volte quello che si ha per I_e = cost.
Ciò dà luogo ad una minore resistenza dinamica di collettore nelle caratteristiche ad emettitore comune: infatti ogni corrente di fuga in funzione della tensione viene moltiplicata per lo stesso fattore $\beta_n + 1 = \frac{1}{1 - \alpha_n}$, sicchè le curve caratteristiche presentano nella zona attiva una pendenza $\Delta I_c/\Delta V_{ce} = 1/r'_c$ maggiore di quella osservata a base comune $\Delta I_c/\Delta V_{cb} = 1/r_c$.

Tali resistenze dinamiche di collettore sono dunque nel rapporto $r_c = (\beta_n + 1) r'_c$, od ancora $r'_c = r_c (1 - \alpha_n)$.
Anche sul grafico di Fig. 2.23 possiamo determinare le tre regioni già individuate nel paragrafo precedente: la regione I di interdizione può in questo caso essere delimitata al di sotto della curva $I_b = 0$, la regione II attiva è quella dove le curve I_b = costante sono quasi parallele fra loro, mentre la regione III di saturazione è quella compresa fra l'origine ed il punto in cui le caratteristiche I_b = costante subiscono una rapida variazione di pendenza, punto che viene anche detto ginocchio della caratteristica.
In uno stadio a transistore con connessione ad emettitore comune, se indichiamo con V_{cc} la tensione di alimentazione, con R_c la resistenza di carico sul collettore e con V_{ce} la tensione fra collettore ed emettitore, deve valere la relazione :

(2.24) $V_{cc} = R_c I_c + V_{ce}$.

La retta così definita si dice retta di carico e dà per I_c il valore :

(2.25) $$I_c = -\frac{1}{R_c}(V_{ce} - V_{cc}) \cdot$$

Questa retta ha dunque una pendenza data da $-1/R_c$, taglia l'asse delle ascisse nel punto $V_c = V_{cc}$ e l'asse delle ordinate nel punto $I_c = V_{cc}/R_c$. Il punto di lavoro nella regione attiva è definito dal punto di incontro di questa retta con la caratteristica I_b = cost relativa al valore di corrente di base iniettata all'ingresso.
Per mantenere il transistore in saturazione si può agire in due modi: se è fissata la retta di carico, cioè V_{cc} ed R_c, allora si deve aumentare I_b fino ad un valore corrispondente alla caratteristica che incontra la retta di carico al di sotto del ginocchio; se invece risulta fissata I_b, si deve aumentare la resistenza R_c in modo da inclinare verso le ascisse la retta di carico facendo perno nel punto $V_c = V_{cc}$, oppure ferma restando R_c, si deve diminuire la tensione di alimentazione V_{cc}.

2.3.5. Schemi equivalenti nella regione attiva ed a bassa frequenza.

I circuiti equivalenti che vengono segnalati in questo paragrafo sono validi per il funzionamento del transistore nella regione attiva e per piccoli segnali. **In teoria per piccoli segnali si intendono le escursioni di tensione e di corrente che spostano di poco il punto di lavoro del transistore determinato in condizioni statiche, in modo da ritenere che il comportamento del transistore sia lineare ed indipendente dall'ampiezza del segnale di ingresso.**
In pratica in uno stadio amplificatore per segnali impulsivi, spesso i segnali sono così ampi da spostare il punto di lavoro su tutta la regione attiva sicchè i parametri degli schemi equivalenti ed i guadagni di tensione e di corrente calcolati risultano in genere valori medi ed approssimati con scostamenti del 10% od anche del 20% rispetto al caso reale.
Rispetto agli schemi equivalenti che usano altri parametri quelli ora riportati hanno il vantaggio di riferirsi in modo diretto alla costituzione fisica del transistore, usando i componenti circuitali r_e r_b r_c.
La resistenza r_e è data con buona approssimazione dall'equazione :

(2.26) $$r_e = \frac{KT}{e} \cdot \frac{1}{I_e} ;$$

come già ricordato nel paragrafo 2.2.2, $KT/_e$ è eguale alla temperatura ambiente a circa 26 mV, sicché esprimendo I_e in mA si ha circa 26Ω ad 1 mA di corrente di emettitore e 2,6 Ω quando I_e = 10 mA.
Il valore di r_b è in genere specificato sulle caratteristiche fornite dal costruttore del transistore e varia normalmente fra 10 e 100Ω . La resistenza di collettore a base comune r_c è sempre dell'ordine del MΩ.

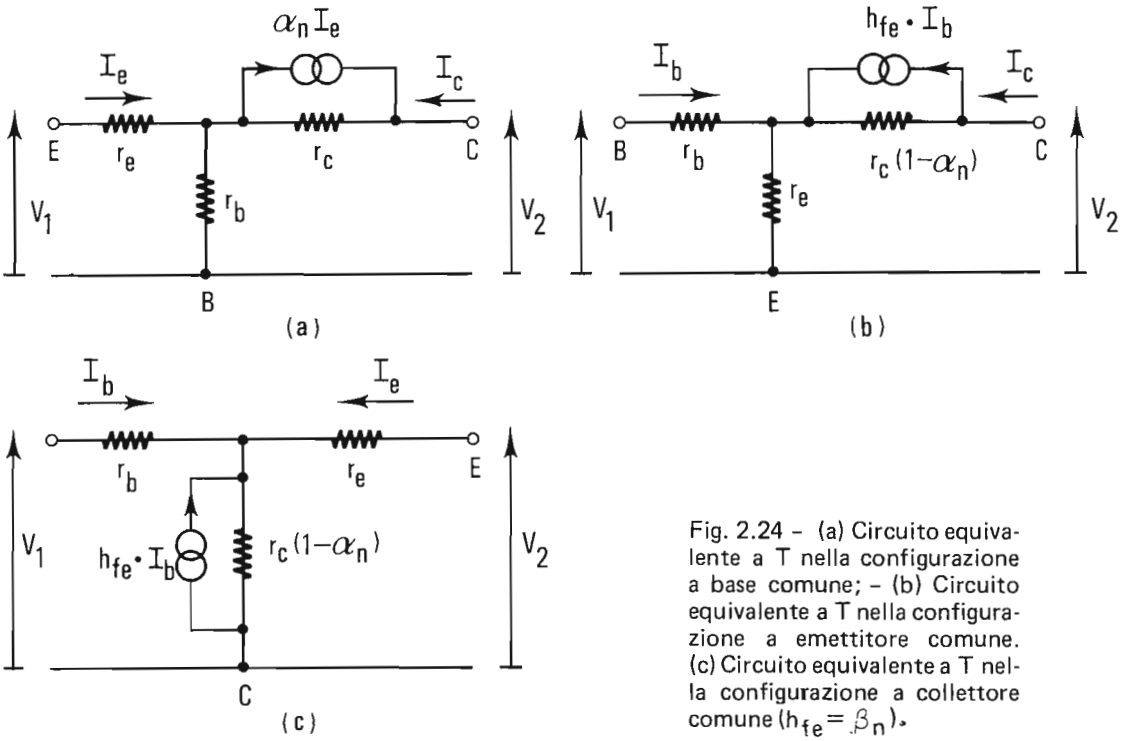


Fig. 2.24 - (a) Circuito equivalente a T nella configurazione a base comune; - (b) Circuito equivalente a T nella configurazione a emettitore comune. (c) Circuito equivalente a T nella configurazione a collettore comune ($h_{fe} = \beta_n$).

Le prestazioni degli stadi amplificatori realizzati seguendo i tre tipi di connessione descritti, sono riassunte nella tabella che segue.
Come si può osservare, lo stadio a base comune ha un guadagno di corrente uguale a circa 1, una bassissima resistenza di entrata, una elevata resistenza di uscita, e presenta un guadagno di tensione apprezzabile.
Lo stadio ad emettitore comune ha una resistenza d'ingresso più grande, una resistenza di uscita abbastanza grande che in generale è maggiore della resistenza di carico in uscita R_u, e presenta elevati guadagni sia di corrente che di tensione.

Configurazioni / Prestazioni	Base Comune	Emettitore Comune	Collettore Comune (inseguitore a emettitore)
Guadagno di corrente	$\frac{\beta_n}{1+\beta_n}$	β_n	$1+\beta_n$
Guadagno di tensione	$\frac{R_u \cdot \beta_n}{r_e(1+\beta_n)+r_b}$	$\frac{R_u \cdot \beta_n}{r_e(1+\beta_n)+r_b}$	$\frac{R_u}{R_u+r_e}$
Resistenza di entrata	$r_e+r_b/(1+\beta_n)$	$r_e(1+\beta_n)+r_b$	$(r_e+R_e)\cdot(1+\beta_n)+r_b$
Resistenza di uscita	r_c	$r_c/(1+\beta_n)$	$r_e+\frac{r_b}{1+\beta_n}$

Tabella : in cui si sono riportate le espressioni che danno il valore dei parametri di uno stadio amplificatore a transistore a seconda del tipo di connessione. Si indica con R_e la resistenza esterna sul terminale di emittore, e con R_u la resistenza di carico in uscita.

Infine lo stadio a collettore comune, meglio noto come **"inseguitore ad emettitore"**, ha la resistenza d'ingresso più elevata, la resistenza d'uscita più bassa, un guadagno di tensione circa unitario ed un elevato guadagno di corrente. **Esso viene perciò usato non come stadio amplificatore di tensione, ma come stadio disaccoppiatore capace di collegare, senza introdurre distorsioni, l'uscita ad alta impedenza di un circuito che precede con l'entrata a bassa impedenza di un circuito che segue.**

2.3.6. Variazione dei parametri degli schemi equivalenti in funzione della frequenza .

Il limite di risposta alle alte frequenze varia a seconda del tipo di transistore, perciò il termine "alta frequenza" è relativo giacchè vi sono transistori la cui risposta arriva fino a qualche decina di MHz mentre vi sono altri che mantengono la loro funzione amplificatrice fino a diverse centinaia di MHz .

Il comportamento in funzione delle alte frequenze è determinato essenzialmente da tre effetti capacitivi. **Gli strati svuotati (depletion layers) alle giunzioni base-emettitore e base-collettore comportano una distribuzione spaziale di cariche che è equivalente ad una capacità in ogni giunzione. Una terza capacità è dovuta alla diffusione delle cariche minoritarie attraverso la base del transistore**: infatti il tempo di transito finito per la trasmissione delle cariche dall'emettitore al collettore è equivalente all'effetto di ritardo introdotto da un circuito quasi integrato di tipo RC. Ciò implica anche che il guadagno di corrente α_n è funzione della frequenza e presenta un valore decrescente ed un ritardo di fase al crescere della frequenza esprimibile con la formula :

$$\alpha_n(\omega) = \alpha_o/(1 + j\,\omega/\omega_\alpha) \tag{2.27}$$

dove α_o è il valore a bassa frequenza ed ω_α la pulsazione a cui α_n si riduce di 3 db. Da un punto di vista fisico si può dire che ω_α è tanto più elevata quanto più sottile è la regione di base che le cariche devono attraversare: più precisamente **si trova che ω_α è inversamente proporzionale al quadrato dello spessore della regione di base.**

La dipendenza di β_n dalla frequenza si ricava immediatamente scrivendo:

$$\beta_n(\omega) = \alpha_n(\omega)/[1 - \alpha_n(\omega)] = [\alpha_o/1 - \alpha_o]/[1 + j\omega/(1 - \alpha_o)\omega_\alpha] \tag{2.28}$$

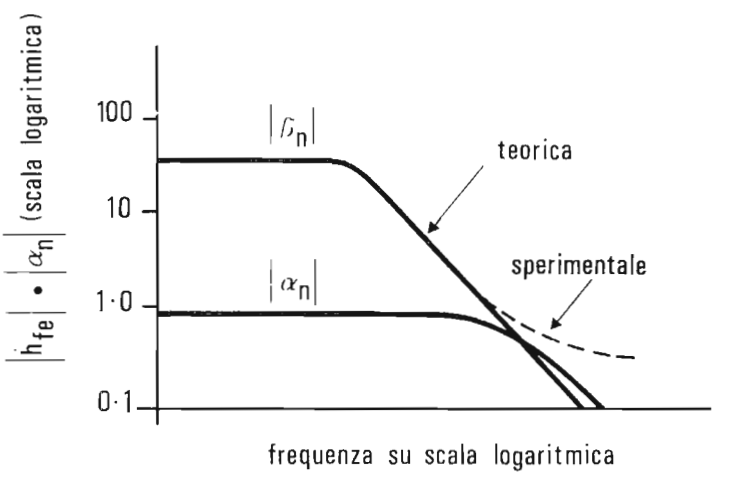


Fig. 2.25 - Variazioni di $|\alpha|$ e di $|\beta|$ con le frequenze.

che può essere riscritta come segue :

(2.29) $$\beta_n(\omega) = \beta_o/(1 + j\omega/\omega_\beta)$$

dove β_o è il valore a bassa frequenza ed $\omega_\beta = (1 - \alpha_o)\,\omega_\alpha$.
Si può notare come il prodotto (guadagno di corrente x larghezza di banda) rimanga nello stadio amplificatore sempre lo stesso giacchè risulta:

$$\alpha_o \cdot \omega_\alpha = \beta_o \cdot \omega_\beta.$$

Quando si vuole tener conto di queste dipendenze perchè interessa il comportamento dell'amplificatore alle alte frequenze, è necessario che lo schema equivalente di fig. 2.24 venga completato come in fig. 2.26.
Esistono altri schemi equivalenti che fanno uso dei cosiddetti parametri impedenze z, o infine dei parametri ammettenze y.

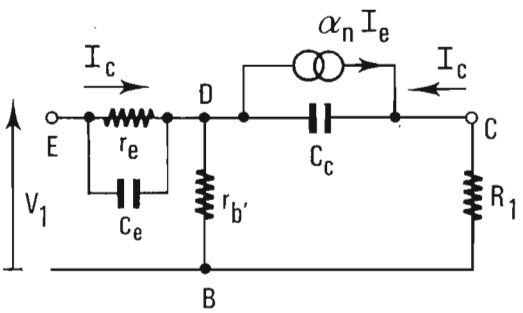


Fig. 2.26 - Schema equivalente a base comune per le alte frequenze.

Tuttavia gli schemi qui riportati detti a T saranno quelli che adotteremo nelle trattazioni che seguono anche perchè, come abbiamo detto, hanno il vantaggio di riferirsi in modo diretto alla costituzione fisica del transistore usando i parametri r_e, r_b, r_c, C_e, C_c.

2.3.7. Tempi di commutazione nei transistori comandati da grandi segnali impulsivi.

Nell'elettronica impulsiva sono di grande importanza i tempi necessari per commutare il transistore dallo stato di interdizione alla saturazione e viceversa. Questi tempi determinano infatti la velocità di risposta a grandi segnali impulsivi di entrata. Per paragonare le prestazioni dei diversi tipi di transistori in modo omogeneo, si definiscono quattro tempi caratteristici che vengono misurati in modo standard con il circuito indicato nello sche-

ma di fig. 2.27. I valori usati per le resistenze di carico R_c e di base R_b variano da caso a caso a seconda del tipo di transistore ed a seconda delle condizioni di lavoro che interessano.
Chiudendo l'interruttore si applica un impulso a gradino sulla base che fa passare il transistore dalla interdizione alla saturazione. In questa commutazione si possono distinguere due tempi caratteristici :

- **t_0 o tempo di ritardo, che si riferisce all'intervallo di tempo che passa fra l'applicazione del fronte d'onda in base e l'inizio della conduzione nel transistore.** Operativamente questo tempo t_0 è misurato come l'intervallo fra gli istanti in cui il segnale di entrata e il segnale di uscita raggiungono rispettivamente il 10% della loro ampiezza massima.

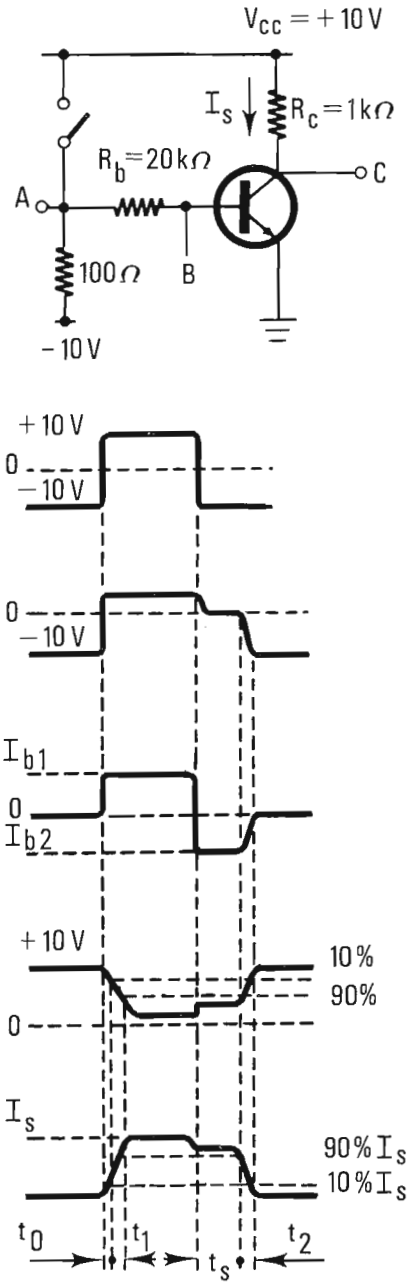
- **t_1 o tempo di salita, che si riferisce all'intervallo di tempo necessario per passare dal 10% al 90% dell'ampiezza massima del segnale di uscita.**

Quando l'interruttore viene riaperto, si genera sulla base un gradino negativo che riporta il transistore alla interdizione. In questa seconda commutazione si definiscono altri due tempi caratteristici :

- **t_s o tempo di storage, che equivale ad un tempo di ritardo necessario per portare all'interdizione il transistore inizialmente saturato.** Come viene descritto in seguito, questo tempo t_s è dovuto al cosiddetto "effetto di storage" delle cariche minoritarie nella regione di base.

- **t_2 o tempo di discesa, che si riferisce all'intervallo di tempo necessario per passare dal 90% al 10% dell'ampiezza massima del segnale di uscita.**

Il tempo di storage t_s merita un commento a parte perchè è tipico dei transistori a giunzione. L'origine di questo tempo si può spiegare considerando la distribuzione della densità di cariche minoritarie nella regione di base per le diverse regioni di funzionamento, come è riportata in fig. 2.28.
In condizioni di interdizione la densità di cariche minoritarie alle giunzioni è zero perchè si ha polarizzazione inversa.
Nella regione attiva la densità è positiva e finita alla giunzione emettitore-base, ma si riduce a zero alla giunzione base-collettore dove le cariche minoritarie trovano un campo elettrico accelerante verso la zona di collettore.
In condizioni di saturazione ambedue le giunzioni di emettitore e di collettore sono polarizzate direttamente, sicchè entrambe iniettano cariche mi-



Correnti di commutazione :

$I_s - \frac{V_{cc}}{R_c} = 10$ mA

$I_{b1} = I_{b2} = 0{,}5$ mA

Tensione di eccitazione nel punto A generata con la chiusura e l'apertura dell'interruttore.

Tensione di base nel punto B durante l'impulso.

Corrente di base durante l'impulso

Tensione di collettore nel punto C durante l'impulso con l'indicazione dei tempi di commutazione.

Corrente di collettore nel punto C durante l'impulso.

Fig. 2.27 - Tempi caratteristici di commutazione nei transistori. Nella figura viene messo in evidenza il tempo di storage t_s.

noritarie nella base. Anche il collettore si comporta come emettitore iniettando cariche minoritarie nella base, ma contemporaneamente accetta le cariche emesse dalla giunzione di emettitore per mantenere la corrente al terminale di collettore pari a $I_S \cong V_{CC}/R_C$. Nella zona di base si verifica così un accumulo di cariche minoritarie. Quando si vuole commutare lo stato del transistore portandolo dalla saturazione alla interdizione, occorre attendere che tutte le cariche addensantesi in base vengano rimosse. Il tempo di attesa, necessario per questa rimozione, è appunto noto come "tempo di storage". Tutti i tempi prima elencati dipendono dai valori delle correnti di commutazione e dalle frequenze di taglio del transistore in connessione diretta ed in connessione invertita.

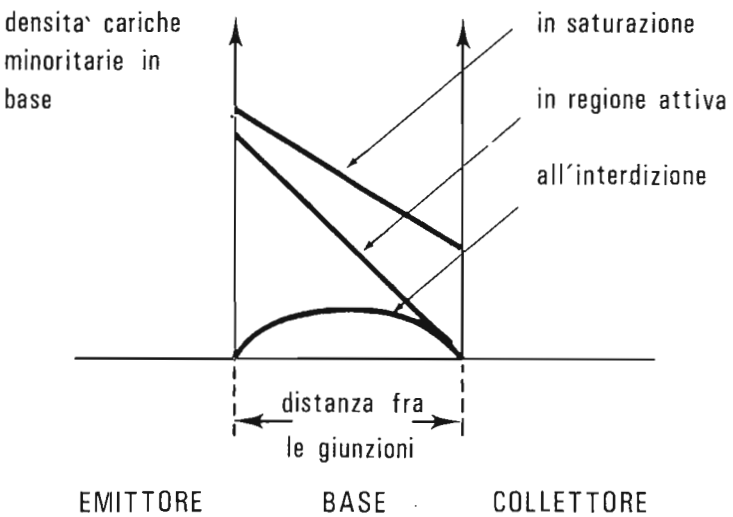


Fig. 2.28 - Andamento della densità di cariche minoritarie nella regione di base nelle diverse condizioni di funzionamento del transistore.

Riferendosi alla relazione:

$$\alpha_n(\omega) = \frac{\alpha_o}{1 + j\,\omega/\omega_\alpha}$$

e chiamando $\omega_{\alpha n}$ ed $\omega_{\alpha i}$ le pulsazioni di taglio per la connessione normale e per quella invertita, i tempi caratteristici di commutazione possono essere espressi in forma approssimata come segue :

$$
(2.30) \qquad \begin{cases} t_o \cong \dfrac{1}{4\,\omega_{\alpha n}} \\[2ex] t_1 \cong \dfrac{1}{\omega_{\alpha n}} \cdot \dfrac{I_s}{I_b} \\[2ex] t_s \cong \left(\dfrac{1}{\omega_{\alpha n}} + \dfrac{1}{\omega_{\alpha i}}\right) \cdot \dfrac{1}{1-\alpha_n \alpha_i} \; \dfrac{1 - \dfrac{I_s}{I_{b_1}} \; \dfrac{1-\alpha_n}{\alpha_n}}{1 + \dfrac{I_{b2}}{I_{b1}}} \\[2ex] t_2 \cong \dfrac{1}{\omega_{\alpha n}} \dfrac{I_s}{I_{b_2}} \quad . \end{cases}
$$

Queste espressioni non vengono presentate come mezzo per calcolare esattamente i tempi di commutazione, ma soprattutto per dare un riferimento circa i parametri che ne determinano l'ordine di grandezza.
E' possibile così vedere che oltre a dipendere dalle caratteristiche intrinseche del transistore, cioè da $\omega_{\alpha n}$ ed $\omega_{\alpha i}$, essi dipendono anche dal circuito esterno. Ad esempio, sia t_1 che t_2 possono essere ridotti diminuendo I_s oppure aumentando la corrente di comando di base I_b: è questo il motivo per cui spesso in parallelo ad R_b si pone un condensatore che serve a diminuire l'impedenza di ingresso durante il fronte d'onda di comando e quindi ad aumentare la corrente di comando I_b durante il transiente.
La terza relazione delle (2.30) mostra che t_s diminuisce all'aumentare di I_{b_2}, cioè della corrente di base con cui il transitore viene comandato all'interdizione. Il tempo di storage diminuisce anche al tendere ad uno della espressione $I_s/I_b \cdot (1-\alpha_n)/\alpha_n$. Ciò si ottiene facendo in modo che il rapporto delle correnti in saturazione I_c/I_b si mantenga il più vicino possibile al guadagno di corrente collettore-base in regione attiva, poichè si ha $\beta_n = \alpha_n/1-\alpha_n = I_s/I_{b_1}$.

2.4. I TRANSISTORI MOS.

2.4.1. Generalità.

Il transistore ad effetto di campo o transistore unipolare, noto soprattutto col nome di FET (Field Effect Transistor) funziona in modo concettualmente più semplice del normale transistore a giunzione bipolare detto anche semplicemente transistore. La conduzione di corrente nei due tipi

di dispositivi avviene infatti secondo processi fisici assai diversi: nei FET la corrente è dovuta al movimento di cariche tutte dello stesso segno, mentre nei transistori a giunzione essa è generata dal moto contemporaneo sia di cariche positive che negative.

Già nel 1939 in Gran Bretagna venne depositato un brevetto da Heil (Brit. Pat. 439, 457, settembre 26 - 1939) nel quale si descriveva un componente elettronico il cui principio di funzionamento illustrato in fig. 2.29 è analogo a quello del transistore FET.

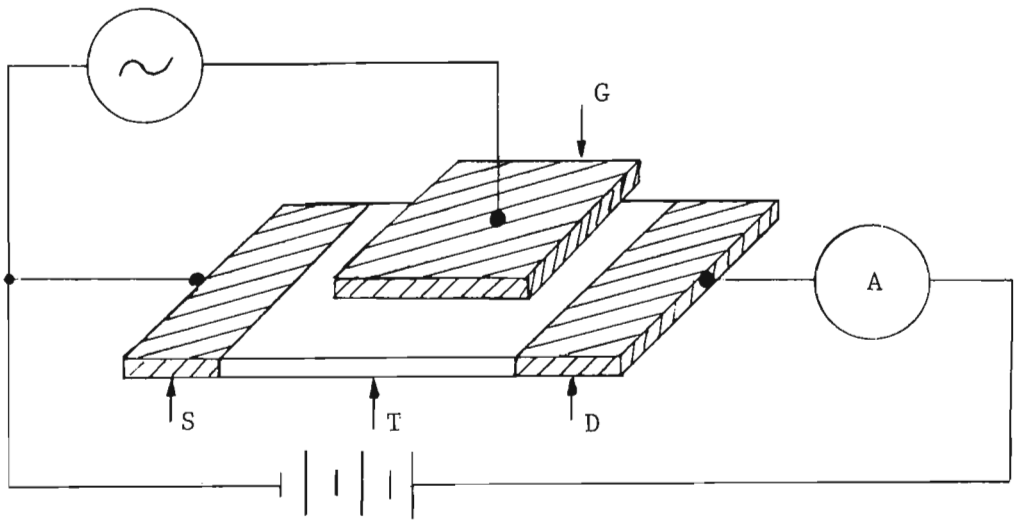


Fig. 2.29 - Circuito di Heil per modulare la resistenza del film di semiconduttore T.

La zona T costituita da un film sottile semiconduttore presenta una conduttanza che varia al variare della tensione applicata all'elettrodo metallico G adiacente ma isolato dallo strato di semiconduttore. S e D sono due elettrodi di contatto alla lamina di semiconduttore.
Heil descrive il dispositivo in figura mostrando come, applicando una differenza di potenziale fissa tra gli elettrodi S e D, e una differenza di potenziale alternata sull'elettrodo isolato G, la corrente misurata sull'amperometro A varia in funzione della tensione applicata a G: cioè la resistenza della lamina T varia in sincronismo con la modulazione della tensione di G.

Questo dispositivo anticipava di oltre 30 anni il transistore FET il cui sviluppo, da un punto di vista industriale, doveva attendere che si perfezionassero le conoscenze e le tecnologie relative non solo alla fisica dei semiconduttori ma anche alla fisica degli strati sottili e delle superfici.

2.4.2. Il FET unipolare a giunzione.

Il FET a giunzione fu scoperto inizialmente nel 1948 da J. Barden e B. H. Brattain nei laboratori della Bell Telephone in U.S.A. Essi svolgevano allora una serie di esperimenti per modulare il flusso di corrente attraverso punti di contatto su un blocco di germanio.
La loro attenzione si concentrò in seguito più sui fenomeni dovuti alle giunzioni di semiconduttore che sui fenomeni di superficie. Questo portò anche ad un'analoga concentrazione delle ricerche svolte dai vari laboratori nel mondo, il che spiega come mai i transistori bipolari abbiano raggiunto una maturità di produzione industriale negli anni '60, mentre i FET hanno dovuto attendere gli inizi degli anni '70.

Come abbiamo visto i FET si comportano in modo da poter essere considerati equivalenti a resistenze di materiale semiconduttore la cui conduttività è determinata dalla tensione che si applica ad un elettrodo di controllo (Gate) situato al di fuori della via di corrente.

Il Gate di un FET può essere isolato dalla via di corrente o da una giunzione polarizzata inversamente, e si ha in questo caso il FET a giunzione, oppure da uno strato sottile di materiale isolante, e si ha allora il MOSFET (Metal - Oxide - Semiconductor FET) detto anche più semplicemente MOS.
Fu W. Shockley nel 1952 a realizzare il transistore unipolare FET a giunzione con una struttura come quella indicata in fig. 2.30.

Il Gate viene realizzato in una barra di semiconduttore creando due zone drogate, ad esempio P, che vengono polarizzate inversamente con la zona restante drogata N. Si forma così un canale fra Source e Drain, la cui conduttanza varia al variare della tensione inversa applicata sull'elettrodo di Gate. Infatti mano mano che G diventa più negativo il campo elettrico in-

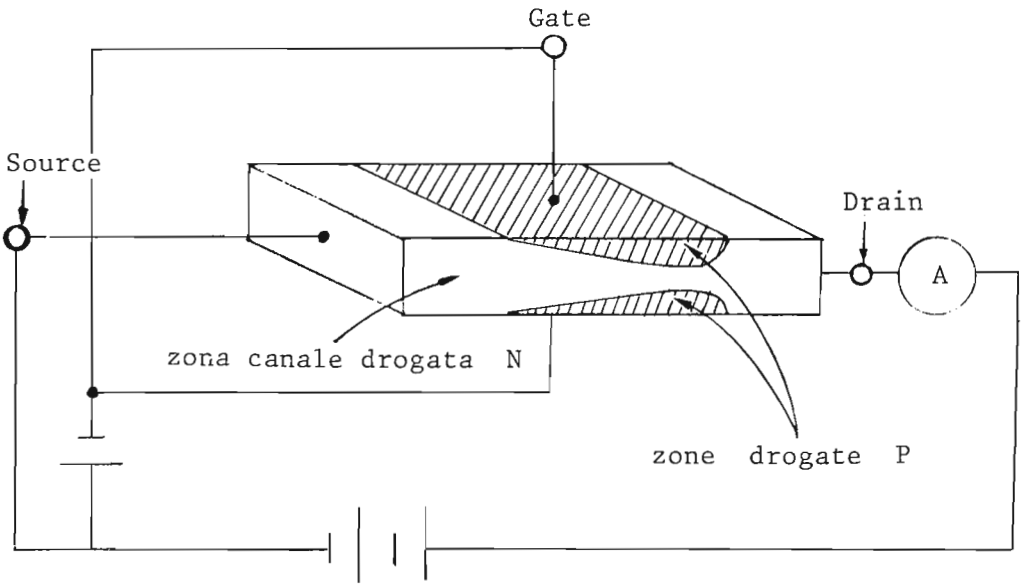


Fig. 2.30 - Transistore FET a giunzione.

verso riduce lo spessore della sezione trasversa fra le due zone P in cui può fluire la corrente fra S e D.

Questo tipo di FET viene oggi prodotto con strutture diversamente modificate, ma occorre tener presente che il tipo di FET largamente più diffuso, ed oggi dominante nella produzione elettronica, è il MOSFET - o più semplicemente MOS - in cui l'elettrodo di Gate è isolato dalla barra di semiconduttore mediante un sottile strato di isolante. Il MOS deriva quindi più da vicino dal modello del dispositivo studiato già negli anni '30 da Heil e basa il suo funzionamento sulle proprietà delle superfici e degli strati sottili di materiale semiconduttore su cui la densità di cariche è sensibile al campo elettrico generato con l'elettrodo di Gate.

2.4.3. Costituzione fisica del MOS.

Il transistore MOS si presenta costruito fisicamente come in fig. 2.31.

Il dispositivo - considerando ad esempio i transistori MOS a canale P - è co-

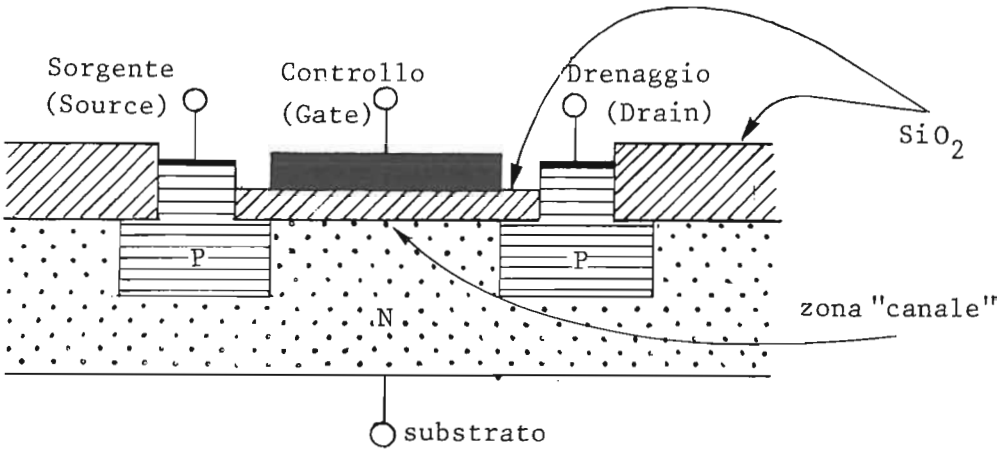


Fig. 2.31 - MOSFET ottenuto per diffusione e crescita di SiO_2.

stituito da un substrato di silicio "N" e da due zone di silicio "P". Mentre il substrato "N" è a bassa drogatura ($\sim 10^{15}$ atomi/cm^3), le due zone "P" che costituiscono la "Source" (sorgente) e il "Drain" (drenaggio) sono ottenute per diffusione con forte drogatura ($10^{18} \div 10^{20}$ atomi/cm^3).

Lo strato isolante di biossido di silicio, a seconda delle applicazioni, ha uno spessore variabile fra i 500 e i 2000 A° nella zona dove si trova l'elettrodo di "Gate" (controllo) ed in questa zona viene anche chiamato "Gate oxide" (ossido di controllo); raggiunge invece i 5000 A° ed oltre nella zona esterna dove viene chiamato "field oxide" (ossido di campo).

L'elettrodo di "Gate" viene ottenuto mediante processo di vaporizzazione sotto vuoto e deposizione di alluminio che forma lo strato conduttore: variando la tensione applicata a questo elettrodo si varia per "Effetto di Campo Elettrico" (Field Effect) la distribuzione e la densità delle cariche nella zona del substrato sottostante, compresa fra le due regioni drogate "P", zona che viene detta "canale".

Varie tecnologie, con numerosi processi alternativi, sono state proposte e vengono adottate per costruire i dispositivi MOS, i quali sono alle volte indicati anche con il nome di IGFET (Insulated-Gate-Field-Effect-Transistor) oppure di MIS (Metal-Insulator-Semiconductor).

2.4.4. Descrizione del funzionamento del MOS.

E' ben noto il fenomeno di induzione elettrostatica per cui se un corpo elettrizzato A si avvicina ad un altro corpo conduttore B scarico, sulla superficie di quest'ultimo si genera una distribuzione di cariche tale che sulla parte superficiale di B più vicina ad A si manifesta una carica di segno opposto alle cariche di A e una carica dello stesso segno sulla parte più lontana, come in fig. 2.32.

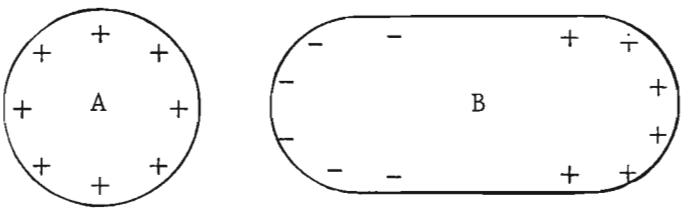


Fig. 2.32 -

L'induzione elettrostatica è dovuta al campo elettrico generato dal corpo elettrizzato. Nel caso di due elettrodi a facce piane e parallele, che costituiscono l'esempio classico di un condensatore con le due armature piane contrapposte, ad una distanza 'd' fra loro, il campo elettrico "E" è uniforme e in ogni punto fra le due armature è dato da:

$$E = \frac{V}{d}$$

essendo V la differenza di potenziale applicata come in fig. 2.33.

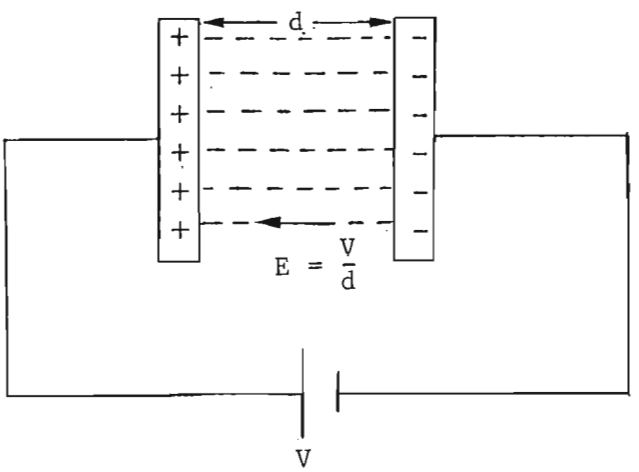


Fig. 2.33 -

Supponiamo ora di avere due armature a facce piane e parallele di cui una sia costituita da un elettrodo metallico e un'altra da una barra di semiconduttore in cui fluisce una corrente a causa della tensione V* applicata ai suoi estremi come mostrato in fig. 2.34.

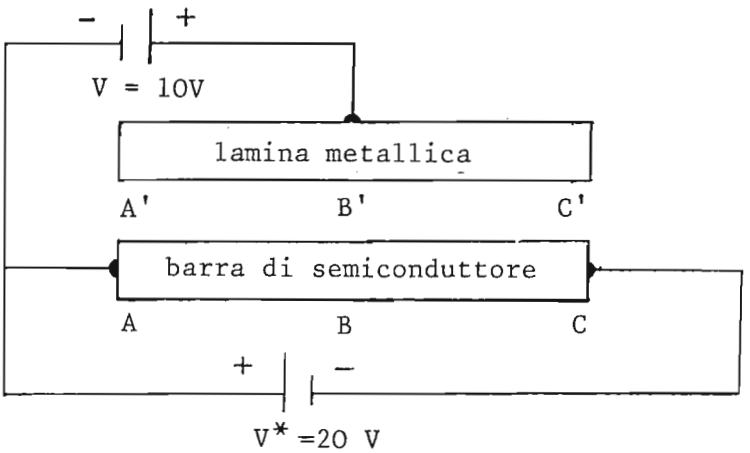


Fig. 2.34 -

In questo caso sulla barra di semiconduttore si ha una progressiva caduta di tensione dal terminale A a quello C, sicché il campo elettrico fra le due armature aumenta progressivamente fra l'estremità A' e quella C'.

Dopo queste premesse, passiamo a considerare come si distribuiscono le cariche sulle superfici di una sequenza di tre strati successivi formati da conduttore-isolante-semiconduttore come mostrato in fig. 2.35, che simula la situazione in cui ci si viene a trovare nella zona gate-canale di un MOS.

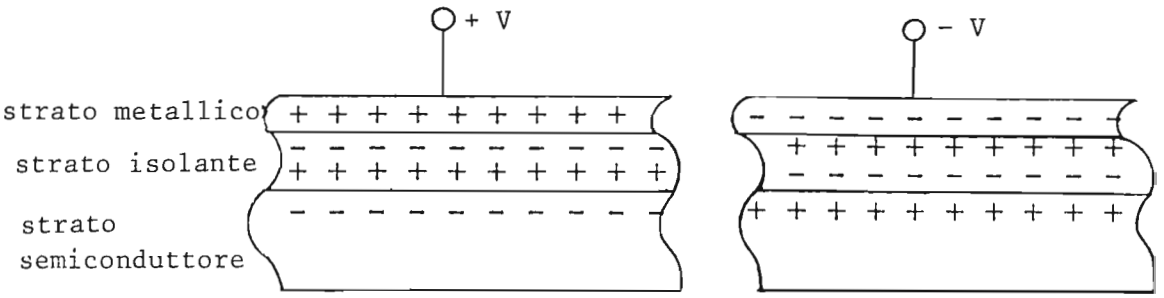


Fig. 2.35 -

Sulla superficie dello strato semiconduttore il campo elettrico generato dalla tensione applicata alla lamina metallica ha l'effetto di indurre, a seconda del segno della tensione, cariche di segno opposto e di provocare quindi un accumulo oppure uno svuotamento delle cariche maggioritarie presenti negli strati superficiali. La modulazione della densità di carica superficiale da parte della tensione applicata alla lamina metallica può passare in tre diverse fasi: accumulo, svuotamento, inversione.

Si ha un *accumulo* delle cariche distribuite superficialmente sul semiconduttore quando il segno della tensione applicata sulla lamina è tale da indurre cariche dello stesso segno delle cariche maggioritarie già presenti nel semiconduttore: è questo ad esempio il caso della fig. 2.36 che rappresenta un semiconduttore di tipo N sulla cui superficie perciò si ha un accumulo di elettroni, cioè di cariche negative, in presenza di una tensione positiva applicata sulla lamina.

Si ha uno *svuotamento* nella distribuzione di cariche maggioritarie presenti sul semiconduttore quando da una tensione positiva, nel caso di semiconduttori tipo N, si inizia a passare ad una tensione leggermente negativa applicata alla lamina: in questo caso si inducono cariche positive che aumentano mano mano col valore della tensione negativa, e vanno progressivamente a compensare le cariche negative già presenti nel semiconduttore di tipo N, fino a fargli perdere sullo strato superficiale le caratteristiche N e fargli assumere quelle di un semiconduttore non drogato.

Si ha infine *inversione* quando, sempre nel caso di semiconduttore N, si aumenta il valore della tensione negativa fino ad indurre un numero tale di cariche positive da formare sulla superficie un sottile strato di cariche tutte positive, tali da dare al semiconduttore in questa zona le caratteristiche di drogaggio tipo P. L'inversione si ottiene quindi con tensione negativa di sufficiente valore da indurre un numero di cariche positive tale da creare uno strato di tipo P il cui spessore tende quindi ad aumentare se la tensione della lamina diventa sempre più negativa. Questo strato nel MOS prende il nome di canale: sicché in un MOS con substrato di tipo N e con le zone di Source e Drain di tipo P, il canale che si forma in fase di conduzione è di tipo P, come mostrato in fig. 2.36 (c) nella quale si evidenzia il tipo di carica indotta dalla tensione applicata sulla lamina metallica, nel semiconduttore di tipo N fino a formare un canale di tipo P.

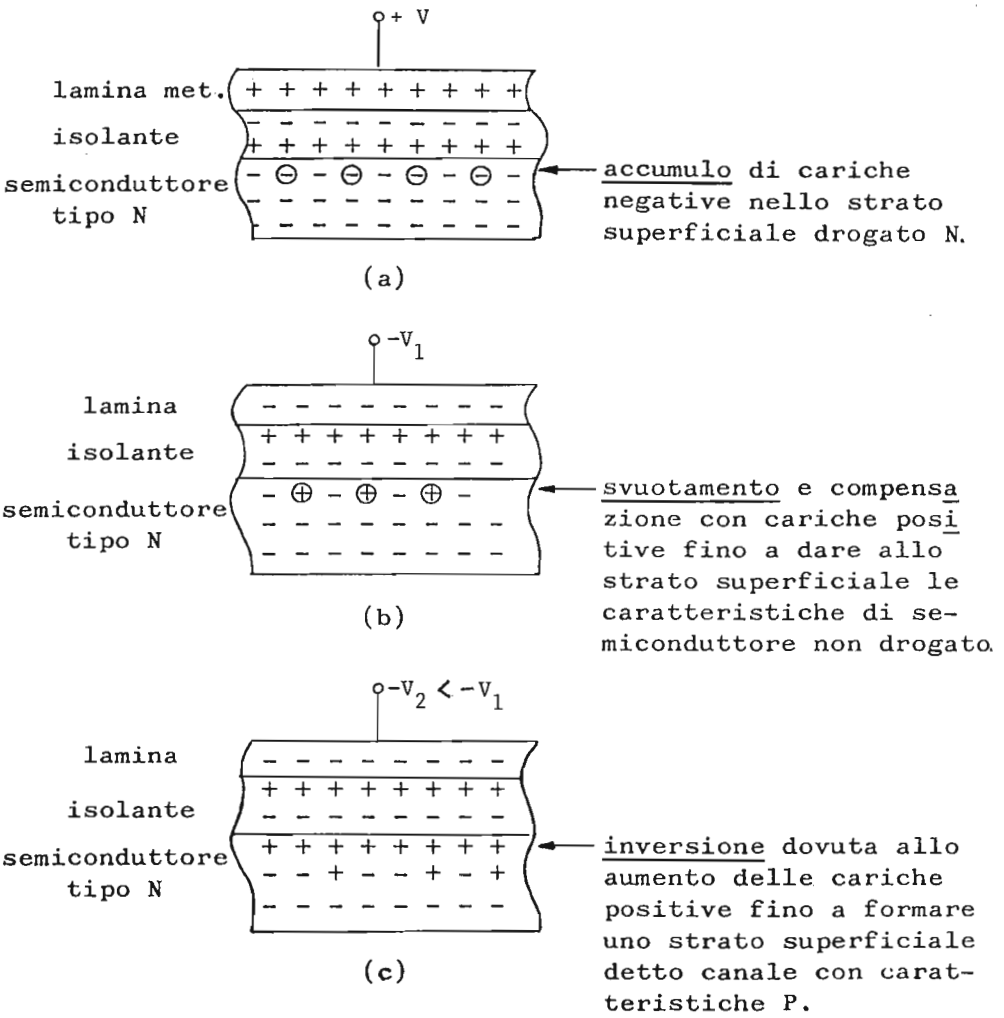


Fig. 2.36 -

Passando a considerare la struttura complessiva del MOS con le tensioni applicate sui diversi elettrodi possiamo ora comprendere le tre condizioni tipiche di funzionamento, schematizzate in fig. 2.37.

Prendendo in esame un MOS con substrato di tipo N, vediamo che se il Gate è a tensione positiva, il Source a massa, ed il Drain a massa o a tensione negativa, non può passare corrente fra Drain e Source. Infatti le giunzioni source-substrato e drain-substrato sono polarizzate inversamente e la

zona di semiconduttore affacciata al Gate mantiene le sue caratteristiche 'n' come in fig. 2.37 (a).

Se ora passiamo a considerare il caso in cui il Gate è portato a tensione negativa fino a creare per *inversione* lo strato con caratteristiche P che costituisce il canale di conduzione, si ha corrente fra S e D. Lo spessore del canale non è però costante lungo tutto il cammino fra S e D giacché il campo elettrico fra Gate e strato di semiconduttore non è costante passando dall'estremità S a quella D: ci si trova infatti nella condizione descritta in fig. 2.37 (b).

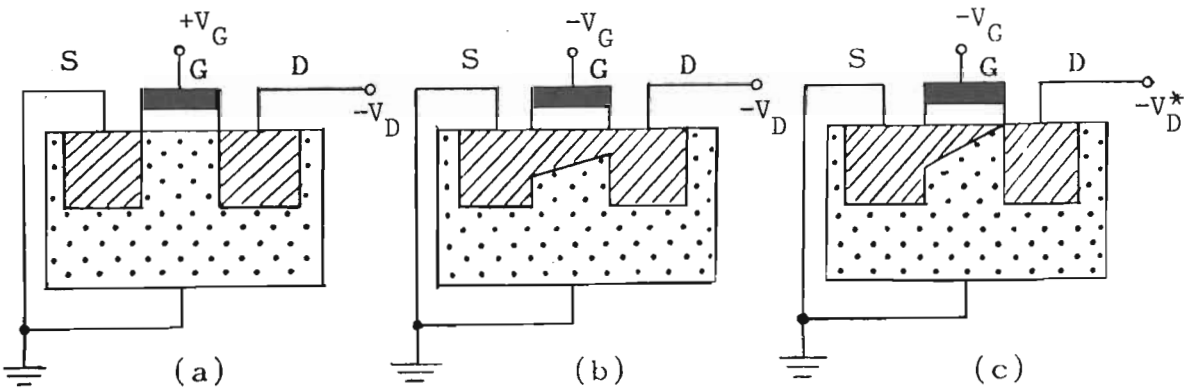


Fig. 2.37 -

Se infine, mantenendo sempre la tensione di Gate negativa, facciamo via via più negativa la tensione di Drain, osserviamo che l'effetto dovuto all'azione congiunta del campo elettrico generato dalla differenza di potenziale Gate-Drain e Drain-Source è quello di ridurre la larghezza di canale praticamente a zero vicino al Drain: questa situazione detta di "pinch-off" (strozzamento del canale) si ha quando si raggiunge una differenza di tensione $V_G - V_D^* = V_T$, dove V_T è la cosiddetta tensione di soglia caratteristica di ogni transistore MOS, come vedremo nel paragrafo seguente.

Per tensione V_D più negativa rispetto a V_D^* la strozzatura si sposta sempre più vicino al Source e la corrente di Drain si mantiene circa costante per valori di V_D via via più negativi rispetto a V_D^*. Per questo V_D^* viene anche detto tensione di saturazione di Drain: $V_{Dsat} = V_D^* = V_G - V_T$.

Le caratteristiche I_D in funzione di V_{DS} per diversi valori di V_G = cost si presentano quindi come in fig. 2.38.

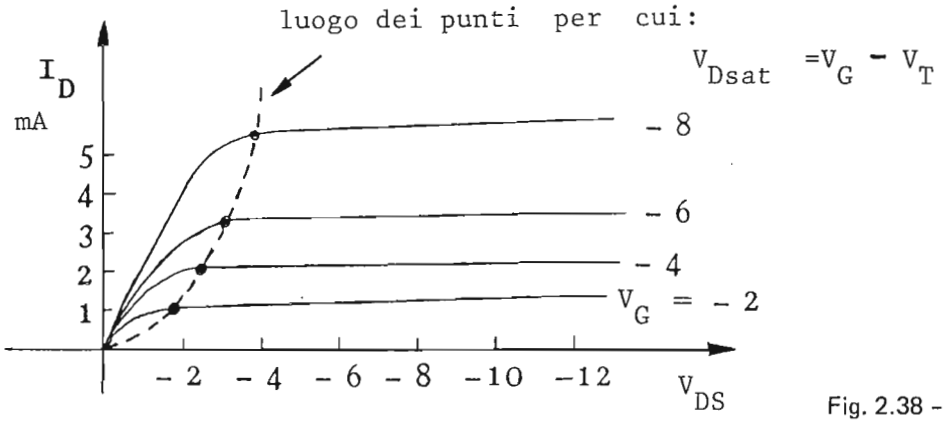


Fig. 2.38 -

Il tratto che dall'origine si svolge fino al punto $V_{Dsat} = V_G - V_T$ è detta anche tratto lineare, e la regione compresa fra l'asse delle ordinate e il luogo del punto $V_{Dsat} = V_G - V_T$ è detta regione ohmica.

Tutta la regione oltre il suddetto luogo di punti in cui I_D non varia praticamente in funzione di V_D per V_G = cost, è detta anche regione di saturazione.

Per misurare il valore di V_T, tensione di soglia, si può collegare il MOS come un diodo osservando il valore di I_D al variare di V_G quando cioè $V_G = V_D$: il Source funziona come catodo mentre l'insieme "Gate-Drain" costituisce l'anodo. Si ottiene una curva che parte dal valore $- V_G = - V_T$ cioè, per quanto si è detto precedentemente, che parte del valore in cui la tensione negativa di Gate genera l'inversione nella distribuzione di cariche superficiali del semiconduttore.

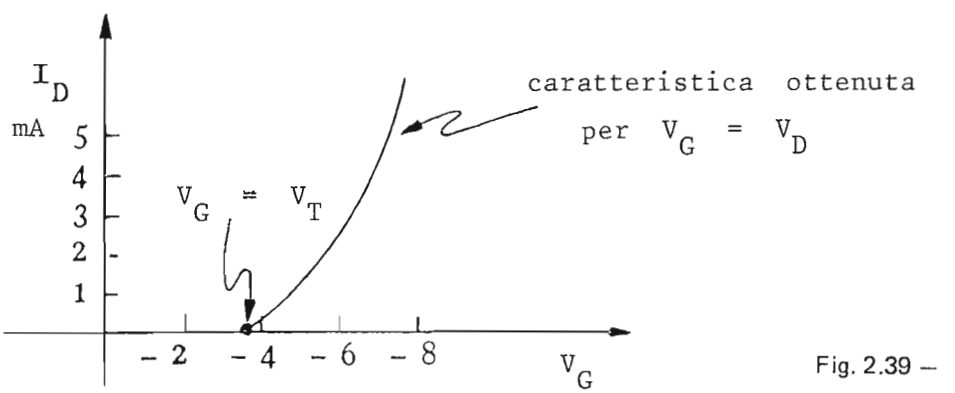


Fig. 2.39 –

Come è stato illustrato in precedenza, la corrente di Drain, che attraversa il canale ed è controllata dalla tensione V_G, inizia a fluire quando $V_G \geqslant V_T$. Per i valori di $V_G \geqslant V_T$, la corrente I_D assume dapprima il seguente andamento parabolico in funzione di V_D:

$$I_D = \beta \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right]. \tag{2.31}$$

Esso è valido nell'intervallo di valori di V_D compreso fra l'origine ed il punto in cui si verifica:

$$V_D = V_G - V_T. \tag{2.32}$$

Questo punto è detto anche "ginocchio" della caratteristica perché per V_D superiore al valore (2.32) si ha un andamento asintotico di saturazione in cui I_D non dipende più da V_D ed è governata dalla relazione.

$$I_D = \frac{\beta}{2} (V_G - V_T)^2. \tag{2.33}$$

La costante β, che dipende dai parametri fisici del componente, è data da

$$\beta = \frac{\mu_d C_g}{\ell^2} \tag{2.34}$$

in cui i simboli stanno a significare:

μ_d = mobilità dei portatori di cariche nel canale sotto l'azione del campo elettrico;
C_g = capacità dello strato isolante del Gate;
ℓ = distanza fra Source e Drain.

A bassi valori di V_D, in cui vale la (2.31), la resistenza offerta dal canale al passaggio della corrente I_D per variazioni di V_G è essenzialmente di tipo ohmico: infatti facendo V_D = cost, si vede che I_D varia linearmente con V_G.

2.4.5. La tensione di soglia V_T nel transistore MOS.

Un parametro molto importante nel MOS è dunque la tensione di soglia V_T prima descritta, il cui valore dipende dal processo e dalla tecnologia

costruttiva adottata.

L'equazione che dà il valore di V_T è data da:

$$V_T = -\frac{x_o}{K \cdot e_o}[Q_{ss} + Q_b] + \phi_{ms} + 2\,\phi_F$$

dove le lettere stanno a significare i seguenti parametri:

x_o = spessore dell'isolante al di sotto del "Gate";
K = costante dielettrica dell'isolante del "Gate";
e_o = permeabilità dello spazio libero;
Q_{ss} = densità per area unitaria delle cariche fisse dello stato superficiale ;
Q_b = densità per area unitaria delle cariche nella zona di svuotamento (depletion region) del canale all'istante in cui avviene l'inversione;
ϕ_{ms} = potenziale di contatto metallo-silicio, dato dalla differenza fra la funzione lavoro del metallo costituente il gate e la massa di silicio drogato;
ϕ_F = potenziale di Fermi del silicio drogato.

Tenendo presente che dal punto di vista circuitale un MOS trova applicazione tanto più agevole e diversificata quanto più bassa è la tensione di soglia V_T, si comprende come i diversi processi tecnologici sviluppati o in via di sviluppo in questi ultimi anni partano tutti dal considerare il modo migliore, cioè più semplice, economico e affidabile, per ridurre il valore di V_T agendo sulle variabili della equazione anzidetta.

MOS con una bassa tensione di soglia V_T (1,5 ÷ 2,5 V) consentono di operare con tensioni di alimentazione più basse (5 ÷ 15 V), rispetto a MOS con alta V_T (4 ÷ 6 V) che richiedono una alimentazione con tensioni in proporzione maggiori (15 ÷ 30 V) e quindi meno economica.

Inoltre bassa soglia vuol dire anche poter adottare differenze di livello più basse per le escursioni dei segnali di comando, il che consente di raggiungere velocità di commutazioni maggiori cioè più elevate frequenze funzionali: infatti, a parità di altri parametri, il tempo necessario per commutare livelli di tensione distanti qualche Volt è minore che nel caso in cui la differenza fra i livelli deve essere dell'ordine di 10 Volt.

Circuiti MOS con bassa soglia risultano infine più facilmente compatibili con i circuiti a transistori bipolari, poiché i livelli fra segnali di ingresso e di uscita sono equivalenti: ciò rende più flessibile il lavoro del progettista che può così comporre strutture miste con transistori MOS e bipolari, sen-

za doversi preoccupare dei problemi di interfaccia dovuti ai diversi livelli di segnale.

2.4.6. Struttura MNOS.

Dalla precedente equazione si osserva che V_T *diminuisce se aumenta K*, cioè la costante dielettrica dello strato isolante fra gate e silicio.

Questo ha spinto a sostituire il biossido di silicio SiO_2, la cui costante dielettrica è circa 4, con altri isolanti a costante dielettrica più elevata come il nitruro di silicio Si_3N_4, la cui costante è circa 7. Tuttavia poiché l'interfaccia fra nitruro di silicio e silicio non è facilmente controllabile nei processi di crescita superficiale, si adotta la tecnica di depositare sul silicio prima uno strato di SiO_2 molto sottile (200 ÷ 300 A°) e su questo lo strato più spesso di Si_3N_4 sul quale infine si deposita l'alluminio per gli elettrodi di gate e per i terminali di source e drain come in fig. 2.40.

Ne risulta una struttura della MNOS che, a parità di spessore dello strato isolante X_o, presenta una tensione di soglia che è circa la metà della corrispondente struttura MOS con biossido di silicio.

Un altro processo alternativo è quello che nello strato isolante sostituisce il SiO_2 con l'allumina (Al_2O_3). Finora non si sono raggiunti risultati di successo perché l'allumina è difficile da depositare e da incidere in modo accurato.

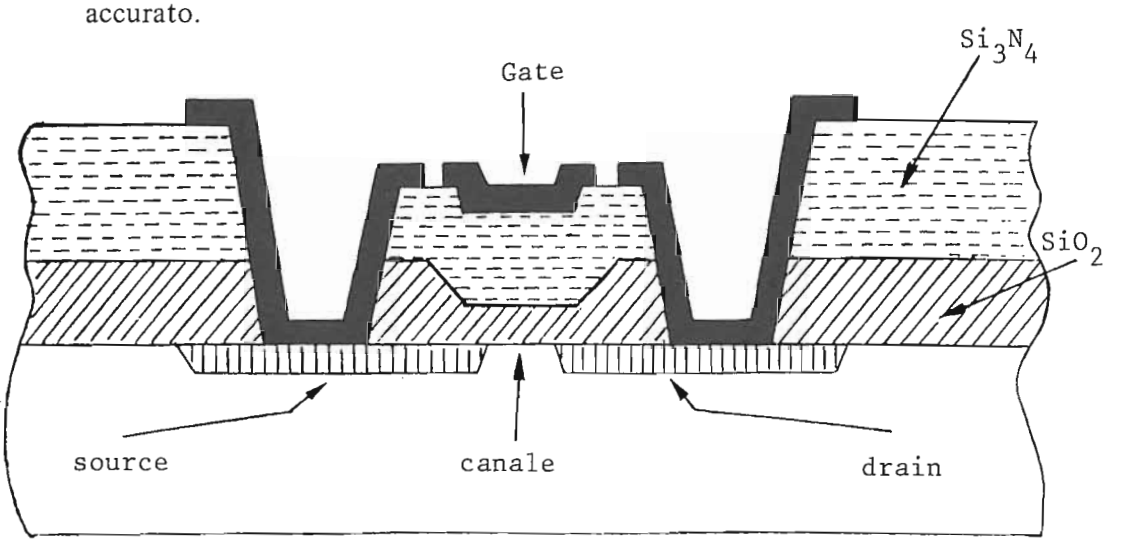


Fig. 2.40 –

2.4.7. Struttura "Silicon Gate".

Il materiale di cui è composto l'elettrodo di Gate ha un effetto considerevole sul valore di V_T in quanto varia il termine ϕ_{ms}.

L'elettrodo di Gate e il wafer di silicio agiscono in un certo senso come le armature di una batteria fra cui si determina una forza elettromotrice a causa dei potenziali di contatto, la quale può aggiungersi o sottrarsi per il valore di V_T. Ne deriva che se il Gate è fatto con silicio tipo P in un MOS con canale P, la tensione di soglia V_T diventa di circa un volt più bassa di quella che si avrebbe in un corrispondente MOS con Gate di alluminio.

Inoltre lo strato di silicio che forma il Gate può essere drogato P con boro o con altri elementi aventi funzioni di lavoro diverse e quindi è possibile, controllando il drogaggio, variare a piacere fino ad un certo limite il valore di V_T.

La tecnologia "silicon gate" è usata normalmente per costruire circuiti integrati MOS a canale P e viene preferita perché presenta numerosi vantaggi: essi presentano più alti guadagni di corrente; una velocità operativa più elevata a causa delle dimensioni più piccole con cui si possono realizzare gli elettrodi di Gate e le zone di non sovrapposizione fra Gate, Source e Drain; infine essi sono compatibili con le tecnologie bipolari perché, essendo l'ossido di Gate ricoperto alla fine con silicio, quest'ultimo può essere alla fine sottoposto a ulteriori diffusori e ossidazioni dove non si sono formati MOS, per crescere viceversa transistori bipolari.

2.4.8. Strutture ottenute con diversi tagli cristallografici degli strati di silicio.

Sempre dalla formula che dà V_T si vede che questa può essere ridotta se si riduce Q_{ss}. Questo termine che rappresenta le cariche fisse sullo strato superficiale può essere variato non solo in funzione della tecnica di crescita dello strato isolante SiO_2, ma soprattutto dall'orientamento cristallografico del taglio superficiale del cristallo semiconduttore. Usando fette tagliate secondo il piano 1-0-0 si ha una Q_{ss} pari a circa 1/3 del Q_{ss} nel materiale tagliato su piani 1-1-1.

Questa tecnica presenta però altri aspetti svantaggiosi: ad esempio la mobilità dei portatori di cariche nelle strutture 1-0-0 è minore, il che conduce a trasconduttanze minori e più basse velocità di commutazione; il processo

di taglio 1-0-0 è più difficoltoso e conduce a costi maggiori e a maggiori dimensioni.

2.4.9. Strutture ottenute per "Ion implantation".

E' un processo che sfrutta la possibilità di drogare un semiconduttore non con un processo di diffusione - che è un processo ad alta temperatura - ma adottando la tecnica di bombardare il semiconduttore con ioni del materiale drogante accelerati sotto forte campo elettrico in modo che essi penetrino nell'ossido di silicio e si fissino nel reticolo sottostante ad una profondità determinata.

La profondità di "impiantazione" può essere controllata agendo sulla tensione di accelerazione, mentre il grado di drogaggio si controlla variando la corrente elettrica dell'acceleratore, cioè il numero di ioni del fascio accelerato.

Con questo processo si ottengono due grossi vantaggi: si può regolare a piacere la tensione di soglia V_T, giacché si varia sia la resistività sia la carica per unità di superficie fino a formare MOS del tipo "depletion" (vedasi paragrafo 2.4.4); inoltre si ottengono strutture autoallineanti nel senso che l'impiantazione ionica non richiede disposizioni, attacchi o maschere addizionali proprie ma usa le stesse maschere del processo standard MOS sottoponendo il wafer al bombardamento subito dopo l'ossidazione del Gate.

2.4.10. Il MOS a canale N.

In linea di principio un MOS a canale "N" può essere ottenuto con un processo identico a quello con canale "P", sostituendo nel substrato con silicio "P" il silicio "N" ed effettuando una diffusione "N" invece che una diffusione "P" per le zone di Source e Drain.
I circuiti integrati formati da MOS a canale "N" offrono maggiori vantaggi di quelli a canale "P", soprattutto a causa della più alta mobilità dei portatori di cariche.

Nei transistori a canale "P" si ha corrente formata da lacune o buchi con carica positiva i quali, in condizione di normale intensità di campo, hanno una mobilità di circa 200 $cm^2/(V \cdot s)$.

Nei MOS a canale "N" la corrente è formata da elettroni che hanno una mobilità di 400 $cm^2/(V \cdot s)$, cioè due volte quella dei buchi. Nelle stesse condizioni di funzionamento, un elemento a canale "N" avrà perciò metà

resistenza di un elemento a canale "P" geometricamente uguale.

In altre parole, ai transistori a canale "N" occorre metà dimensione rispetto ai transistori a canale "P" per fornire la stessa impedenza. Ne risulta che i circuiti a canale "N" possono essere di dimensioni minori degli equivalenti circuiti a canale "P", oppure, fatto più importante, possono essere più complessi senza alcun aumento dell'area silicea.

Oltre la maggior densità, i MOS a canale "N" offrono vantaggi di velocità rispetto a quelli a canale "P". Questo dipende direttamente sia dalla maggiore mobilità delle cariche sia dalle minori aree delle zone di funzionamento di un MOS è anche limitata dalle costanti di tempo CR interne ed essendo la capacità di un diodo direttamente proporzionale alla sua dimensione, con le giunzioni a canale "N" si ottengono capacità minori poiché esse sono più piccole delle giunzioni a canale "P".

Pur presentando tutti questi vantaggi, a tutt'oggi i MOS a canale "P" sono molto più diffusi dei MOS a canale "N" perché i primi sono di più facile costruzione.

Un motivo è anche dovuto al fatto che le cariche parassite presenti nell'ossido sottostante il Gate sono positive sia nei MOS a canale P sia in quelli a canale N. Se nei MOS a canale P queste cariche davano luogo al fenomeno dell'accumulo (perché attiravano cariche negative in una zona drogata N), nei MOS a canale N danno luogo al fenomeno di inversione (perché attirano cariche negative in una zona drogata P). Le cariche parassite, cioè, sono sufficienti esse sole a formare un canale di conduzione fra Source e Drain.

In questo modo abbiamo un dispositivo che è normalmente in conduzione, cioè è in conduzione se al Gate non viene applicata alcuna tensione, e la corrente viene interdetta solo se al Gate viene inviata una tensione opportuna. Il fatto che il dispositivo sia normalmente in conduzione è svantaggioso.

Si può rimediare all'effetto delle cariche parassite, e quindi avere un dispositivo normalmente in interdizione, aumentando i drogaggi, ma ciò porta ad una maggiore variabilità del potenziale di soglia, così da rendere difficile il controllo del funzionamento del dispositivo. Di conseguenza gli attuali dispositivi a canale N hanno un drogaggio moderato e sono normalmente in conduzione. Nel complesso, comunque, il processo di costruzione dei dispositivi a canale "N" viene controllato con difficoltà, ed i costi sono troppo alti per competere con il dispositivo a canale "P".

2.4.11. La struttura a MOS Complementari C-MOS.

Nella struttura C-MOS, il dispositivo elementare non è costituito da un singolo transistore MOS, ma da due MOS uno a canale N e l'altro a canale P: normalmente essi vengono poi collegati in serie tra alimentazione e massa, in modo che il primo costituisca il carico del secondo e viceversa. In applicazioni digitali quindi i due MOS a canale complementare vengono collegati a stadio invertitore e comandati in modo tale che quando uno dei due MOS conduce l'altro sia interdetto e viceversa.

Per costruire un dispositivo C-MOS si parte da un cristallo di silicio N: dove si intende realizzare il MOS a canale P si diffondono le zone P di Source e Drain come nella geometria già descritta; dove invece si intende realizzare il MOS a canale N, si diffonde prima una grande zona con drogaggio P che diventa il substrato del MOS a canale N. In questa zona P vengono poi diffuse ulteriormente le zone N del Source e Drain per il MOS a canale N.

Come si vede i C-MOS sono più complessi rispetto a quelli con canale di un solo tipo e, come conseguenza, il loro processo di costruzione presenta costi maggiori.

Peraltro offrono soprattutto due grossi vantaggi: una dissipazione di potenza trascurabile a riposo, e una elevata immunità al rumore. Questi vantaggi derivano entrambi dal fatto che nei circuiti digitali la coppia dei due transistori costituenti il dispositivo C-MOS è collegata e comandata a stadio invertitore in modo tale da tenere sempre un MOS interdetto. Qualunque sia lo stato logico si avrà perciò sempre assenza di corrente fra alimentazione e massa, ad eccezione che nell'intervallo di tempo determinato del transiente per commutare l'elemento da uno stato logico all'altro, durante il quale tutte e due i MOS attraversano la zona attiva conducendo entrambi.

2.4.12. Schema equivalente del transistore MOSFET.

I transistori MOSFET possono essere realizzati sia con canale di tipo P sia con canale di tipo N, e vengono rappresentati simbolicamente come in fig. 2.41.

Il transistore con canale P è detto complementare rispetto a quello con canale N e viceversa.

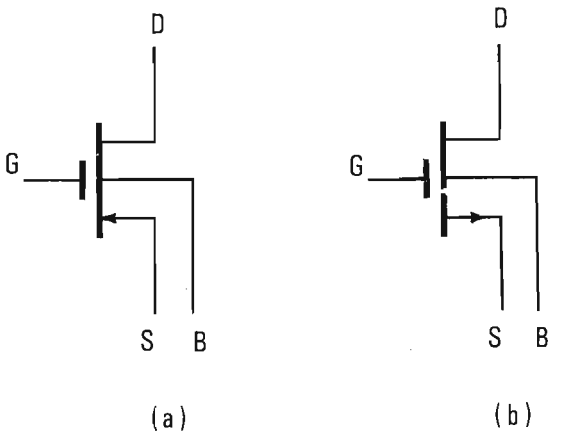


Fig. 2.41 – (a) MOSFET con canale P - (b) MOSFET con canale N. Simbolismo di rappresentazione dei transistori MOSFET: il verso della freccia nel terminale S di Source indica il tipo di canale; G indica l'elettrodo di gate; D quello di drain e B il terminale di connessione per il substrato che spesso viene anche omesso.

Nella regione ohmica il MOSFET si comporta come una resistenza variabile in funzione di V_G e viene infatti impiegato utilmente come componente per attenuatore controllato in tensione.
Nella regione di "pinch-off" il componente si comporta come un amplificatore comandato di tensione con una elevata impedenza di entrata.
I circuiti MOSFET sono perciò simili, sotto molti aspetti, a quelli progettati con tubi a vuoto.
Nella regione di "pinch-off" lo schema equivalente del MOSFET è riportato in fig. 2.42.

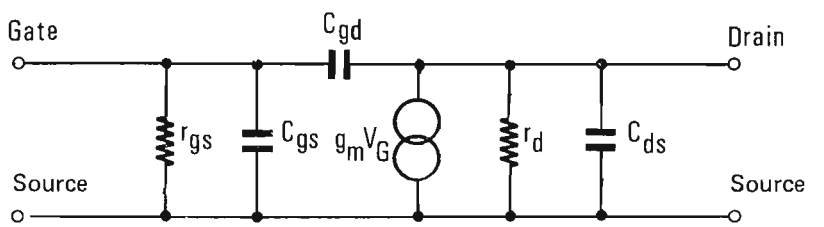


Fig. 2.42 – Schema equivalente del MOSFET nella regione di pinch-off per connessione con Source comune.

Occorre tener presente innanzitutto le tre capacità interelettrodiche che, come ordine di grandezza possono avere i seguenti valori :

$C_{gd} \cong 2pF$: capacità fra "Gate" e "Drain";

$C_{gs} \cong 4pF$: capacità fra "Gate" e Source ;
$C_{ds} \cong 0{,}2pF$: capacità fra "Drain" e Source .

A questi elementi occorre aggiungere :

r_{gs} : resistenza di perdita fra "Gate" e Source dell'ordine di $10^{10}\ \Omega$;

r_d : resistenza dinamica di Drain dell'ordine delle decine di KOhm determinata dalla pendenza delle curve caratteristiche di fig. 2.3.9 nella regione di "pinch-off";

g_m : transconduttanza dell'ordine delle migliaia di micromho determinata sulla curva $I_D \rightarrow V_G$.

Lo schema di connessione elettrica è riportato in fig. 2.43.

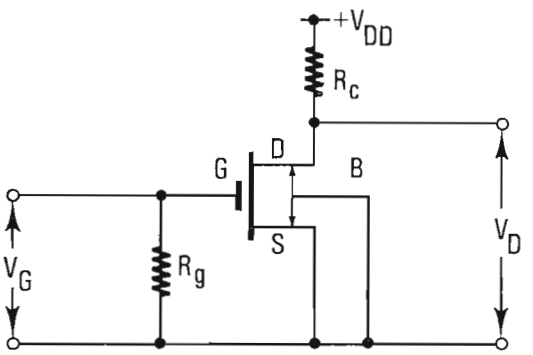


Fig. 2.43 – Schema di connessione con Source comune del MOSFET usato come amplificatore di tensione.

Dai valori indicati per i componenti del circuito equivalente si vede che il guadagno di tensione a bassa frequenza è dato, con buona approssimazione, da :

$$A = \frac{\Delta V_D}{\Delta V_G} = \frac{g_m r_d R_c}{r_d + R_c} \tag{2.35}$$

infatti, a bassa frequenza, è sufficiente considerare l'effetto dovuto al generatore di corrente ($g_m \cdot V_G$) ed alla resistenza dinamica r_d.
Il MOSFET si comporta praticamente come un tubo a vuoto ed ha la stessa espressione per il fattore di amplificazione μ che si scrive :

$$\mu = g_m r_d \ . \tag{2.36}$$

Analogamente a quanto accade per i pentodi, quando $R_c \ll r_d$, il guadagno di tensione si riduce semplicemente all'espressione $A = g_m R_c$.

2.4.13. Il transistore MOSFET usato come interruttore per grandi segnali impulsivi.

Quando il MOSFET si usa come interruttore comandato da segnali di ingresso che lo portano dalla interdizione alla saturazione, un modo utile di presentarne le prestazioni è la curva che riporta la tensione di uscita V_D in funzione della tensione di entrata V_G come in fig. 2.44(c).
Questa curva, che dà praticamente la funzione di trasferimento per ampi segnali, ha un andamento non-lineare.
Nel caso di un interruttore ideale si avrebbe la caratteristica tratteggiata: cioè dalla condizione di interruttore aperto in cui $V_D = V_{DD}$, che si mantiene quando la tensione di ingresso è inferiore alla tensione di soglia V_T, si passerebbe bruscamente alla tensione $V_D = 0$ quando per $V_G > V_T$ l'interruttore si chiude.

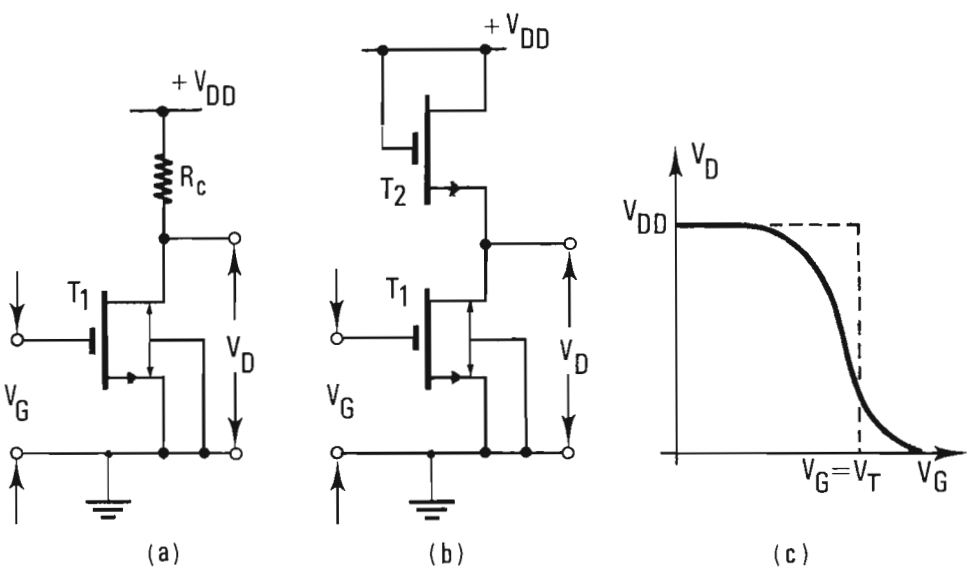


Fig. 2.44 — (a) (b) (c) - Caratteristica tensione di uscita → tensione di entrata per il MOSFET comandato con ampi segnali come interruttore elettronico. Il resistore R_c può essere anche sostituito con un altro MOSFET collegato a diodo e che si comporta quindi come una semplice resistenza.

La caratteristica del MOSFET utilizzato come in fig. 2.44 con un carico resistivo R_C approssima questo andamento con la curva a tratto pieno indicata in fig. 2.44 (c): per bassi valori di V_G il transistore è interdetto sicchè $V_D = V_{DD}$; per alti valori di V_G si penetra nella regione ohmica delle curve caratteristiche di fig. 2.38 e V_D cade a valori molto bassi.
Il resistore R_C nei circuiti integrati viene spesso sostituito con un altro transistore MOSFET collegato a diodo come in fig. 2.44 (b), in modo da ottenere la resistenza di carico con un componente cresciuto con lo stesso processo tecnologico.
La caratteristica di fig. 2.44 (c) può avere un andamento molto più vicino a quello dell'interruttore ideale se, come carico del MOSFET, si usa un altro MOSFET di tipo complementare al posto della resistenza R_C.
Lo schema è quello riportato in fig. 2.45 (a) in cui il transistore T_1 ha il canale di tipo N, mentre T_2 ha il canale di tipo P.
Quando V_G è molto positivo, cioè $V_G > V_T$, T_1 è in saturazione mentre T_2 è interdetto: perciò la tensione di uscita V_D è praticamente nulla perché il carico di"Drain" per T_1 è l'alta impedenza costituita dal transistore

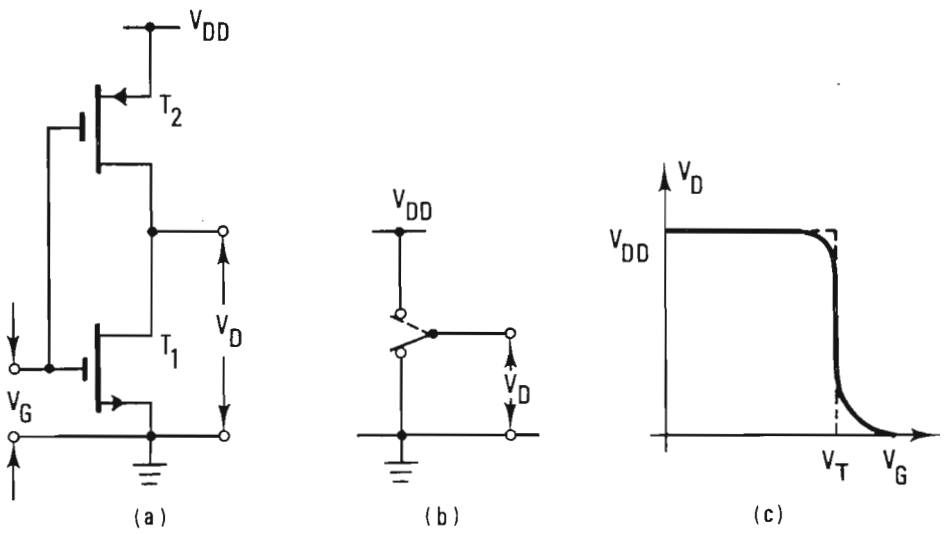


Fig. 2.45 – (a) Interruttore a MOSFET complementari: T_1 con canale n e T_2 con canale p. - (b) Schema equivalente dell'interruttore con un polo e due contatti. - (c) Transcaratteristica dell'interruttore a MOSFET complementari.

T_2| interdetto. Viceversa quando $V_G < V_T$, T_1 è interdetto mentre T_2 ha una grande tensione "Gate-Source " e perciò si trova in saturazione: la tensione di uscita V_D è allora praticamente uguale a V_{DD}.
In pratica si realizza un interruttore elettronico ad un solo polo ma con due contatti. T_1 ha come carico di "Drain" un elemento non lineare costituito da T_2; quando il primo è in saturazione, cioè costituisce il contatto chiuso, l'altro resta interdetto, cioè costituisce il contatto aperto, e viceversa. L'uscita risulta così cortocircuitata o alla massa da T_1, oppure alla tensione V_{DD} da T_2.
Quindi i transistori complementari permettono di realizzare circuiti con caratteristiche di separazione fra entrata ed uscita proprie degli interruttori meccanici. Gli schemi di fig. 2.45 (a), come gli interruttori meccanici, hanno la caratteristica di non dissipare molta potenza, dato che hanno una corrente residua circa nulla e una I_D molto piccola (ossia nessuna dissipazione di corrente).
Si tenga presente inoltre che i MOSFET usati come interruttori (organizzati cioè circuitalmente come in fig. 2.45 (a), hanno velocità di funzionamento più bassa di quando sono usati in qualità di Amplificatori.

Capitolo 3

CIRCUITI PER L'AMPLIFICAZIONE DEGLI IMPULSI .

Gli impulsi generati dalle diverse sorgenti di segnali come i rivelatori nucleari o altri sensori di grandezze fisiche, richiedono spesso **una amplificazione in ampiezza**, prima di subire elaborazioni in forma analogica o digitale da parte della strumentazione di misura.
Occorre in questi casi che l'amplificatore abbia **una elevata stabilità di guadagno ed una risposta lineare fra i segnali di entrata e di uscita** poichè l'ampiezza dell'impulso, fornito dal sensore, è spesso direttamente proporzionale al valore della grandezza fisica da misurare: ad esempio, l'ampiezza dell'impulso di un rivelatore a scintillazione a ioduro di sodio NaI(Tl) è proporzionale all'energia della particella nucleare che colpisce il rivelatore. Nell'eseguire con questi rivelatori un'analisi di spettri energetici, in cui si misura il numero delle particelle che hanno una determinata energia, è indispensabile perciò che gli impulsi vengano amplificati con un guadagno costante e che la risposta sia lineare in funzione dell'ampiezza degli impulsi. Queste prestazioni sono strettamente legate alla costanza dei parametri dei componenti circuitali usati per l'amplificazione, come il guadagno di corrente β_n nei transistori, il valore delle resistenze e delle capacità in funzione del tempo e della temperatura, e così via. Per minimizzare gli effetti dovuti alle variazioni dei parametri suddetti, soprattutto quelle relative ai componenti attivi che sono le maggiori e più gravi, si richiede l'uso della reazione negativa nel progetto degli amplificatori.
D'altra parte le tecniche della reazione negativa sono così diffuse ed affermate oggi in ogni applicazione circuitale, che si ritiene opportuno sunteggiarne in questo capitolo le caratteristiche ed i vantaggi principali senza tuttavia poter scendere nel dettaglio di molte dimostrazioni.

3.1 GUADAGNO DEGLI AMPLIFICATORI CON REAZIONE NEGATIVA.

Consideriamo lo schema a blocchi di fig. 3.1, dove un amplificatore con guadagno + A ha l'uscita collegata con l'entrata attraverso il circuito B costituito da un partitore con soli componenti passivi. In entrata un circuito mescolatore sottrae dal segnale **e** il segnale -**Bu** ed inietta quindi all'ingresso dell'amplificatore il segnale (**e** -**Bu**).
Supponendo perciò che l'amplificatore non inverta e che il mescolatore sottragga, si può scrivere :

$$A\,(e - Bu) = u \quad . \tag{3.1}$$

Da cui si ricava il nuovo guadagno del sistema in cui il primitivo amplificatore A è reazionato con il circuito B e con il sottrattore, che è dato da:

$$G = \frac{u}{e} = \frac{A}{1 + B\,A} \quad . \tag{3.2}$$

Se il prodotto B A è molto maggiore rispetto ad uno, allora possiamo scrivere :

$$G = \frac{A\,B}{1 + A\,B} \cdot \frac{1}{B} \simeq \frac{1}{B} \quad . \tag{3.3}$$

Cioè la reazione agisce in modo da minimizzare la differenza (**e** - **Bu**), sic-

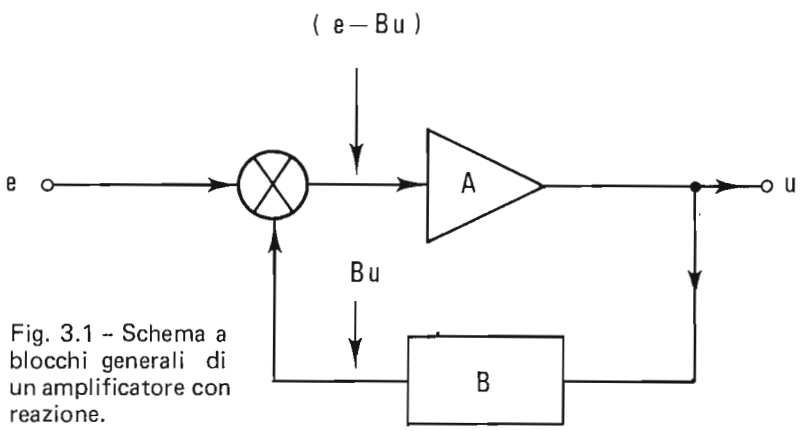


Fig. 3.1 - Schema a blocchi generali di un amplificatore con reazione.

chè il segnale **u** si aggiusta finchè Bu ed **e** sono circa uguali ed il guadagno diventa $1/_B$.
Il prodotto A.B si chiama "guadagno di spira" ed è ovviamente il guadagno del circuito A e del circuito B collegati in cascata.
Come si vede, **Il guadagno del primitivo amplificatore è ridotto di un fattore** $F = (1 + BA)$ **che è noto come fattore di reazione. (*)**

3.1.1. Fluttuazioni del guadagno in un amplificatore reazionato.

Si dimostra facilmente che le **variazioni percentuali nel guadagno dell'amplificatore reazionato, si riducono rispetto a quelle dell'amplificatore non reazionato di un fattore pari al fattore di reazione.**
Differenziando la 3.2 si ha :

$$\frac{dG}{dA} = \frac{1}{(1+BA)^2} \tag{3.4}$$

che può essere presentata nella forma seguente :

$$dG = \frac{A}{(1+BA)} \cdot \frac{1}{(1+BA)} \cdot \frac{dA}{A}$$

e cioè :

$$\frac{dG}{G} = \frac{1}{1+BA} \frac{dA}{A} \tag{3.5}$$

L'introduzione della reazione negativa permette dunque di aumentare la costanza dell'amplificazione per un fattore $(1 + BA)$.
Cio è anche confermato da un punto di vista fisico con la considerazione che il guadagno dell'intero sistema reazionato si riduce ad essere 1/B: cioè non dipende praticamente più dalle variazioni dei parametri dei componenti attivi nel circuito A, ed è funzione solo delle variazioni dovute ai componenti passivi del circuito B che sono in generale molto più piccole.

(*) Si deve notare che se il primitivo amplificatore introduce una inversione di polarità presentando il guadagno (-A), il mescolatore deve diventare un sommatore e la relazione 3.1 si scrive:

$$-A(e + Bu) = u$$

essa porta sempre ad avere un sistema amplificatore ancora con guadagno negativo e ridotto dello stesso fattore di reazione :

$$G = \frac{-A}{1+BA}$$

3.1.2. Variazione della larghezza di banda in un amplificatore reazionato.

Occorre tenere presente che **i circuiti A e B hanno una risposta funzione della frequenza**, sicchè, in generale, la relazione (3.2) va scritta :

$$G(\omega) = \frac{A(\omega)}{1 + B(\omega)\,A(\omega)} \quad . \tag{3.6}$$

Per semplicità di trattazione supponiamo ora che la banda di risposta sia essenzialmente determinata dal circuito A (ω), il quale si comporti come un circuito quasi-integratore o passa-basso con frequenza di taglio $f_a = 1/2\,\pi\,T_a$, ed abbia quindi una risposta :

$$A(\omega) = \frac{A_o}{1 + j\omega\,T_a} \quad . \tag{3.7}$$

In tutta la banda interessata riteniamo il circuito B con una risposta costante Bo indipendente dalla frequenza. La (3.6) in questo caso diventa:

$$G(\omega) = \frac{\dfrac{A_o}{1 + j\omega\,T_a}}{1 + \dfrac{B_o A_o}{1 + j\omega\,T_a}} \tag{3.8}$$

facciamo ora le seguenti trasformazioni :

$$G(\omega) = \frac{A_o}{1 + B_o A_o} \cdot \frac{1 + B_o A_o}{1 + j\omega\,T_a + B_o A_o} = \tag{3.9}$$

$$= G_o \cdot \frac{1}{1 + \dfrac{j\omega\,T_a}{1 + B_o A_o}} = \frac{G_o}{1 + j\omega\,T_r}$$

vediamo che la nuova frequenza di taglio del sistema reazionato è diventata:

$$f_r = \frac{1}{2\,\pi\,T_r} = \frac{1 + B_o A_o}{2\,\pi\,T_a} \tag{3.10}$$

cioè la larghezza di banda è aumentata di un fattore $F = 1 + A_o B_o$. Si ricordi perciò che **nell'amplificatore con reazione mentre il guadagno G si riduce per un fattore F, la larghezza di banda f_r aumenta per lo stesso fattore.**

Il prodotto (guadagno per larghezza di banda) rimane costante :

$$G \cdot f_r = A \cdot f_a \quad . \tag{3.11}$$

3.1.3. Variazioni dell'impedenza di uscita in un amplificatore reazionato.

Anche l'impedenza di uscita di un amplificatore si riduce per il fattore di reazione.

Consideriamo il solo circuito A che si comporti come un generatore di tensione con impedenza di uscita pari a R_O. Possiamo schematizzare questo, come in fig. 3.2 (a), evidenziando R_O posta in serie al terminale di uscita. Per calcolare tale impedenza si suole in generale pensare ad un segnale di corrente **i** iniettato al terminale di uscita e vedere quale incremento di tensione si ha sullo stesso terminale.

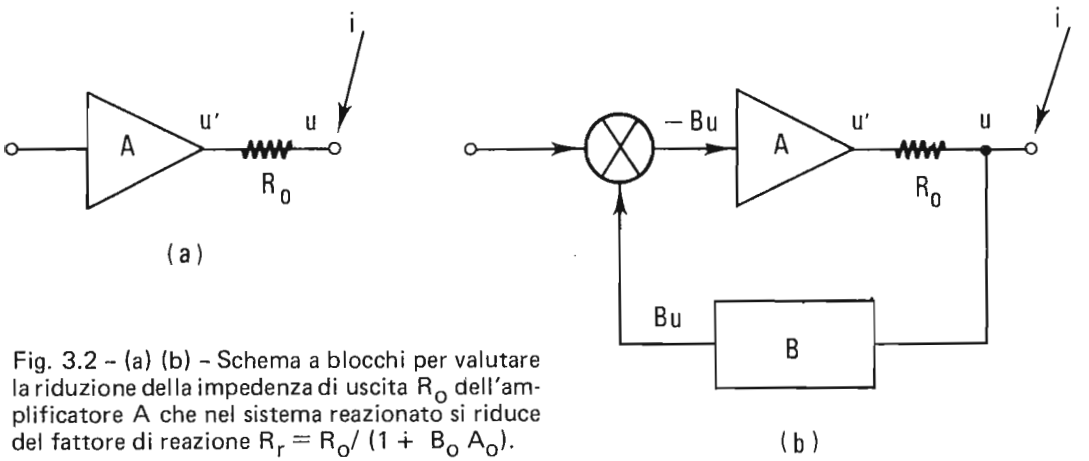


Fig. 3.2 - (a) (b) - Schema a blocchi per valutare la riduzione della impedenza di uscita R_O dell'amplificatore A che nel sistema reazionato si riduce del fattore di reazione $R_r = R_O/(1 + B_O A_O)$.

Evidentemente per lo schema di fig. 3.2 (a) una corrente **i** deve soddisfare le relazioni :

$$u = u' + R_O i; \qquad \frac{du}{di} = R_O; \tag{3.12}$$

infatti u' è indipendente da **u**.

Introducendo ora la spira di reazione come in fig. 3.2 (b), si vede che u' non è più indipendente da **u** perchè si ha;

$$u' = -A B u \quad . \tag{3.13}$$

Deve ancora valere la relazione :

$$u = u' + i R_O \tag{3.14}$$

ma sostituendo la (3.13) nella (3.14) abbiamo :

$$u = -A\,Bu + i\,R_o \tag{3.15}$$

sicchè l'impedenza d'uscita nell'amplificatore con reazione negativa è data da :

$$\frac{du}{di} = \frac{R_o}{1 + B\,A} \quad . \tag{3.16}$$

Questa proprietà degli amplificatori reazionati è molto utile quando si vuole che l'uscita approssimi un generatore di tensione: cioè quando si vuole che l'impedenza di uscita sia la più bassa possibile, in modo che le varie impedenze di carico dei circuiti esterni collegati all'uscita influenzino il minimo possibile la tensione, il guadagno e le altre caratteristiche di uscita.

3.1.4. Condizioni di stabilità negli amplificatori reazionati.

Se esprimiamo il guadagno G in termini delle funzioni di trasferimento A(p) e B(p) nel dominio della variabile complessa p, e se consideriamo il segno algebrico incluso in A(p) e in B(p), giacchè ognuna di queste funzioni può essere positiva o negativa, la (3.2) prende la forma:

$$G(p) = \frac{A\,(p)}{1 - A(p)\,B(p)} = \frac{A\,(p)}{1 - L(p)} \quad . \tag{3.17}$$

Il segno meno nel denominatore corrisponde al caso generale di una reazione che può essere negativa o anche positiva: lo stesso segno di L(p), che include anche il segno dell'operazione compiuta dal mescolatore, determinerà la polarità della reazione. Dalla (3.17) si vede che gli zeri di G(p) coincidono con gli zeri di A(p). Infatti quando A(p) = 0 si ha :

$$G(p) = A(p) = 0 \tag{3.18}$$

viceversa i poli di G(p) non coincidono con i poli di A(p). Dopo aver chiuso la spira di reazione i nuovi poli sono determinati dall'equazione :

$$1 - L(p) = 0 \quad . \tag{3.19}$$

Il fatto che i poli G(p) **non coincidano con quelli di** A(p) **corrisponde nel circuito reazionato ad avere una risposta frequenziale dell'intero sistema completamente alterata rispetto a quella del circuito** A(p). Un caso tipico è quello in cui a poli reali di A(p) corrispondono poli complessi di G(p): sicchè un amplificatore composto unicamente di elementi attivi, come transistori o valvole, e di reti R · C può comportarsi con le proprietà di una rete L · C dopo aver introdotta la reazione, e simulare quindi un circuito risonante. Ciò può essere voluto in alcuni casi dal progettista; ma in generale la presenza di un picco di risonanza in un amplificatore reazionato viene preso come indice dell'avvicinarsi a condizioni di instabilità perchè la corrispondente componente armonica del segnale d'ingresso, o un'interferenza con frequenza uguale a quella del picco, può essere eccessivamente amplificata e portare il sistema in oscillazione.

In pratica occorre progettare la spira di reazione in modo da ottenere il sistema stabile a qualsiasi frequenza. Le variazioni del guadagno G(p) **in modulo ed in fase non devono essere tali da far diventare la reazione positiva al crescere della frequenza.**

Sono stati elaborati a questo fine diversi criteri per controllare la stabilità delle reti reazionate. Non è possibile sviluppare qui la loro teoria. Ai fini pratici delle applicazioni di laboratorio, dove occorre spesso essere in grado di stabilire quantitativamente il valore dei componenti esterni da applicare nella spira di reazione di un amplificatore a circuito integrato già realizzato, è opportuno ricordare almeno gli elementi di calcolo per questi criteri.

Il criterio di Nyquist si rifà all'espressione (3.19) **e stabilisce che per ottenere la stabilità incondizionale il grafico di** L(p) **nel piano complesso, disegnato come in** fig. 3.3, **non deve contenere il punto** (1.0). Il raggio del diagramma polare di Nyquist dà l'ampiezza di L(p) in funzione di ω, mentre l'angolo dà la risposta di fase L(p). **Alle frequenze molto elevate o molto basse,** dove lo sfasamento tende ad essere $\geqslant 180°$ rispetto alla fase nella banda centrale di risposta dell'amplificatore, **occorre che il modulo di** L(p) **sia inferiore a 1 se si vuole la stabilità del circuito.**

Il criterio di Bode si sviluppa sulla considerazione che **la variazione in modulo e lo spostamento in fase di** G(p) **sono strettamente legate fra loro: la fase di** G(p) **dipende dalla rapidità di variazione del modulo di** L(p) **con la frequenza, sicchè per mantenere le variazioni di fase sufficientemente pic-**

cole per un funzionamento stabile occorre controllare la rapidità di variazione del modulo di G(p) Il comportamento dell'amplificatore nel diagramma di Bode è rappresentato come in Fig. 3.4, in cui si presenta il modulo di G(p) espresso in db in funzione della frequenza ω su scala logaritmica.

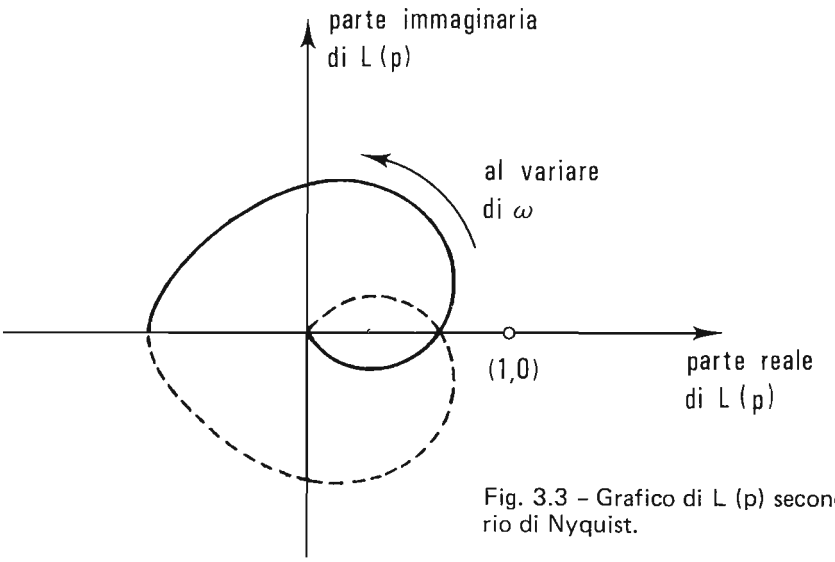


Fig. 3.3 - Grafico di L (p) secondo il criterio di Nyquist.

Ovviamente i grafici di Nyquist e di Bode sono equivalenti e l'uno può essere ottenuto dall'altro. La pendenza del guadagno |G(p)| è espressa in db/ottava oppure in db/decade: si ricordi che 6 db/ottava corrisponde a 20 db/decade o più in generale 6 x n db/ottava è equivalente a 20 x n db/decade.

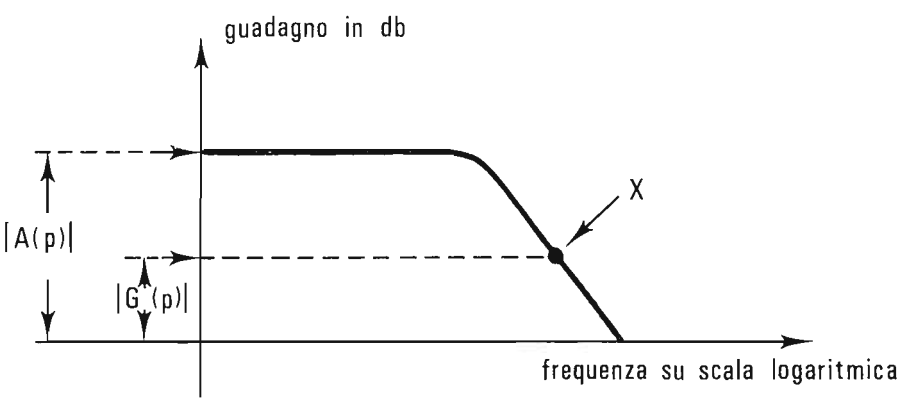


Fig. 3.4 - Diagramma di Bode.

Una riduzione di guadagno di 6 db/ottava comporta uno sfasamento di 90°: analogamente una riduzione di 12 db/ottava equivale ad uno sfasamento di 180°. Nel grafico esemplificativo di Fig. 3.4 si mostra come il modulo di G(p) interseca l'andamento del modulo di A(p): oltre il punto X di intersecazione il guadagno a spira chiusa segue praticamente quello di |A(p)| a spira aperta. **Perciò una condizione sufficiente per la stabilità incondizionale è quella che nel punto di intersezione X la pendenza del grafico sia minore di 12 db.** Ad esempio supponiamo che un amplificatore abbia una risposta in cui |A(p)| vari come riportato in Fig. 3.5. E' chiaro allora che solo le spire di reazione, che mantengono il guadagno di spira chiusa |G(p)| al disopra del punto B, saranno in grado di consentire un funzionamento stabile perchè ivi la pendenza è al di sotto di 12 db/ottava: in Fig. 3.5 questo è ad esempio il caso di G_1 e non viceversa di G_2 o G_3. Se però la risposta dell'amplificatore viene compensata in modo da avere la pendenza di 6 db/ottava su tutta la banda di frequenza che interessa, come mostrato dalla linea tratteggiata di Fig. 3.5, allora si possono adottare anche reazioni che consentono i valori G_2 e G_3 con le relative larghezze di banda.

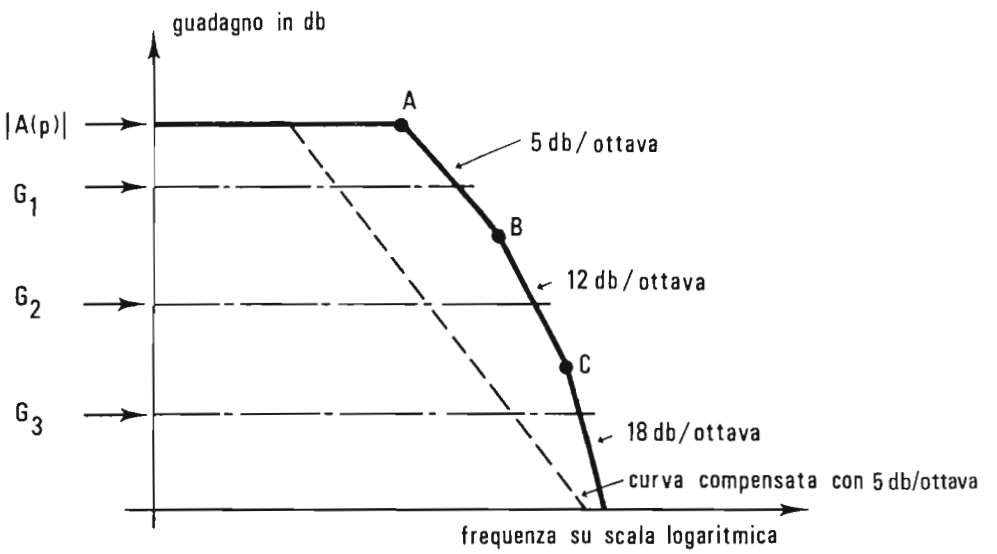


Fig. 3.5 - Diagramma di Bode in cui si riporta la risposta di un amplificatore compensato o meno per ottenere una pendenza di 6 db/ottava nei punti d'intersezione del guadagno a spira chiusa G con il guadagno a spira aperta |A|, in modo da garantire la stabilità del sistema reazionato.

I criteri di Nyquist e di Bode sono utili soprattutto allo scopo di controllare la stabilità del sistema reazionato verificando sperimentalmente il comportamento del sistema ad anello aperto.
In particolare il criterio di Bode viene seguito nell'applicazione degli amplificatori a circuiti integrati, in cui non si può ovviamente intervenire a cambiare in laboratorio lo schema circuitale già realizzato sulla piastrina di semiconduttore, ma si può viceversa compensare la risposta in frequenza aggiungendo elementi esterni su morsetti già predisposti dal costruttore del circuito integrato.
Vi è però anche un altro metodo, **detto "criterio del luogo delle radici" introdotto da Evans, che permette durante la stessa fase di progetto del sistema di prevedere a priori le condizioni di stabilità.** Esso si basa ancora sulla ricerca degli zeri dell'espressione (3.19), cioè sulla ricerca di quei valori di p che soddisfano le equazioni :

$$\begin{cases} \arg\,[-A(p)\cdot B(p)] = 180^\circ + n\cdot 360^\circ \\ |A(p)\cdot B(p)| = 1 \end{cases} \tag{3.20}$$

Il luogo dei punti che soddisfano alla prima delle (3.20), al quale per definizione appartengono anche le radici della (3.19), si definisce come **"luogo delle radici"**. Questo metodo è particolarmente utile in fase di progetto circuitale,poichè consente di tracciare in modo semplice il luogo dei punti suddetti.
Poichè non è possibile in queste lezioni procedere oltre questa segnalazione, si rimandano gli studenti alla letteratura per la descrizione analitica e l'illustrazione applicativa del metodo(*).

3.2. TECNICHE CIRCUITALI .

3.2.1. L'amplificatore ad un singolo stadio .

Per lo stadio amplificatore ad emettitore comune, possiamo esprimere il

(*) Gatti E., Manfredi P.F., Rimini A.; "Elementi di Teoria delle Reti" - Capitolo 7 - Casa Editrice Ambrosiana - Milano, 1966.

guadagno di tensione fra collettore e base riferendoci agli schemi semplificati di Fig. 3.6. Nella Fig. 3.6 (a) si è raccolto in R_s la resistenza equivalente che si vede fra terminale di base ed il generatore del segnale di ingresso: R_s va calcolata usando il teorema di Thevenin, e cioè tenendo conto sia delle resistenze usate per polarizzare la base, sia della resistenza interna del generatore d'ingresso. Nella Fig. 3.6 (b) è stata trascurata la resistenza interna di collettore $r_c/1 + \beta_n$ in parallelo al generatore di corrente $\beta_n I_b$ del circuito equivalente del transistore, perchè in generale negli amplificatori essa risulta molto più grande della resistenza di carico R_L.

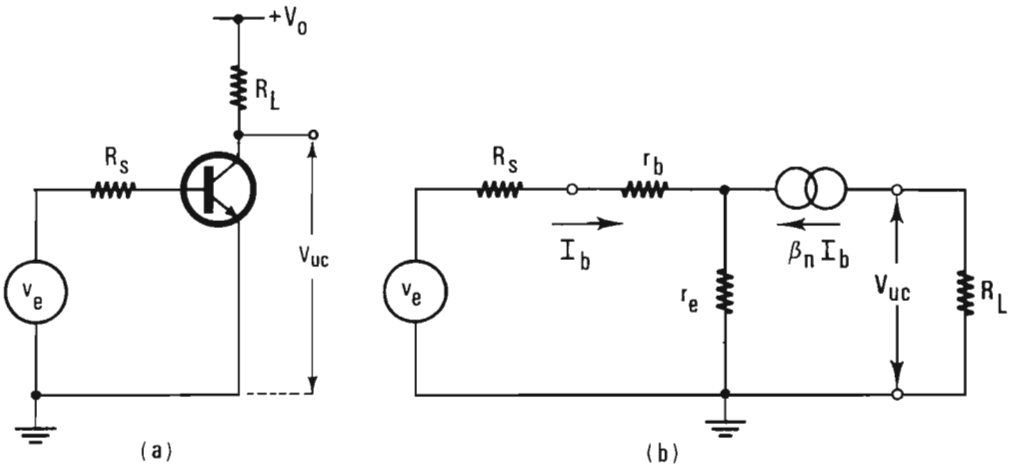


Fig. 3.6 - (a) Stadio amplificatore ad emettitore comune in cui si presentano solo le connessioni per il segnale da amplificare e sono state deliberatamente omesse le reti di di polarizzazione di base o di emettitore. - (b) Schema equivalente semplificato per il calcolo del guadagno di tensione V_{uc}/V_e.

L'amplificazione fra segnale di uscita sul collettore V_{uc} ed il segnale d'entrata V_e si calcola molto semplicemente scrivendo le equazioni seguenti per le due maglie nel circuito di Fig. 3.6 (b) :

$$\begin{cases} v_e = (R_s + r_b)\, I_b + r_e\,(1 + \beta_n)\, I_b \\ V_{uc} = R_L\ \beta_n\, I_b \quad . \end{cases} \tag{3.21}$$

Si ottiene così la relazione :

$$\frac{V_{uc}}{v_e} = \frac{\beta_n R_L}{R_s + r_b + r_e\,(1 + \beta_n)} \tag{3.22}$$

che può anche essere messa nella forma :

$$\frac{V_{uc}}{v_e} = \frac{\dfrac{\beta_n R_L}{R_s + r_b + r_e}}{1 + \dfrac{\beta_n r_e}{R_s + r_b + r_e}} \tag{3.23}$$

cioè nella forma 3.2 del tipo $\frac{A}{1 + BA}$, che mostra come nello schema del singolo transistore esiste già un certo grado di reazione tra entrata ed uscita dovuta alla resistenza comune r_e. In questo caso A_o equivarrebbe a $\beta_n R_L/R_s + r_b + r_e$ mentre B sarebbe pari a r_e/R_L.
Se ora introduciamo deliberatamente una resistenza esterna R_F sul terminale di emettitore, come in Fig. 3.7, aumentiamo il grado di reazione e possiamo prelevare il segnale di uscita sia sul terminale di collettore che di emettitore.

Procedendo come nel caso precedente troviamo che il guadagno di tensione al collettore è dato da :

$$V_{uc}/v_e = \frac{\dfrac{\beta_n R_L}{R_s + r_b + r_e + R_F}}{1 + \dfrac{\beta_n (r_e + R_F)}{R_s + R_F + r_b + r_e}} \tag{3.24}$$

Quando il secondo termine nel denominatore è molto maggiore di uno la 3.24 si approssima bene come segue :

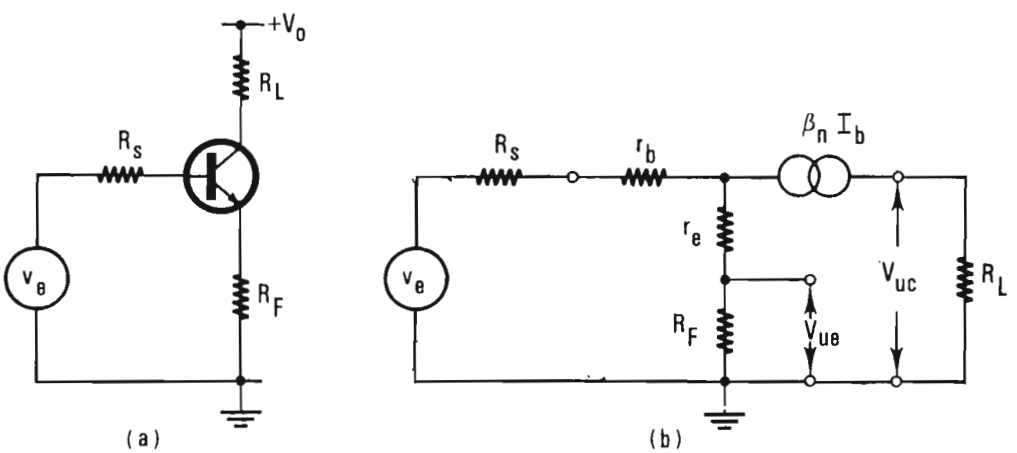


Fig. 3.7 - Stadio come in Fig. 3.6 in cui si è inserita la resistenza di reazione R_F.

$$V_{uc}/v_e \simeq \frac{R_L}{r_e + R_F} \quad . \tag{3.25}$$

Analogamente il guadagno di tensione all'emettitore è dato da :

$$\frac{V_{ue}}{v_e} = \frac{\dfrac{(1+\beta_n)\,R_F}{R_s + r_b}}{1 + \dfrac{(1+\beta_n)\,(r_e + R_F)}{R_s + r_b}} \tag{3.26}$$

che si approssima bene con :

$$\frac{V_{ue}}{v_e} \simeq \frac{R_F}{r_e + R_F} \quad . \tag{3.27}$$

Quando r_e è molto piccola sia rispetto a R_L che ad R_F si vede che sul collettore il guadagno è praticamente dato dal rapporto fra le due resistenze esterne R_L ed R_F mentre sull'emettitore il guadagno diventa praticamente uno. In entrambi i casi il guadagno diventa praticamente indipendente dalle variazioni di parametri come il β_n del transistore.

3.2.2. Amplificatore a più stadi con reazione globale .

Il circuito di Fig. 3.8 è formato da due stadi ad emettitore comune connessi in cascata con una reazione globale fra il collettore di T_2 e l'emettitore di T_1. Per semplicità di esposizione nello schema sono indicati solo i componenti per il calcolo del guadagno e le connessioni per il segnale, mentre sono stati omessi i possibili partitori di polarizzazione per i terminali di base e gli eventuali gruppi RC di emettitore necessari per fissare il punto di lavoro in funzione delle curve caratteristiche e delle tensioni di alimentazione.

Supponiamo che la resistenza interna del generatore di segnale sia trascurabile e si abbiano i transistori uguali con $\beta_n = 50$ $r_b = 50\,\Omega$.

La resistenza r_e si ricava dalla formula (2.26) una volta fissato il punto di lavoro dei transistori a 5 mA di corrente di emettitore e risulta $r_e \simeq 5\,\Omega$.

La spira che si stabilisce nel circuito é a reazione negativa perchè il segnale

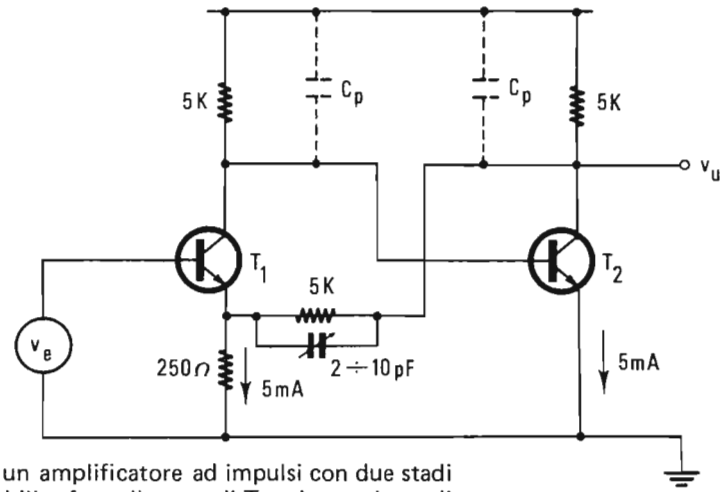


Fig. 3.8 - Schema di un amplificatore ad impulsi con due stadi in cui la reazione è stabilita fra collettore di T_2 ed emettitore di T_1.
Sono riportati solo i componenti e le connessioni per il calcolo del guadagno, mentre sono omessi gli eventuali gruppi di polarizzazione in continua di basi e di emettitori.

subisce due inversioni di polaritá nei due stadi amplificatori T_1 e T_2 ed infine la terza inversione si ottiene riportando il segnale d'uscita sull'emettitore di T_1 piuttosto che sulla base di ingresso: il segnale applicato all'emettitore è equivalente allo stesso segnale applicato sulla base ma cambiato di segno.

Per il calcolo del guadagno a spira aperta supponiamo di interrompere la spira di reazione nella connessione della resistenza di 5 KΩ con l'emettitore di T_1.

Il guadagno del primo stadio, che presenta $R_L = 5$ KΩ ed $R_F = 250\,\Omega$, si calcola con la 3.24 oppure direttamente con la 3.25 ed è pari a circa 20.

Il calcolo così svolto non tiene in considerazione il carico sul collettore di T_1 dovuto alla connessione con la base di T_2. Questo viene però tenuto lo stesso in conto se, nel calcolo del guadagno di T_2, pensiamo che la resistenza di collettore di T_1, di 5KΩ, sia la resistenza del generatore che comanda la base di T_2.

Il guadagno di T_2 si calcola con la formula 3.23 considerando dunque $R_S = 5$KΩ ed $R_L = 2{,}5$KΩ. Infatti, l'impedenza vista dal collettore R_L risulta dal parallelo della resistenza di 5KΩ, posta fra collettore e tensione di alimentazione, con l'altra resistenza di 5KΩ che stabilisce a spira chiusa

la connessione di reazione.
Risulta così che il guadagno di T_2 è pari a circa 23.
Il guadagno a spira aperta è perciò :

$$A = A_1 \cdot A_2 \simeq 20 \times 23 = 460 \ .$$

Il fattore di partizione B è dato dal rapporto $250/5250 \simeq 4{,}8 \cdot 10^{-2}$.
Perciò il guadagno del sistema reazionato sarà dato da :

$$G = \frac{A}{1 + BA} = \frac{460}{1 + 460 \cdot 4{,}8 \cdot 10^{-2}} \cong 20 \ .$$

Il condensatore variabile in parallelo alla resistenza di reazione di 5KΩ viene messo per compensare il partitore e viene regolato sperimentalmente sulla risposta di un impulso a gradino, osservando il tempo di salita e la sovraelongazione in uscita.
Il condensatore C_p, che compare tratteggiato in parallelo alle resistenze di carico di collettore sia di T_1 che di T_2, è usato come elemento di compensazione del guadagno a spira aperta regolando una attenuazione alle alte frequenze in modo che faccia cadere l'amplificazione con la pendenza consentita dal criterio di Bode, come descritto nel paragrafo 3.1.4.
Un secondo schema di amplificatore reazionato a due stadi è riportato in Fig. 3.9 dove la reazione negativa viene stabilita prendendo il segnale di reazione sull'emettitore di T_2 e riportandolo direttamente sulla base di T_1.
Il guadagno va calcolato in questo caso tenendo prima di tutto presente che il segnale v_e subisce una attenuazione sulla base di T_1 dovuta al partitore costituito dalle resistenze di reazione R_1 e R_2: a questo fine R_2 è da considerare praticamente a massa sul capo connesso all'emettitore di T_2, e perciò si ha che il segnale di base su T_1 è pari a :

$$v_e \ P_1 = v_e \frac{R_2}{R_1 + R_2} = v_e \frac{5000}{5250} = 0{,}95 \ .$$

Il guadagno di T_1 si calcola con la 3.23 ponendo $R_L = 5K\Omega$ $R_S = 240\Omega$, cioè considerando R_S dovuta al parallelo fra R_1 ed R_2, e si ottiene $A_1 = 460$.
Il guadagno di T_2 sul capo dell'emettitore si calcola ricorrendo alla 3.26 e considerando come resistenza R_S la resistenza di 5KΩ posta sul collettore di T_1 e come resistenza R_F quella dovuta al parallelo fra 2KΩ ed i 5KΩ di R_2 pari a circa 1500Ω. Ciò porta ad avere $A_2 \simeq 0{,}93$.

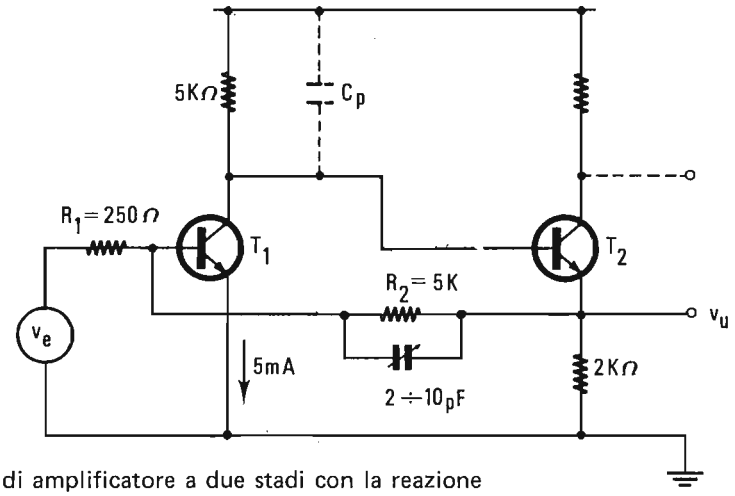


Fig. 3.9 - Schema di amplificatore a due stadi con la reazione fra emettitore di T_2 e base di T_1, disegnato con le stesse convenzioni usate per la fig. 3.7.

Si ha quindi $A = P_1 \cdot A_1 \cdot A_2 = 0{,}95 \times 460 \times 0{,}93 \simeq 410$,
$B = 250/5250$ e $G = 21$.

E' ovvio che una spira reazionata può essere formata includendo anche più di due stadi amplificatori a transistori. **Tanto più numerosi sono gli stadi inclusi nella stessa spira di reazione tanto più instabile diventa il sistema per l'innesco di autooscillazioni. E' per questo che normalmente la singola spira comprende due o tre stadi a transistore, e quando si vuole aumentare ulteriormente il guadagno si mettono più spire di questo tipo in cascata l'una dopo l'altra.**

3.2.3. Lo stadio amplificatore con connessione tipo Darlington.

Nei circuiti a transistori è spesso usata la connessione di Fig. 3.10, nota come connessione Darlington o super - α. Essa presenta un guadagno di corrente fra base di ingresso e collettore oppure fra base di ingresso ed emettitore d'uscita molto elevato e praticamente uguale al prodotto $\beta_{n1} \cdot \beta_{n2}$.

Come è indicato in figura, si calcola facilmente che :

$$(3.28) \qquad I_c = I_{c1} + I_{c2} = \beta_{n1} I_{b1} + \beta_{n2} (1 + \beta_{n1}) I_{b1}$$

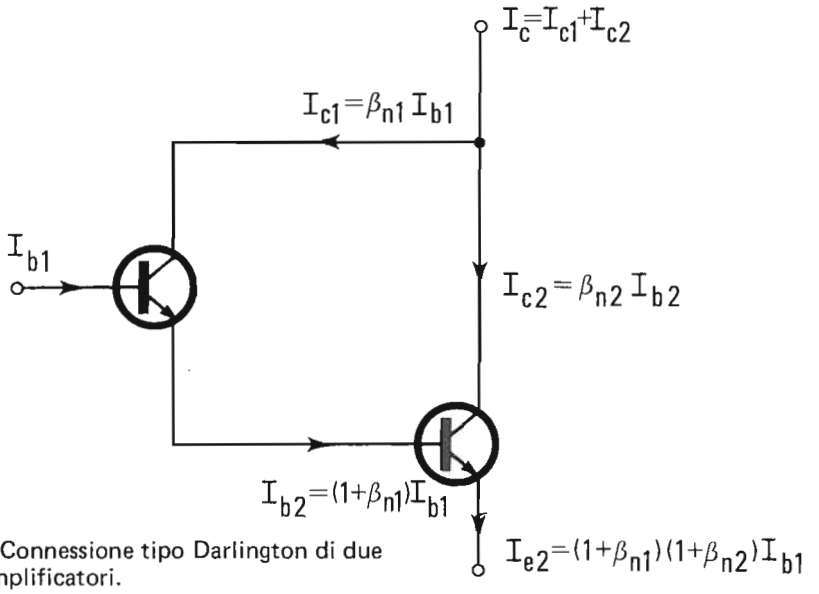


Fig. 3.10 - Connessione tipo Darlington di due transistori amplificatori.

il β_n totale della connessione risulta quindi :

$$(3.29) \qquad \beta_n = I_c/I_{b_1} = \beta_{n_1}\beta_{n_2} + \beta_{n_1} + \beta_{n_2} \simeq \beta_{n_1}\beta_{n_2}$$

lo schema tipo Darlington consente di ottenere un elevato guadagno se usato in connessione ad emettitore comune; infine presenta una più bassa resistenza d'uscita se usato quale inseguitore ad emettitore nella connessione a collettore comune, come avviene nello stadio finale d'uscita degli amplificatori.

3.2.4, L'amplificatore differenziale .

Come suggerisce il nome, **l'amplificatore differenziale viene usato per amplificare la differenza fra due segnali diversi in entrata.** Lo schema di principio è riportato in Fig. 3.11.

La ragione dell'importanza crescente che l'amplificatore differenziale ha acquistato recentemente, è dovuta al fatto che **è più agevole realizzare su circuiti integrati schemi di amplificatori, con prestazioni diversificate, accoppiando in continua stadi successivi del tipo di** Fig. 3.11.

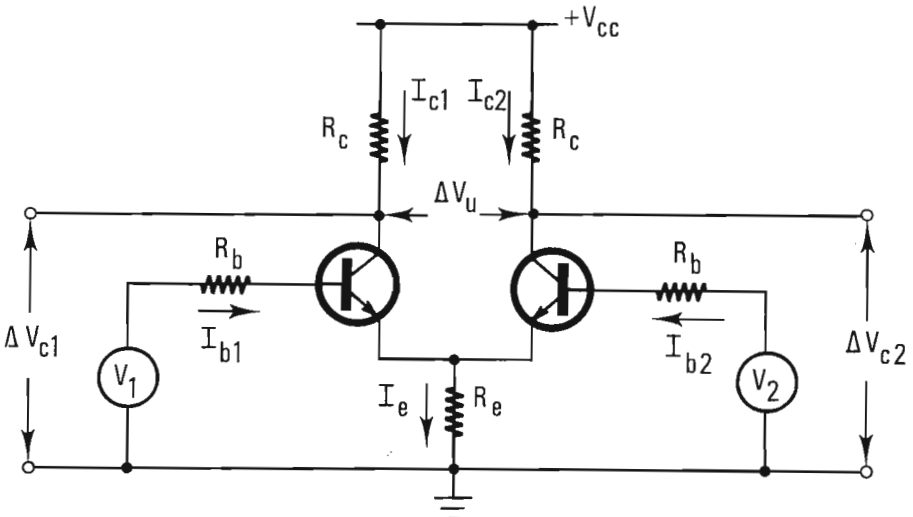


Fig. 3.11 - Schema di principio di un stadio amplificatore differenziale.

Infatti è relativamente difficoltoso realizzare su un circuito integrato condensatori con capacità superiori a qualche migliaio di pF come sono in genere richiesti per accoppiare stadi successivi del tipo descritto in paragrafo 3.2.1. Viceversa **gli accoppiamenti a condensatore sono eliminabili con lo stadio di** Fig. 3.11, **perchè è possibile collegarlo direttamente in continua ad altri stadi analoghi.**

Negli amplificatori differenziali è importante tenere distinti **il guadagno di amplificazione cosiddetto di "modo comune"** A_{cm} **dal guadagno di modo differenziale** A_{dd}. Infatti in generale si può scrivere che l'uscita di tensione sul collettore è data da :

$$(3.30) \qquad \Delta V_{c1} = A_{dd}(\Delta V_1 - \Delta V_2) + A_{cm}\frac{\Delta V_1 + \Delta V_2}{2} \quad .$$

Cioè, nell'ipotesi di linearità, si può separare il contributo dovuto alla differenza delle variazioni delle tensioni di ingresso, da quello dovuto alla loro somma.

Sicchè il termine A_{cm} mette in evidenza come varia l'uscita quando $\Delta V_1 = \Delta V_2$, cioè quando si varia di uno stesso ammontare le tensioni alle due entrate; viceversa A_{dd} mette in evidenza l'amplificazione quando il livello medio di entrata rimane lo stesso, cioè $\Delta V_1 + \Delta V_2 = O$ e le due

tensioni d'entrata variano in senso opposto.
La condizione ideale di un amplificatore differenziale sarebbe quella di avere A_{cm} quanto più piccolo possibile, mentre A_{dd} il più grande possibile. E' perciò molto interessante il parametro cosiddetto di **"reiezione di modo comune"** (common-mode rejection) **che caratterizza ogni particolare schema circuitale per amplificatore differenziale e che è definito come il rapporto** :

$$R_{cm} = \frac{A_{dd}}{A_{cm}} \quad . \tag{3.31}$$

Valutiamo dapprima il valore di A_{cm} per lo schema di fig. 3.11 imponendo una variazione comune di tensione alle due entrate.
Come schema equivalente per l'entrata di un transistore, valido anche per l'altro a causa della simmetria dell'amplificatore, possiamo adottare lo schema di fig. 3.12 dove è indicata con r_i la resistenza d'entrata vista fra l'elettrodo di base e l'elettrodo di emettitore la quale, com'è noto dallo schema equivalente a T del transistore di fig.2.24 risulta pari a
$r_i = r_b + r_e \cdot (1 + \beta_n)$.
Per un segnale di modo comune, la tensione di entrambi gli emettitori subisce una variazione:

$$(\Delta V_e)_{cm} \simeq \Delta V_1 = \Delta V_2 = (\Delta I_e)_{cm} \cdot R_e \tag{3.32}$$

a causa della simmetria, dello schema abbiamo :

$$\Delta I_{e1} = \Delta I_{e2} \tag{3.33}$$
$$(\Delta I_e)_{cm} = \Delta I_{e1} + \Delta I_{e1} = 2\Delta I_{e1} = 2\Delta I_{e2}$$

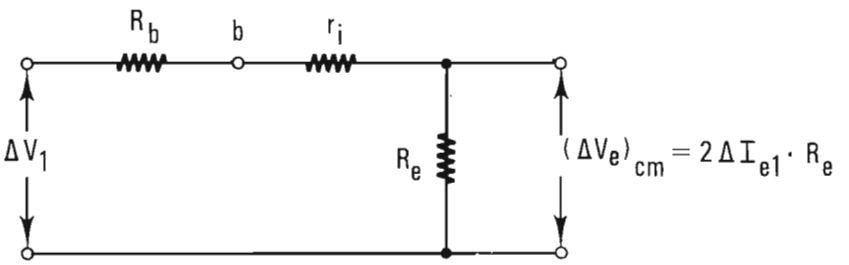


Fig. 3.12 - Schema equivalente per il calcolo di $(\Delta V_e)_{cm}$.

sicchè possiamo scrivere :

$$\Delta V_1 = \Delta I_{b1}\,(R_b + r_i) + 2\,\Delta I_{e1}\,R_e = \Delta I_{b1}\,[R_b + r_i + 2\,(\beta_n + 1)R_e]\,. \tag{3.34}$$

Con buona approssimazione possiamo anche ritenere che :

$$\begin{cases} \Delta I_{c1} = \beta_n \Delta I_{b1} \\ \Delta V_{c1} = \Delta I_{c1}\;R_c = \Delta I_{b1}\cdot\beta_n R_c \end{cases} \tag{3.35}$$

il guadagno di modo comune è dato quindi da :

$$|A_{cm}| = \frac{\Delta V_{c1}}{(\Delta V_1 + \Delta V_2)/2} = \frac{\Delta V_{c1}}{\Delta V_1} \cong \simeq \frac{\beta_n R_c}{(2\beta_n + 1)\,R_e + R_b + r_i}\,. \tag{3.36}$$

Da questa espressione approssimata si ricava che A_{cm} diminuisce al crescere di R_e.

Se ora passiamo a valutare il guadagno differenziale imponendo $\Delta V_1 = -\Delta V_2$, osserviamo che $\Delta V_e = 0$, perchè la simmetria del circuito e dello sbilanciamento in senso opposto dei due ingressi fa in modo che la tensione degli emettitori resti invariata. Se per semplicità trascuriamo il contributo dovuto alla r_e come dato della (3.23), si calcola facilmente :

$$\begin{aligned} \Delta V_1 &= \Delta I_{b1}\,(R_b + r_i) \\ \Delta V_{c1} &= \Delta I_{b1}\cdot\beta_n R_c \\ \Delta V_{c2} &= \Delta I_{b1}\cdot\beta_n R_c \\ \Delta V_u &= \Delta V_{c1} - \Delta V_{c2} = 2\Delta I_{b1}\cdot\beta_n R_c\,. \end{aligned} \tag{3.37}$$

Il guadagno Add è perciò dato da :

$$|A_{dd}| = \frac{\Delta V_{c1}}{\Delta V_1 - \Delta V_2} = \frac{\Delta V_{c2}}{\Delta V_1 - \Delta V_2} = \frac{\beta_n R_c}{2\,(R_b + r_i)}\,. \tag{3.38}$$

Si conclude infine che il rapporto di reiezione di modo comune risulta :

$$R_{cm} = \frac{A_{dd}}{A_{cm}} = \frac{1}{2} + \frac{(\beta_n + 1)\;R_e}{R_b + r_i}\,. \tag{3.39}$$

Osserviamo così che, nella trattazione di prima approssimazione finora svolta, A_{dd} **è indipendente da** R_e, A_{cm} **diminuisce all'aumentare di** R_e,

Per avvicinarsi quindi alla condizione ideale dell'amplificatore differenziale è vantaggioso fare R_e più grande possibile, cioè adottare al posto di R_e un generatore di corrente. Spesso questo si ottiene sostituendo il resistore R_e con un transistore come in fig. 3.13, polarizzato con tensione costante in base e con una resistenza in emettitore che fissa la corrente I_e.

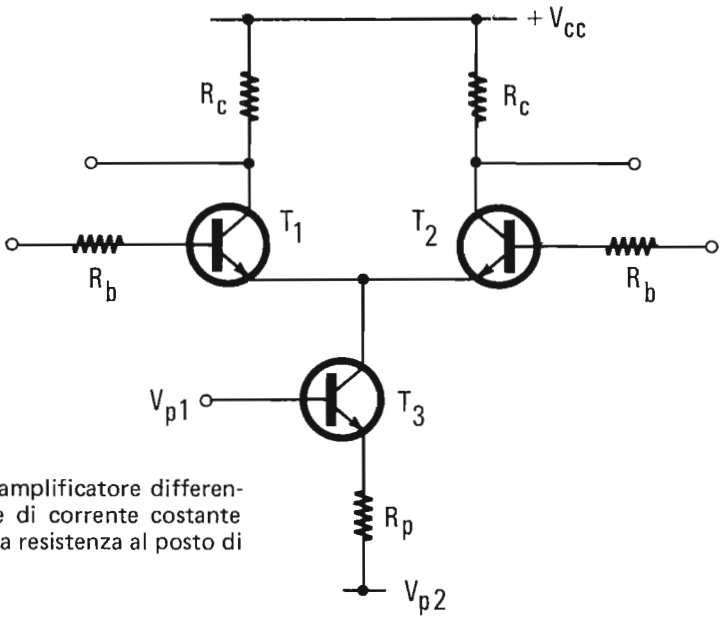


Fig. 3.13 - Stadio amplificatore differenziale con generatore di corrente costante per offrire una elevata resistenza al posto di R_e di Fig. (3.11).

Il transistore T_3 si comporta sul terminale di collettore come un generatore ad alta impedenza di uscita che fornisce una corrente costante pari a:

$$I_c = \alpha_n I_e = \alpha_n \frac{V_{p1} - V_{p2}}{R_p} \quad . \tag{3.40}$$

La connessione di T_3 è del tipo a base comune perchè la base è direttamente collegata al generatore di tensione V_{p1} che per il segnale è come se fosse massa. Il collettore di T_3 presenta perciò la resistenza dinamica di collettore r_c che è sempre dell'ordine dei mega-ohm.

3.2.5. L'amplificatore operazionale.

La denominazione "**operazionale**" è stata coniata quando questi amplificatori venivano **usati soprattutto nei calcolatori analogici per compiere varie operazioni matematiche come la somma, la sottrazione, l'integrazione e la**

derivazione di segnali analogici.

Per analizzare e capire più facilmente le proprietà di questi amplificatori conviene partire dallo schema di fig. 3.14, assumendo che l'amplificatore invertitore abbia un guadagno - A infinito. Le alterazioni di queste proprietà con un guadagno finito saranno così dedotte e comprese più semplicemente.

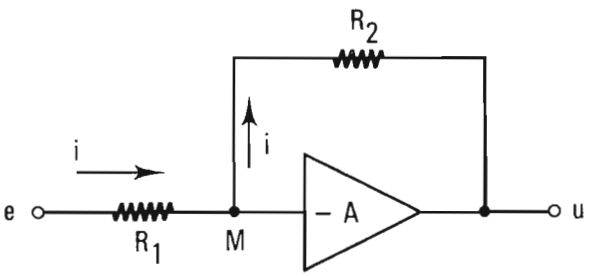


Fig. 3.14 - Schema funzionale di un amplificatore operazionale.

Per illustrare intuitivamente il funzionamento del circuito quando $-A = -\infty$, basta osservare che l'effetto di un segnale di ingresso capace di introdurre una variazione di tensione finita nel terminale M, sarebbe quello di generare una risposta u(t) infinita. Attraverso la resistenza di reazione R_2 si richiederebbe quindi una corrente infinita al terminale di ingresso. **Ma se una corrente infinita fluisce in risposta ad una variazione di tensione finita, ciò significa che l'effettiva impedenza d'ingresso dell'amplificatore nel terminale M deve essere zero. Perciò per variazioni finite di u(t) il terminale d'ingresso rimane vincolato alla tensione di massa e si dice essere a "massa virtuale".**

Se la tensione della massa vituale è zero, le correnti in R_1 ed R_2 sono determinate unicamente dalle tensioni ai terminali di ingresso e di uscita, e poichè l'ingresso dell'amplificatore - A non assorbe corrente, ciò significa che deve essere :

$$\frac{e}{R_1} = -\frac{u}{R_2} \tag{3.41}$$

cioè il guadagno del sistema reazionato è dato da :

$$G = \frac{u}{e} = -\frac{R_2}{R_1} \quad , \tag{3.42}$$

Il segno negativo corrisponde all'inversione di polarità introdotta dall'amplificatore – A. Tutta la corrente che fluisce in R_1 verso la massa virtuale, rifluisce dalla massa virtuale in R_2 verso l'uscita: **il guadagno è determinato unicamente dagli elementi passivi della rete di reazione R_1 ed R_2.**
Se l'amplificazione – A ha un valore finito, come nel caso reale, tutto il ragionamento finora svolto va modificato tenendo presente l'esistenza di un piccolo cambiamento di tensione v_m che si genera nel nodo M della massa virtuale. In questo caso devono valere le seguenti relazioni :

$$(3.43) \qquad \begin{cases} e - v_m = i R_1 \\ u - v_m = - i R_2 \\ u = - A v_m \end{cases}$$

eliminando v_m ed i si ottiene :

$$(3.44) \qquad \frac{u}{e} = - \frac{R_2}{R_1} \cdot \frac{1}{1 + \frac{1}{A} \left(\frac{R_1 + R_2}{R_1}\right)} .$$

Se si considerano le resistenze R_1 ed R_2 come formanti il partitore di reazione del circuito B di fig. 3.1, possiamo scrivere :

$$(3.45) \qquad B = \frac{R_1}{R_1 + R_2}$$

sostituendo la (3.45) nella (3.44) abbiamo :

$$(3.46) \qquad G = \frac{u}{e} = - \frac{R_2}{R_1} \cdot \frac{A \cdot B}{1 + A \cdot B} = - \frac{R_2}{R_1} \cdot \frac{L}{1 + L}$$

essendo il guadagno di spira L sempre molto più grande di uno, ne consegue che la 3.46 coincide praticamente con la (3.42).

3.2.6. Alcune applicazioni tipiche dell'amplificatore operazionale.

La fig. 3.15 mostra lo schema di connessione dell'amplificatore operazionale **per ottenere in uscita la somma dei segnali di entrata.** Sempre tenendo conto dell'equilibrio delle correnti nel nodo di ingresso dell'amplificatore a massa virtuale, si deve scrivere :

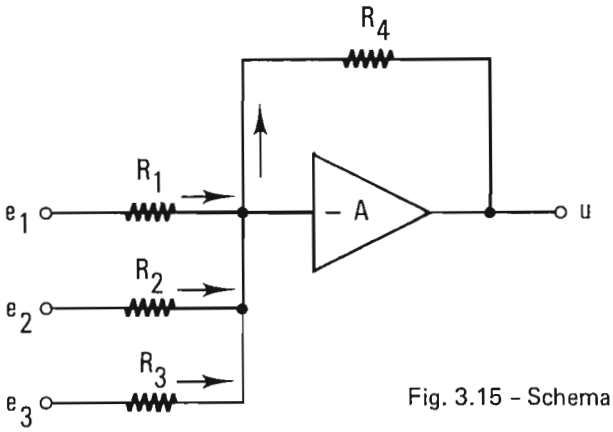


Fig. 3.15 - Schema dell'amplificatore sommatore.

$$(3.47) \qquad \frac{e_1}{R_1} + \frac{e_3}{R_2} + \frac{e_3}{R_3} = -\frac{u}{R_4}$$

in funzione dei valori delle resistenze R_1, l'uscita risulta una somma pesata delle tensioni di ingresso. Viceversa se si sceglie $R_1 = R_2 = R_3 = R_4$ allora l'uscita è esattamente la somma delle entrate cambiate di segno.

In fig. 3.16 si riporta la connessione **per ottenere l'operazione di integrazione.** Deve valere :

$$i_R = i_C \qquad \frac{e}{R} = -C\frac{du}{dt}$$

da cui si deduce :

$$(3.48) \qquad u = -\frac{1}{RC} \cdot \int e\,dt \quad .$$

Analogamente per lo schema di fig. 3.17 usato per l'operazione di derivazione, si ottiene :

$$i_C = i_R \qquad C\frac{de}{dt} = -\frac{u}{R}$$

che può essere presentata come segue :

$$(3.49) \qquad u = -RC\frac{de}{dt} \quad .$$

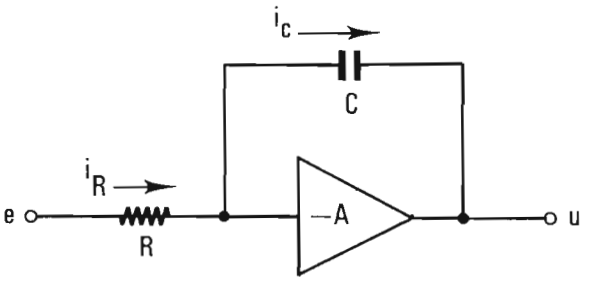


Fig. 3.16 - Amplificatore integratore.

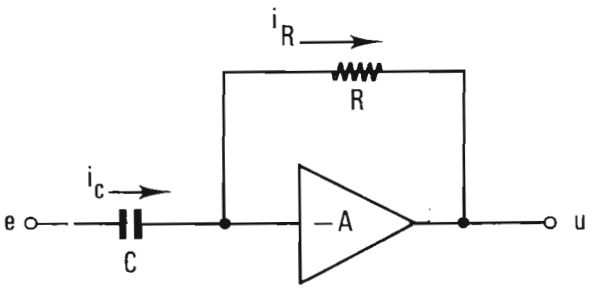


Fig. 3.17 - Amplificatore derivatore.

Infine accenniamo all'applicazione di più amplificatori operazionali interconnessi fra loro per risolvere simultaneamente **sistemi di equazioni algebriche lineari**. In fig. 3.18 si riporta lo schema di principio per risolvere due equazioni nelle incognite u_1 ed u_2.
Scrivendo l'equilibrio delle correnti nel nodo a massa virtuale del primo amplificatore abbiamo :

$$\frac{e_1}{R_1} = -\frac{u_1}{R_2} - \frac{u_2}{R_6} \tag{3.50}$$

mentre per il nodo del secondo amplificatore abbiamo :

$$\frac{e_2}{R_4} = -\frac{u_1}{R_3} - \frac{u_2}{R_5} \quad . \tag{3.51}$$

Le soluzioni u_1 ed u_2 delle due equazioni sono ottenute osservando le tensioni di uscita dei due amplificatori. Si può verificare che il circuito di fig. 3.18 diventa instabile per certe posizioni dei valori delle resistenze R_1, R_2 ecc., giacchè attraverso gli accoppiamenti dovuti ad R_3 ed R_6 si formano delle spire di ritorno fra l'uno e l'altro amplificatore senza inversione di polarità, in questi casi occorre modificare la configurazione degli accoppiamenti ed i valori delle resistenze. Lo schema può essere ovviamen-

te estrapolato per risolvere equazioni con più di due incognite.

L'utilità degli schemi descritti in questo paragrafo non è solo limitata alle applicazioni tipiche dei calcolatori analogici, ma è estesa anche agli amplificatori per impulsi ed alla strumentazione di misura giacchè i segnali vengono sottoposti alle operazioni descritte nel tempo stesso in cui si evolvono e le loro elaborazioni si ottengono simultaneamente all'uscita subendo il solo ritardo dovuto al tempo di trasmissione nell'amplificatore.

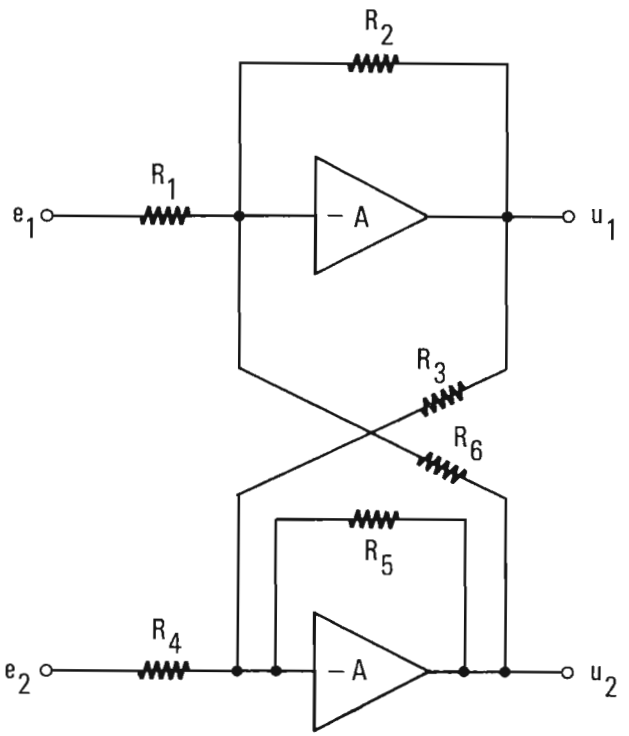


Fig. 3.18 - Sistema di due amplificatori operazionali connessi per risolvere un sistema di due equazioni algebriche lineari.

Capitolo 4

CIRCUITI PER LA FORMAZIONE DEGLI IMPULSI CON COMPONENTI NON LINEARI.

Nel primo capitolo abbiamo esaminato come le forme d'onda e i segnali impulsivi risultino modificati da circuiti con componenti lineari. Abbiamo poi considerato nel secondo capitolo i componenti attivi come interruttori elettronici mettendo in evidenza soprattutto le loro caratteristiche di non linearità quando sono eccitati con ampi segnali impulsivi.
Passiamo ora ad esaminare come questi componenti attivi in funzionamento non-lineare vengono usati insieme con gli elementi R, L, C per ottenere nuove e particolari operazioni di formazione sulle forme di onda.

4.1. CIRCUITI DI VINCOLO O CIRCUITI FISSATORI.

I circuiti di vincolo o circuiti fissatori, indicati nella letteratura anglosassone come **"clamping circuits" portano questa denominazione perchè in uscita presentano il segnale**, costituito da una sequenza generica di forme d'onda ricorrenti, **sempre vincolato a restare tutto al di sotto o tutto al disopra di una prefissata tensione di riferimento. Essi cioè fissano il segnale d'uscita sopra o sotto questa tensione.**
Questi circuiti sono spesso indicati come "d.c. restorers", o **reinseritori di componente continua, perchè permettono di reinserire, in una sequenza di forme d'onda periodiche, una componente continua che sia andata perduta per precedenti accoppiamenti capacitivi.**
Per descrivere il modo di funzionare di questi circuiti consideriamo dapprima un semplice circuito R-C quasi-derivatore eccitato in entrata da una

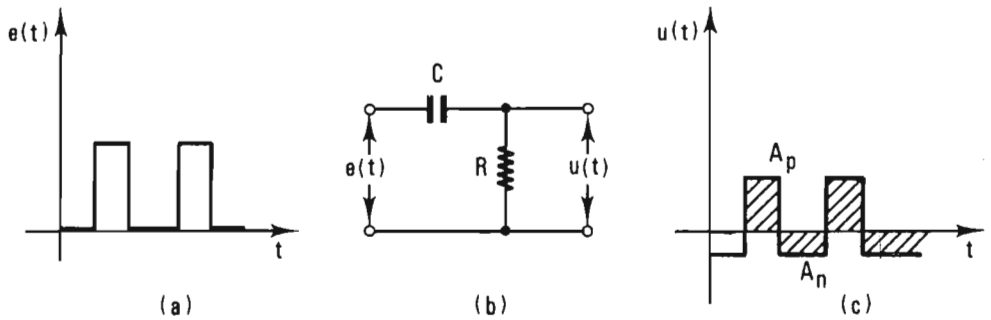


Fig. 4.1 - (a) Segnale di entrata impostato sullo zero. - (b) Circuito con accoppiamento capacitivo. - (c) Segnale di uscita in cui viene perduta la componente continua e si ha $A_p = A_n$.

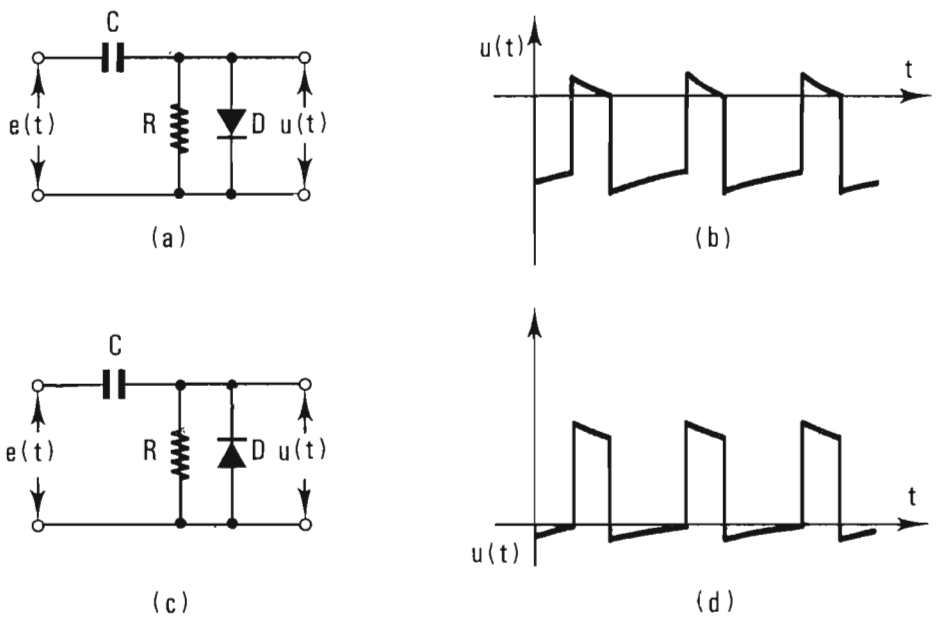


Fig. 4.2 - (a) (b) (c) (d) - Circuito di vincolo con forma d'onda impostata al di sotto o al di sopra del livello zero a seconda della polarità di connessione del diodo D.

sequenza di impulsi rettangolari. Qualsiasi sia il livello in continua su cui sono impostati gli impulsi in entrata, l'accoppiamento capacitivo fa sì che si abbia in uscita una sequenza la cui componente continua è zero; il **condensatore C non può trasmettere componenti in continua, e perciò le aree positive del segnale d'uscita devono essere eguali alle aree negative.**
Se ora poniamo in parallelo alla resistenza R il diodo D come in fig. 4.2 (a) o 4.2 (c) vediamo che il segnale di uscita rimane tutto impostato al di sotto o al di sopra della tensione di polarizzazione del diodo: più precisamente, il segnale in uscita risulta tutto spostato verso la regione in cui il diodo non conduce presentando solo piccole code al di là della tensione di polarizzazione.

4.1.1. Teorema delle aree.

Riesaminiamo il circuito di vincolo al di sotto del livello zero come in fig. 4.3 (a). **L'azione di vincolo si esercita per effetto della tensione a cui si carica il condensatore C durante gli intervalli in cui la tensione di entrata è positiva.** Infatti, quando e(t) è positiva, C è in serie alla resistenza di polarizzazione diretta del diodo D. Viceversa quando la tensione e(t) è negativa, il condensatore si scarica attraverso la resistenza R, giacchè il diodo è interdetto. Dopo un transiente che può durare diversi periodi del segnale

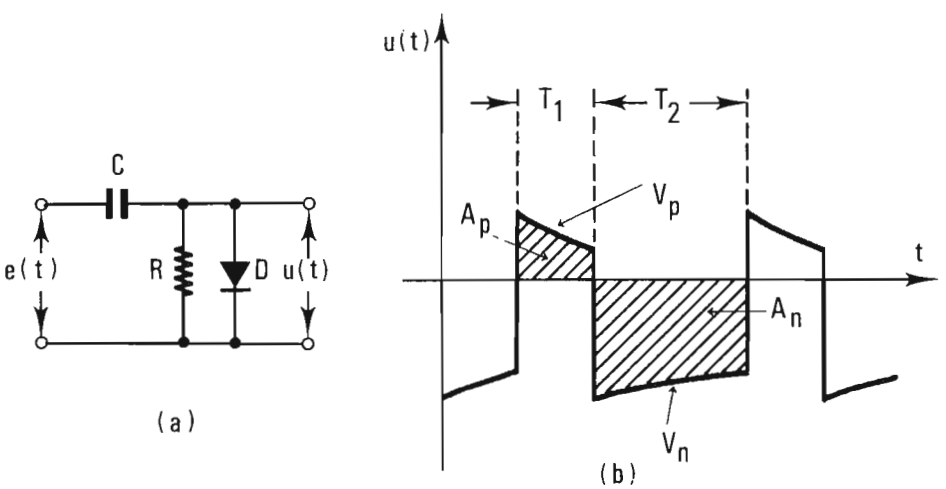


Fig. 4.3 - (a) (b) - Nel circuito di vincolo il rapporto delle aree A_p e A_n è eguale al rapporto della resistenza R_d del diodo con la resistenza R.

ripetitivo di ingresso, si raggiunge una situazione stazionaria in cui la carica che si accumula sugli elettrodi del condensatore durante le fasi positive del segnale in uscita deve essere eguale alla carica che si disperde nelle fasi negative dello stesso segnale. La corrente in R_D e in R fluisce in senso opposto nelle due fasi.
Vogliamo ora dimostrare **che l'area positiva indicata con A_p in** fig. 4.3 (b) **è in rapporto all'area negativa A_n come R_D sta ad R.**
Se chiamiamo con $V_p(t)$ la tensione positiva di uscita durante l'intervallo positivo T_1, possiamo scrivere che la carica positiva Q_p accumulata sul condensatore è :

$$(4.1) \qquad Q_p = \int_o^{T_1} i_p dt = \frac{1}{R_D}\int_o^{T_1} V_p(t)\, dt = \frac{A_p}{R_D}$$

mentre la carica perduta Q_n durante l'intervallo negativo T_2 è :

$$(4.2) \qquad Q_n = \int_o^{T_2} i_n dt = \frac{1}{R}\int_o^{T_2} V_n(t)\, dt = \frac{A_n}{R} \quad .$$

Dovendo essere $Q_p = Q_n$, abbiamo quindi :

$$(4.3) \qquad \frac{A_p}{R_D} = \frac{A_n}{R} \quad .$$

Da cui è immediato concludere che tanto più piccola è R_D rispetto ad R tanto più è A_p trascurabile rispetto ad A_n: cioè il segnale d'uscita rimane impostato praticamente tutto al di sotto dello zero.
Viceversa la (4.3) conferma che quando manca il diodo allora anche negli intervalli positivi la sola resistenza in gioco è R, cioè nella (4.3) occorre porre $R_D = R$, e perciò si ha $A_p = A_n$.

4.1.2. Vincoli per tensioni diverse da zero.

Se il diodo è polarizzato ad una tensione V_o, esso può condurre corrente solo quando la tensione applicata superi V_o. **In questo modo il segnale di uscita risulterà impostato tutto al di sotto di V_o, oppure al di sopra di V_o se si inverte la connessione del diodo. Il teorema delle aree rimane valido purchè A_p e A_n siano calcolate rispetto al livello V_o.**
La polarizzazione a V_o può essere fatta come in fig. 4.4 (a) e 4.4 (b) che

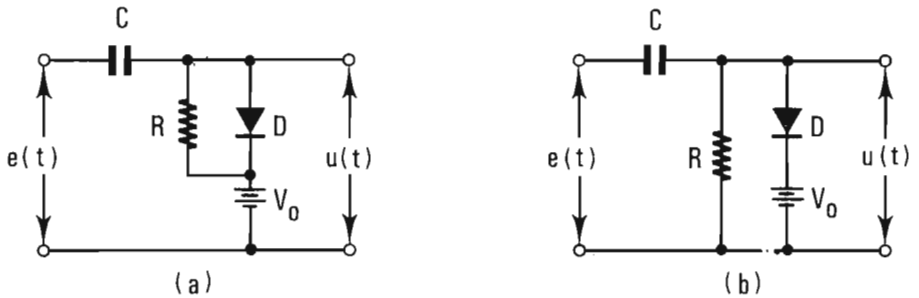


Fig. 4.4 - (a) (b) - Circuiti di vincolo alla tensione V_0.

sono perfettamente equivalenti quando il segnale di entrata e(t) ha una ampiezza sufficientemente grande.
Infatti, mentre lo schema 4.4 (a) è valido sempre, quello di fig. 4.4 (b) con la resistenza R in parallelo sia al diodo che alla tensione di polarizzazione V_0, funziona correttamente solo se il segnale ai capi di R supera la tensione V_0 in modo che il condensatore C si possa caricare attraverso R_D durante le escursioni positive del segnale.
Nel caso di fig. 4.4 (b), se l'escursione del segnale di ingresso è piccola rispetto a V_0, il diodo D rimane polarizzato inversamente e l'uscita vede un semplice circuito R–C, con il che risulta eliminata l'azione di fissaggio.

4.2. CIRCUITI DI TAGLIO.

Questi circuiti sono impiegati quando si vuole trasmettere in uscita solo quella parte del segnale che in entrata è al di sopra o al di sotto di un dato livello di riferimento V_R: si desidera cioè che la funzione di trasferimento sia nulla ad esempio, per tutti i valori di e(t) al di sotto di V_R e pari ad 1 al di sopra di V_R, o viceversa.
L'operazione è sostanzialmente diversa da quella dei circuiti di vincolo dove si ha uno spostamento di tutto il segnale rispetto alla tensione di vincolo, **mentre ora si ha la soppressione di tutta quella parte del segnale che si trova al di sotto o al di sopra della tensione di riferimento.**
In linea di principio questi circuiti possono essere realizzati con un interruttore che commuta da aperto a chiuso quando il segnale passa per la tensione V_R. L'interruttore può essere messo in serie sul collegamento fra entrata ed uscita, come in fig. 4.5 (a), ed allora si deve chiudere per i valori del segnale da trasmettere; oppure può essere messo in parallelo ai mor-

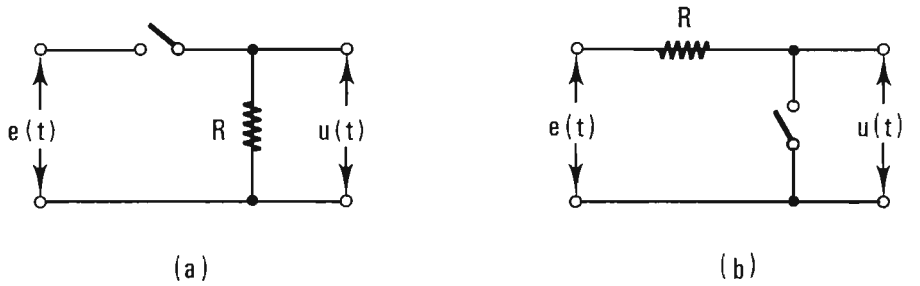


Fig. 4.5 - (a) (b) - Schemi di principio per circuiti di taglio con interruttore in serie (a) che si chiude alla tensione di riferimento V_R, oppure con interruttori in parallelo (b) che si apre alla tensione V_R per trasmettere il segnale.

setti di uscita come in fig. 4.5 (b), ed allora si deve aprire quando si vuole la trasmissione del segnale d'entrata.

4.2.1. Taglio con diodi.

Come interruttore elettronico capace di commutare alla tensione V_R, si può ovviamente usare un diodo polarizzato in uno dei modi segnalati in fig. 4.6, a seconda che si voglia la trasmissione al di sopra o al di sotto di V_R.

Ad esempio, applicando in entrata una sinusoide, si avrà in uscita il segnale mostrato a tratto continuo.**In questa schematizzazione abbiamo considerato il diodo come interruttore ideale che ha impedenza infinita quando è interdetto ed impedenza zero quando conduce.** In realtà occorre tener presente diverse cause di scostamento da questa situazione ideale. La prima è data dal fatto che il punto di commutazione del diodo non è esattamente a V_R, ma si trova spostato verso la conduzione del diodo della tensione di impennata V_i indicata nel paragrafo 2.2.2.

La seconda è dovuta alla resistenza del diodo in conduzione che, non solo è diversa da zero ma, come si vede da fig. 2.12 non è costante al variare della tensione ai capi del diodo; sicchè lo **schema equivalente dei circuiti di** fig. 4.6, **quando il diodo conduce, può approssimarsi ad un partitore con il ramo del diodo corrispondente ad una resistenza finita e variabile con la tensione.**

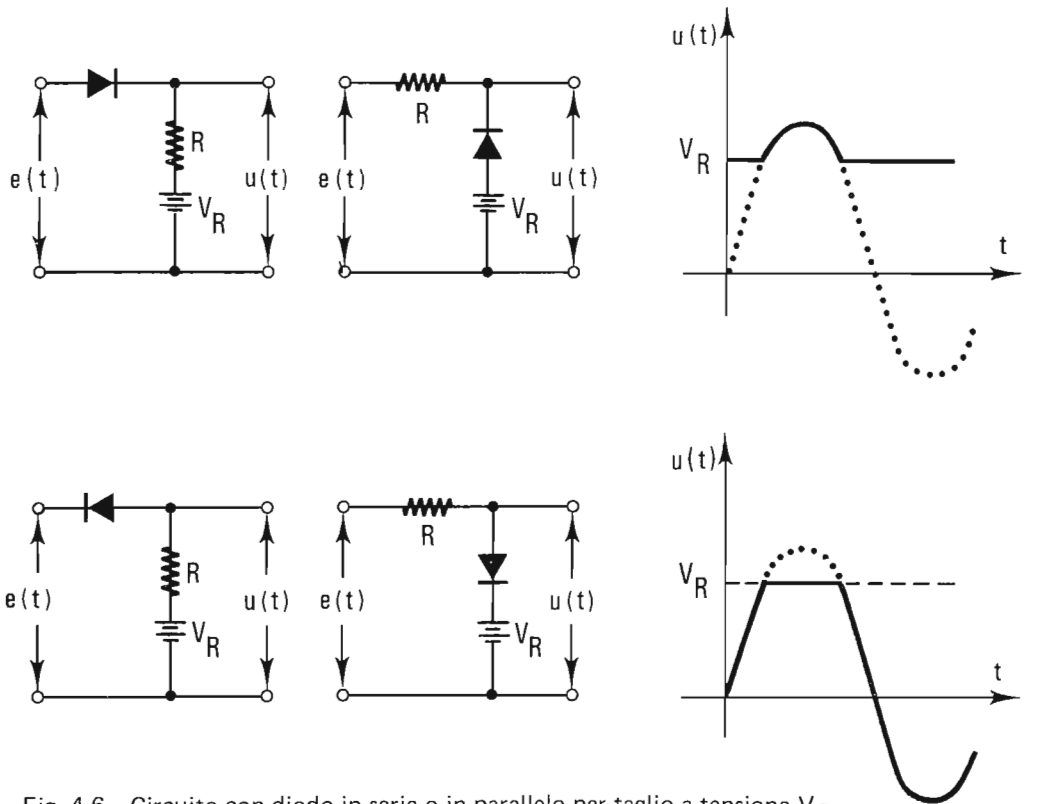


Fig. 4.6 - Circuito con diodo in serie o in parallelo per taglio a tensione V_R.

Infine occorre tener conto della capacità parassita in parallelo ad R che contribuisce ad integrare i fronti d'onda del segnale impulsivo, e della capacità di giunzione del diodo che tende a stabilire una trasmissione capacitiva dei fronti d'onda molto ripidi anche quando il diodo è interdetto.

4.2.2. Taglio con transistori.

Il transistore ha due non-linearità ben definite: il livello di tensione che separa la regione d'interdizione dalla regione attiva ed il livello di corrente che, per una prefissata resistenza di collettore R_C, porta il transistore dalla regione attiva alla saturazione.

Entrambi questi livelli possono essere utilizzati per operare un taglio con uno stadio a transistore. Nella connessione ad emettitore comune di fig. 4.7(a) dobbiamo tener presente che, oltre all'operazione di taglio, si

ha un'inversione di polarità fra tensione di entrata e tensione di uscita. Inoltre, desiderando che nella regione attiva la risposta sia lineare, occorre comandare la base con **un segnale di corrente piuttosto che di tensione**: infatti, dalla (2.11) vediamo che la corrente di collettore è una funzione esponenziale della tensione V_{be}, mentre è una funzione lineare della corrente di base. A questo fine si inserisce la resistenza R_b in serie al terminale di base in modo che il segnale di comando v_e risulti :

$$I_b = \frac{v_e - V_{be}}{R_b} \tag{4.4}$$

che, a meno della tensione base-emettitore V_{be}, è così proporzionale ad I_b. La tensione V_i di soglia o di "cut-in", **cioè la tensione a cui comincia a fluire la corrente di base nella giunzione diodica base-emettitore** (vedi fig. 2.11),è anche la tensione di taglio nel passaggio dall'interdizione alla zona attiva. Viceversa, per calcolare il livello di taglio nel passaggio di saturazione, dobbiamo prima vedere qual'è la corrente di base che porta il transistore in saturazione.

Trascurando la tensione V_{ce} in saturazione e considerando che all'inizio della zona di saturazione il guadagno di corrente β_n sia lo stesso che nella regione attiva, possiamo scrivere :

$$I_{bs} \simeq \frac{I_{cs}}{\beta_n} \simeq \frac{1}{\beta_n} \frac{V_{cc}}{R_c} \tag{4.5}$$

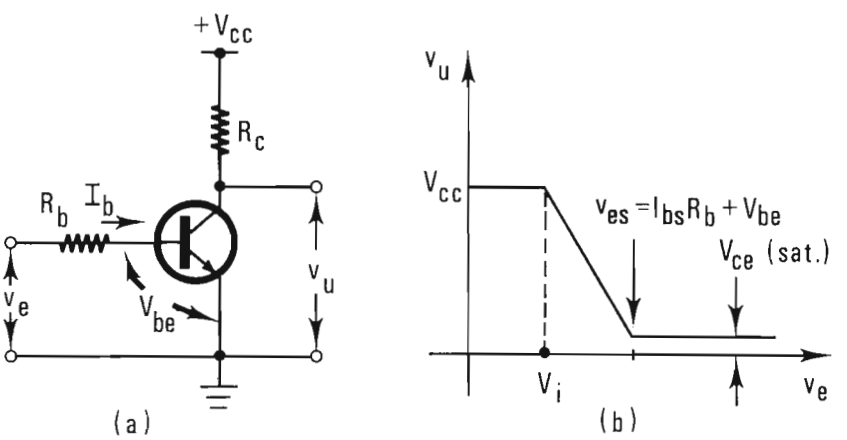


Fig. 4.7 - (a) (b) - Circuito di taglio a transistore.

cioè la tensione di taglio in ingresso risulta essere :

$$v_{es} = I_{bs} \cdot R_b + V_{be} \quad . \tag{4.6}$$

La curva caratteristica di trasmissione è perciò quella indicata in fig. 4.7(b). Il taglio verso la zona di saturazione può essere ottenuto con un diodo polarizzato come in fig. 4.8 (a) alla tensione V_D, Questa tensione costituisce così la nuova tensione di taglio al di sotto della quale non può scendere il collettore del transistore. Ciò può essere descritto anche riferendosi alle curve caratteristiche del transistore ed alla retta di carico che in questo caso diventa non lineare. Infatti, come si osserva in fig. 4.8 (b), la retta di carico ha la pendenza $-1/R_c$ tra la tensione V_{cc} e la tensione V_D, mentre ha praticamente la pendenza $-1/R_D$ dalla tensione V_D in poi. In realtà a questa tensione la retta di carico risulta dal parallelo fra R_D ed R_c, ma poichè R_D è molto piccola, dell'ordine degli ohm o al massimo delle decine di ohm, si vede che da V_D in poi la retta acquista una pendenza molto elevata e quasi parallela all'asse delle ordinate, tale da mantenere praticamente il collettore alla tensione V_D indipendentemente dal valore di corrente I_c. Quando si adottano circuiti di taglio come quello di fig. 4.8, occorre controllare che **la potenza dissipata dal transistore non sia eccessiva, cioè che il prodotto $V_D \cdot I_c$ non vada fuori della zona di dissipazione massima consentita.**

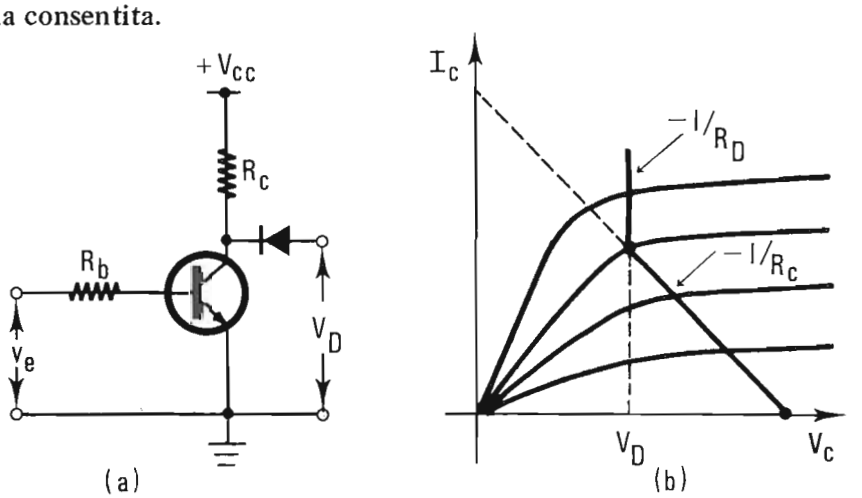


Fig. 4.8 – Circuito di taglio alla tensione V_D ottenuto con il diodo collegato al collettore del transistore come in figura (a) che modifica la retta di carico come in figura (b).

4.2.3. Taglio a due livelli indipendenti con diodi.

Il circuito precedente presenta sì due livelli di taglio, ma essi non sono regolabili indipendentemente: la separazione è fissata dal valore I_{bs} della corrente di saturazione.

I circuiti a diodi di fig. 4.6 possono essere facilmente estesi per tagliare a due livelli indipendenti, come indicato in fig. 4.9.

La curva di trasmissione si costruisce facilmente tenendo presente che:

- per $e(t) \leqslant V_{R1}$, il diodo D_1 è in conduzione e D_2 è interdetto, perciò deve essere $u(t) = V_{R1}$;
- per $V_{R1} < e(t) < V_{R2}$, entrambi i diodi sono interdetti e si ha $u(t) = e(t)$;
- per $e(t) \geqslant V_{R1}$, il diodo D_2 è in conduzione mentre D_1 resta interdetto, perciò deve essere: $u(t) = V_{R2}$.

Le tensioni di riferimento V_{R1} e V_{R2} possono essere positive o negative, ognuna indipendentemente dall'altra, l'unica condizione da soddisfare è quella di mantenere sempre $V_{R1} < V_{R2}$.

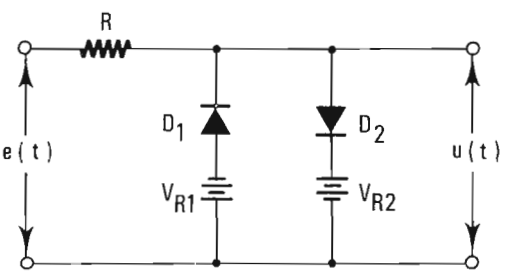


Fig. 4.9 - (a) (b) - Circuito di taglio a due livelli indipendenti con diodi.

4.2.4. Taglio a due livelli indipendenti con transistori.

Il circuito con i due transistori accoppiati ad emettitore di fig. 4.10 (a) può essere usato per taglio a due livelli indipendenti.

Consideriamo di partire con tensioni di ingresso negative rispetto a V_1. Aumentando il livello di v_e, passeremo dalla condizione in cui T_1 è interdetto a quella in cui entrambi i transistori T_1 e T_2 conducono. Questo passaggio avviene circa alla tensione V_1 di polarizzazione della base di T_2. In questa prima approssimazione si sono trascurati i contributi delle tensioni di giunzione base-emettitore dei due transistori, le quali per altro tendono a compensarsi parzialmente.

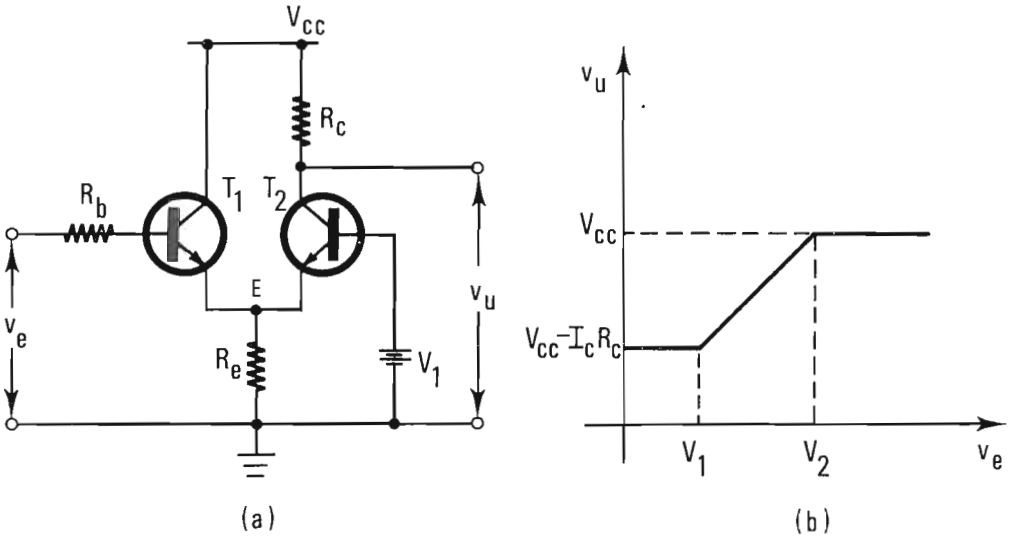


Fig. 4.10 - Circuito di taglio a due livelli indipendenti con transistori.

Nella zona in cui T_1 e T_2 conducono si ha una risposta lineare ma, a differenza di quanto avveniva nel circuito di fig. 4.7, senza inversione di polarità fra entrata ed uscita. **Sul segnale di uscita si ritrova solo uno spostamento di livello in continua e un guadagno che può essere diverso da 1.** Il secondo livello di taglio viene incontrato aumentando v_e fino a quando la corrente di base di T_1 raggiunge un valore I_b tale da portare la tensione di emettitore al di sopra della tensione di polarizzazione V_1. In tale condizione si ha T_2 interdetto.

Per calcolare questo livello procediamo trascurando, sempre in prima approssimazione, il contributo della tensione V_{be}. Possiamo allora scrivere:

$$(4.7) \qquad \begin{cases} V_1 \leqslant R_e I_e = R_e I_{b1} (\beta_n + 1) \\ I_{b1} = \dfrac{v_e - V_1}{R_b} \end{cases} .$$

Eliminando I_{b1}, si ricava per v_e il valore del livello superiore di taglio $v_e = V_2$ dato da :

$$(4.8) \qquad V_2 = V_1 \left[1 + \frac{R_b}{R_e (\beta_n + 1)} \right] .$$

Una volta fissato V_1, si può scegliere R_b in modo da ottenere il desiderato valore per V_2.

4.3. DISCRIMINATORI DI AMPIEZZA.

Un circuito discriminatore di ampiezza viene usato per rivelare quando il segnale di entrata raggiunge e supera un determinato livello di tensione V_R. Differisce dai circuiti di taglio descritti nel paragrafo precedente perchè **nel discriminatore di ampiezza non si ha interesse ad avere una trasmissione lineare del segnale oltre V_R. Si vuole solo avere in uscita un segnale impulsivo di forma standard che riveli, con la maggiore sensibilità in tensione e prontezza nel tempo, quando il segnale d'entrata supera il livello V_R:** ad esempio, il segnale d'uscita può essere un fronte d'onda rapido che passa da una tensione ad un'altra non appena in entrata si raggiunge V_R.
Alle volte il discriminatore d'ampiezza viene indicato in letteratura anche con il nome di **"comparatore"**.
E' evidente che il circuito di taglio a diodi di fig. 4.6 può servire, in linea di principio, a compiere l'operazione di discriminazione. Tuttavia la **sensibilità di discriminazione, intesa come la possibilità di ottenere in uscita un ben distinto segnale anche quando l'ingresso eguaglia appena o supera di poco il livello V_R, va certamente migliorata disponendo, ad esempio, di un amplificatore ad alto guadagno come indicato in** fig. 4.11.

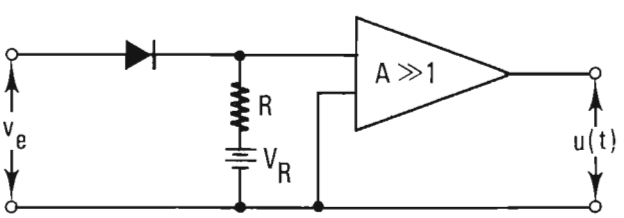


Fig. 4.11 - Discriminatori a diodi con amplificatore in uscita

L'amplificatore deve essere accoppiato all'uscita del discriminatore a diodo in modo da amplificare solo le variazioni di tensione rispetto a V_R e non la tensione V_R. La risposta sarà tale che l'amplificatore può portarsi rapi-

damente in condizione di saturazione e dare quindi in uscita un segnale a gradino di ampiezza standard ΔV tutte le volte che si ha $v_e - V_R > \frac{\Delta V}{A}$. **L'amplificatore può perciò funzionare in modo non-lineare e darà in uscita un segnale standard di avvenuta discriminazione per differenze di tensione $v_e - V_R$ tanto più piccole quanto più grande è il guadagno A.**

4.3.1. L'amplificatore differenziale con reazione positiva ed il circuito di Schmitt.

Facendo lavorare l'amplificatore differenziale in modo non lineare, cioè in modo da tenere T_1 normalmente all'interdizione e ponendo sulla base di T_2 la tensione di riferimento V_R, possiamo ottenere contemporaneamente l'azione di taglio come nel circuito di fig. 4.10(a) e l'amplificazione differenziale del segnale $v_e - V_R$ non appena la base di T_1 supera la tensione di taglio.

Poichè nell'operazione di discriminazione l'amplificatore deve avere il guadagno più grande possibile per migliorare la sensibilità, ma può funzionare in modo non lineare anche oltre la soglia di taglio, **si può pensare di introdurre nello stadio amplificatore una reazione positiva per aumentare il guadagno.** Ne risulta lo schema di fig. 4.12.

Il partitore inserito fra il collettore di T_1 e la base di T_2 stabilisce la reazione positiva. Un segnale positivo in entrata viene amplificato e cambiato di segno sul collettore di T_1: una frazione del segnale amplificatore viene riportata sulla base di T_2 il quale, attraverso l'accoppiamento di emettitore, la riporta sull'emettitore di T_1, cioè sull'entrata dove compare con il segno adatto a stabilire la reazione positiva.

Infatti un segnale negativo sull'emettitore gioca lo stesso ruolo nella spira di reazione di un segnale positivo sulla base.

Ricordando che il guadagno di uno stadio con reazione è dato da :

$$G = \frac{A}{1 - BA} \tag{4.9}$$

possiamo esaminare nel circuito di fig. 4.12 l'andamento della curva caratteristica $v_u \rightarrow v_e$ al variare di $B \cdot A$. Nel nostro caso A è dato dalla prima delle (3.38) e il fattore B vale $R_2/(R_1 + R_2)$.

Se $BA < 1$, il guadagno G sarà maggiore di A e l'uscita prelevata sul collet-

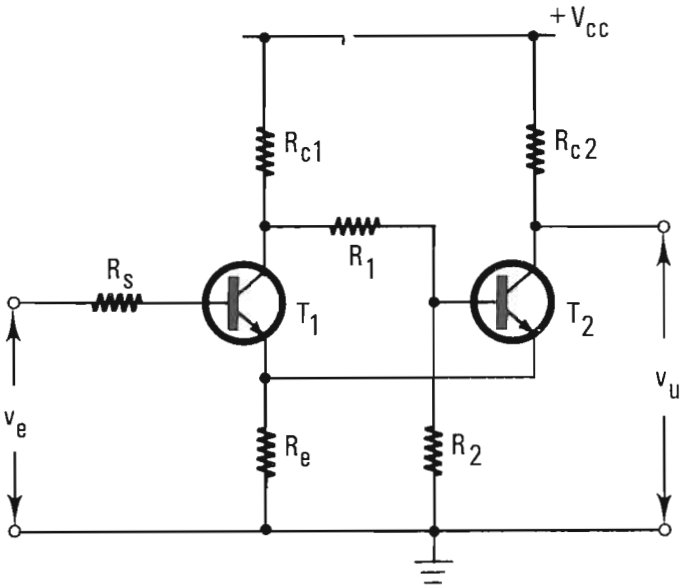


Fig. 4.12 - Schema dell'amplificatore differenziale con reazione positiva o discriminatore di Schmitt.

tore di T_2 passerà con una certa pendenza dalla tensione (V_{cc} - I_{c2} R_{c2}), - relativa allo stato in cui T_1 è interdetto - alla tensione V_{cc} di alimentazione - relativa allo stato in cui, aumentando v_e, si porta T_2 all'interdizione - come mostrato in fig. 4.13 (a).

Se BA = 1, il guadagno G diventa infinito ed allora la caratteristica diventa verticale, cioè basta che la tensione v_e eguagli e superi di molto poco la tensione di soglia affinchè si passi dall'interdizione di T_1 a quella di T_2.

Quando BA > 1, la pendenza della curva cambia segno come mostrato in fig. 4.13 (b). Il comportamento del circuito si descrive allora come segue: al crescere di v_e fino al livello V_1, l'uscita è al livello (V_{cc} - I_{c2} R_{c2}) con T_1 interdetto; quando $v_e \geqslant V_1$, si ha una brusca variazione alla tensione V_{cc} e T_2 si porta all'interdizione; se ora in questa condizione diminuiamo v_e, il ritorno allo stato con T_1 interdetto non lo si ha a V_1, bensì ad un livello inferiore V_2 che dipende dal valore di BA > 1.

Il circuito dunque mostra un ciclo di isteresi quando BA > 1 ed ha due stati stabili fra cui può commutare quando si supera V_1 o quando si scende al di sotto di V_2: la differenza V_1 - V_2 è detta "isteresi del circuito di Schmitt".

Il valore della soglia V_1 è stabilito dalla tensione di base di T_2 quando T_1 è interdetto ed è indipendente dal prodotto B · A, poichè è fissato soprattutto dal partitore costituito da R_1, R_2 ed R_{c1}.

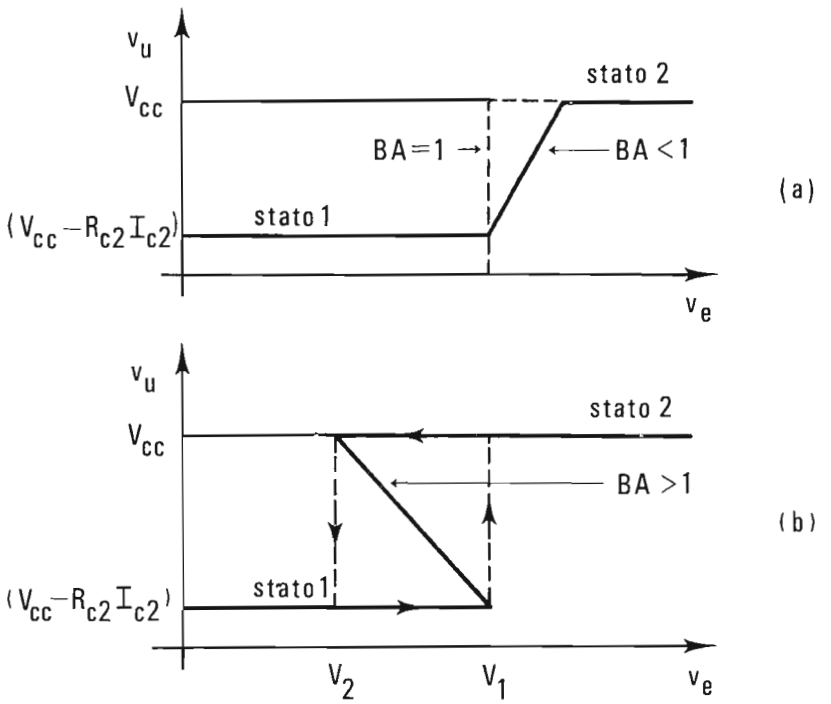


Fig. 4.13 - (a) caratteristica uscita - entrata per diversi valori del guadagno di spira BA $\leqslant 1$ - (b) caratteristica uscita - entrata per BA > 1.

4.3.2. L'isteresi del circuito di Schmitt.

Il ciclo di isteresi del circuito di Schmitt può spiegarsi tenendo presente che quando si passa dallo stato 1 (T_1 interdetto) allo stato 2 (T_2 interdetto) la soglia V_1 è determinata essenzialmente dal partitore costituito dalle tre resistenze R_{c1}, R_1, R_2 alimentate alla tensione V_{cc}. Viceversa, quando si vuole passare dallo stato 2 allo stato 1, il partitore gioca sempre lo stesso ruolo ma questa volta riportando sulla base di T_2 una tensione che non è più determinata solo dalla tensione di alimentazione V_{cc}, ma anche dalla caduta di tensione R_{c1} I_{c1} sulla resistenza di carico di collettore di T_1 che conduce.

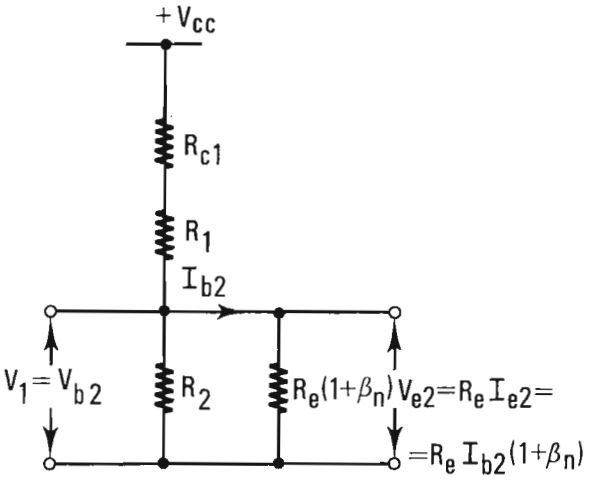


Fig. 4.14 - Nel calcolo di V_1 si può approssimare V_1 con V_{b2} e si può trascurare la resistenza equivalente dell'emettitore vista dal terminale di base R_e $(1 + \beta\ n)$. Sicchè risulta: $V_1 = V_{cc} \cdot R_2\ (R_{c1} + R_1 + R_2)$.

Una valutazione di V e di V_2 può essere fatta agevolmente come segue. Per ragioni di semplicità trascuriamo le tensioni diodiche V_{be} e consideriamo eguali le tensioni di base e di emettitore del transistore che conduce. Per calcolare V_1 possiamo allora servirci dello schema equivalente di fig. 4.14 dove approssimiamo V_1 al valore della tensione di base V_{B2} del transistore T_2 in conduzione.

In generale le resistenze R_{c1}, R_1, ed R_2 sono scelte con valori tali da condurre una corrente molto maggiore di quella assorbita in base di T_2, ciò equivale a dire che la resistenza equivalente di emettitore $R_e\ (1 + \beta_n)$ vista dal terminale di base è molto grande rispetto ad R_2 e perciò può essere trascurata nella connessione in parallelo.

Con le approssimazioni anzidette risulta quindi :

$$V_{\cdot} = \frac{R_2}{R_{c1} + R_1 + R_2} \cdot V_{cc} \tag{4.10}$$

Per valutare V_2 possiamo servirci dello schema di fig. 4.15.

Secondo i simboli adottati in figura si ha :

$$\begin{cases} V_{c1} = \dfrac{R_1 + R_2}{R_1 + R_2 + R_{c1}}\ (V_{cc} - I_{c1}\ R_{c1}) \\ V_2 = \dfrac{R_2}{R_1 + R_2}\ V_{c1} = BV_{c1} \end{cases} \tag{4.11a}$$

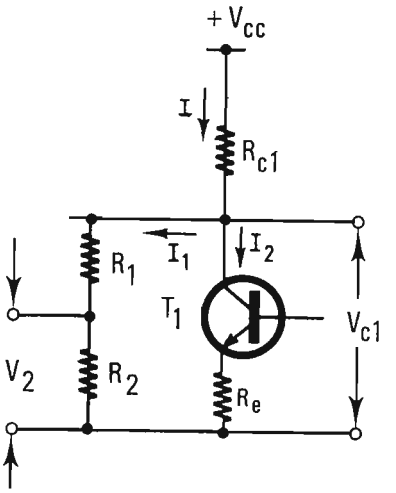


Fig. 4.15 - Schema equivalente per il calcolo di V_2 che viene assunto eguale alla tensione di base di T_2 quando è interdetto.

La prima delle (4.11a) si ottiene risolvendo, rispetto ad I, il seguente sistema:

$$(4.11b) \qquad \begin{cases} I = I_1 + I_2 \\ I = \dfrac{V_{cc} - V_{c1}}{R_{c1}} \end{cases} \quad \text{dove} \quad \begin{array}{l} I_2 = I_{c1} \\ I_1 = \dfrac{V_{c1}}{R_1 + R_2} \end{array}$$

dove I è la corrente che fluisce in R_{c1}, I_1 è la corrente che fluisce in R_1 e e R_2 ed I_2 è la corrente di collettore del transistore T_1 (fig. 4.15).
Quando il transistore T_1 conduce e T_2 è interdetto, possiamo scrivere che la tensione di emettitore V_{e1} vale :

$$(4.12) \qquad V_{e1} = R_e I_{e1} = R_e (I_{c1} + I_{b1}) = R_e I_{c1} \frac{1+\beta_n}{\beta_n} \simeq R_e I_{c1}$$

Con i criteri di approssimazione adottati già per il calcolo di V_1, possiamo ritenere che, quando v_e scende al valore V_2 si abbia :

$$(4.13) \qquad v_e = V_{e1} = V_{e2}$$

eliminando I_{c1} fra le (4.11a) e la (4.12) otteniamo:

$$(4.14) \qquad V_2 = BV_{c1} = \left(\frac{R_2}{R_1 + R_2}\right) \cdot \left(\frac{R_1 + R_2}{R_1 + R_2 + R_{c1}}\right) \cdot \left(V_{cc} - \frac{V_2}{R_e} R_{c1}\right)$$

$$(4.15) \qquad V_2 = \frac{R_2}{R_1 + R_2 + R_{c1}} V_{cc} - \frac{R_2 R_{c1} R_2}{Re (R_1 + R_2 + R_{c1})}$$

La (4.15) diventa con la (4.10) :

$$(4.16) \qquad V_2 \left(1 + \frac{R_{c1} R_2}{R_e (R_1 + R_2 + R_{c1})}\right) = V_1$$

La (4.16) dimostra che $V_2 < V_1$.

$$(4.17) \qquad V_2 = V_1 \frac{R_e}{R_e + R_{c1}\left(\frac{R_2}{R_1 + R_2 + R_{c1}}\right)}$$

Dalla (4.17) si vede anche la larghezza del ciclo di isteresi $V_1 - V_2$ dipende dal fattore di partizione $\frac{R_2}{R_1 + R_2 + R_{c1}}$ e dal valore di R_e : in particolare, facendo R_e molto grande diminuisce la differenza $V_1 - V_2$.

4.3.3. Applicazioni del circuito di Schmitt.

Il circuito di Schmitt trova la più vasta applicazione come discriminatore e come comparatore d'ampiezza.

In fisica nucleare, dove un rivelatore di tipo proporzionale dà in uscita impulsi con ampiezza proporzionale all'energia della particella rivelata, **il circuito di Schmitt permette di discriminare gli impulsi in funzione della loro ampiezza,** cioè le particelle nucleari in funzione della loro energia. Come indicato in fig. 4.16 (a), si ha una risposta di ampiezza standard e di

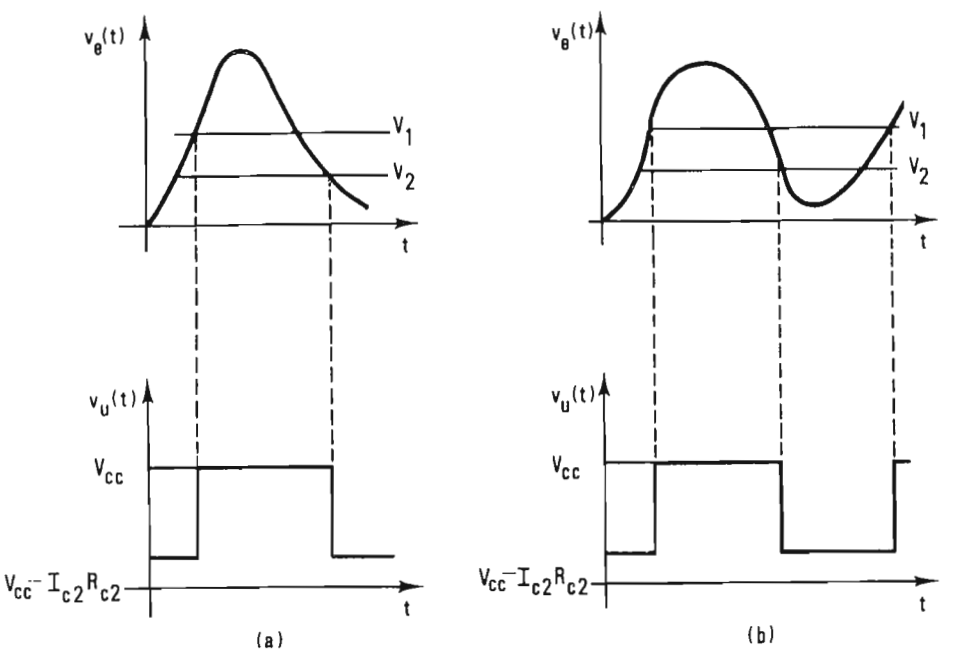


Fig. 4.16 - (a) (b) - Esempi di forme d'onda d'uscita sul collettore di T_2 per segnali impulsivi e per segnali comunque variabili al di sotto o al di sopra dei livelli V_1 e V_2

durata che dipende dalla durata dell'impulso discriminato. L'ampiezza di discriminazione può predisporsi a valori variabili polarizzando la base di T_1, con la tensione prelevata dal capo centrale di un partitore potenziometrico come in fig. 4.17. In questo modo detta V_p la tensione di polarizzazione, tutti gli impulsi con ampiezza V maggiore di $V - V_p$ superano la soglia V_1 e provocano un impulso rettangolare come risposta in uscita. E' ovvio che **il valore dell'isteresi stabilisce anche la minima ampiezza discriminabile**: infatti ponendo V_p al di sopra di V_2, il primo impulso discriminato farebbe passare T_1 in conduzione senza più poter comandare il ritorno allo stato iniziale, perchè in entrata la tensione non potrebbe scendere fino a V_2, più piccola è l'isteresi più piccoli sono i segnali discriminabili che devono però essere maggiori dell'isteresi stessa.
Per questo motivo **nei discriminatori per impulsi si desidera una isteresi molto piccola. Essa però non viene mai ridotta a zero facendo** $BA = 1$, **perché sarebbe questa una condizione non stabile a lungo termine**: basterebbero le derive nel valore dei componenti per portare $B \cdot A$ ad essere minore di 1, il che impedirebbe l'azione rigenerativa nella commutazione fra gli stati del circuito e quindi eliminerebbe la discontinuità netta nella

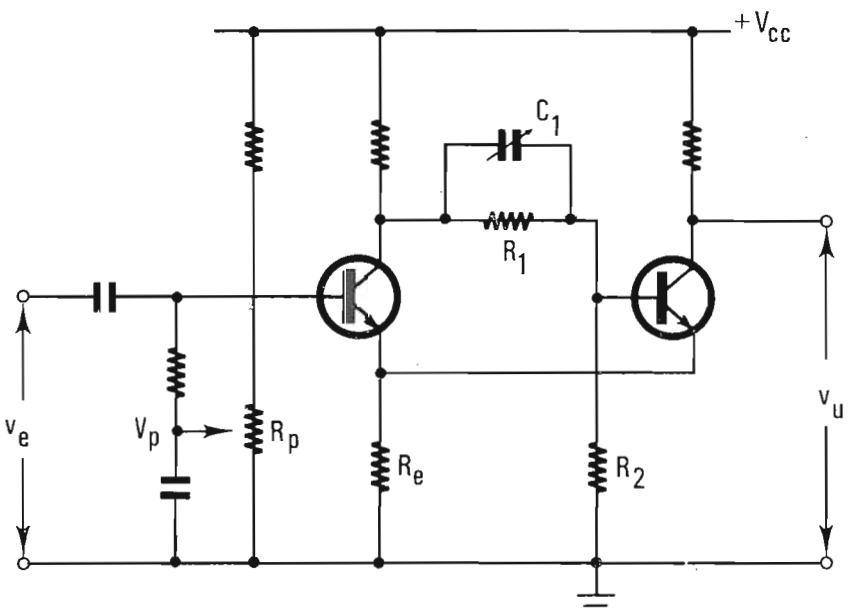


Fig. 4.17 - Circuito di Schmitt a soglia variabile per impulsi.

soglia di discriminazione.

Il condensatore variabile C_1 in parallelo alla resistenza R_1, viene inserito per rendere il partitore $R_1 + R_2$ compensato rispetto alle capacità parassite C_2 che appaiono in parallelo ad R_2, In pratica si fa $C_1 > \frac{R_2 C_2}{R_1}$ perchè con una sovracompensazione si migliora il fattore di reazione positivo durante i fronti d'onda di commutazione e perciò si rende più decisa e netta la commutazione stessa.

L'isteresi può essere utilizzata intenzionalmente come in fig. 4.16 (b) **per generare un'onda rettangolare che presenta fronti d'onda di commutazione quando una tensione variabile con continuità in ingresso passa per i due livelli V_1 e V_2.**

Questo permette di trasformare un segnale con tensione variabile casualmente, come ad esempio una tensione di rumore, in un segnale a due soli livelli ma con commutazioni fra i due livelli distribuite statisticamente.

L'isteresi viene spesso utilizzata per misurare il passaggio per lo zero di un fronte d'onda: ciò si ottiene polarizzando a tensioni negative le resistenze R_c ed R_p, in modo da far coincidere V_1 oppure V_2 con il livello zero, a seconda che si voglia rivelare il passaggio per lo zero del fronte positivo o del fronte negativo. E' evidente come questa discriminazione dell'istante di passaggio per lo zero consenta di procedere a misure di fase nel caso di segnali sinusoidali (con piccole isteresi si ha un'uscita più veloce).

Capitolo 5

CIRCUITI PER LA GENERAZIONE DEGLI IMPULSI .

5.1. GENERALITA'.

La generazione d'impulsi può essere ottenuta con circuiti rigenerativi, cioè con reti comprendenti elementi attivi in cui si introduce una reazione positiva. Se la spira di reazione è selettiva in frequenza il segnale che si genera è di tipo sinusoidale, altrimenti si ottengono segnali di tipo impulsivo la cui forma, durata e frequenza di ripetizione può essere regolata variando i parametri operativi del circuito.
I generatori d'impulsi possono essere distinti in due classi. Nella prima sono compresi i generatori che forniscono impulsi ad intervalli di tempo determinati solo dalle caratteristiche dello stesso circuito generatore. Nei generatori della seconda classe gli impulsi si presentano solo quando il circuito viene eccitato con un segnale esterno: si possono così ottenere generatori periodici o aperiodici a seconda della distribuzione temporale dei segnali esterni di eccitazione.

5.2. IL MULTIVIBRATORE ASTABILE .

Consideriamo due amplificatori a larga banda, cioè non selettivi in frequenza, accoppiati con reti R-C in modo che l'uscita dell'uno sia collegata all'entrata dell'altro come in fig. 5.1.
Otteniamo una spira a reazione positiva in tutta la banda di frequenza in

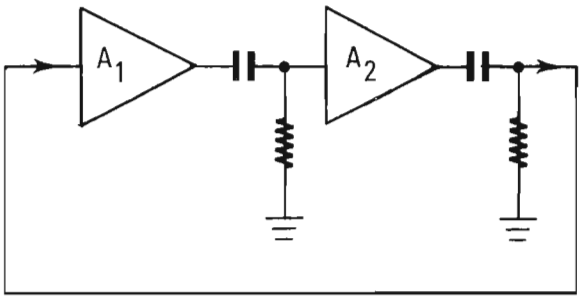


Fig. 5.1 - Schema descrittivo di un generatore d'impulsi multivibratore in cui sono messi in evidenza i due amplificatori A, ed A_2 accoppiati con reti RC e chiusi in anello a reazione positiva.

cui il prodotto dei fattori di amplificazione ($A_1 \cdot A_2$) è maggiore di uno. E' sufficiente il segnale di rumore proprio di ogni amplificatore perchè si generi un transiente che viene amplificato in modo rigenerativo fino a portare gli elementi attivi del circuito nelle zone di lavoro non lineare: cioè in saturazione o all'interdizione.

Esaminiamo il caso in cui i due amplificatori siano costituiti ognuno da un semplice stadio ad accoppiamento R-C come in fig. 5.2. Se partiamo da una condizione in cui entrambi i transistori conducono, vediamo che una qualsiasi fluttuazione positiva o negativa della tensione su una delle basi B_1 o B_2 viene amplificata in modo rigenerativo fino a condurre un transistore in saturazione e l'altro all'interdizione.

Ad esempio un segnale positivo su B_1 viene amplificato da T_1 e compare sulla base B_2 con segno cambiato. Questo segnale su B_2 viene a sua volta amplificato da T_2 e riportato su B_1, con un ulteriore cambiamento di se-

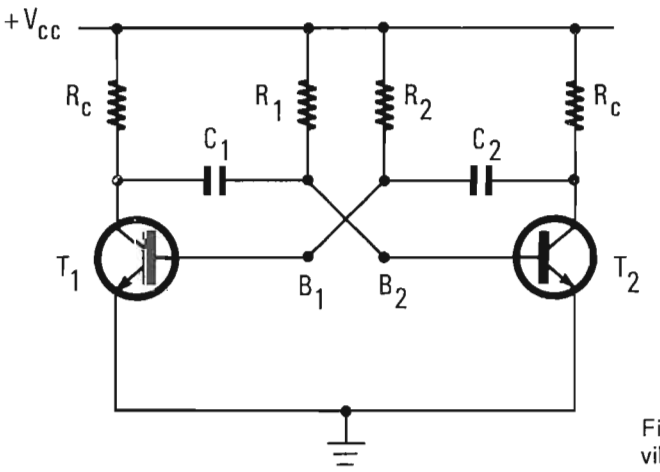


Fig. 5.2 - Schema del multivibratore astabile.

gno, cioè con lo stesso segno del segnale iniziale considerato su B_1. Si ottiene così un'azione **rigenerativa**, che nel caso considerato, si arresta solo quanto T_1 raggiunge la saturazione e T_2 la interdizione.
Questa condizione di sbilanciamento corrisponde a uno stato di equilibrio del sistema. Essa si mantiene solo per un tempo limitato che dipende dalla costante di tempo R_1-C_1 di accoppiamento collettore-base. Infatti la tensione di base B_2 che, durante la fase rigenerativa di commutazione, si era portata negativa perchè aveva ricevuto il fronte d'onda negativo generatosi sul collettore di T_1, ora tende a riportarsi verso la tensione di alimentazione V_{cc} giacchè la resistenza R_1 è polarizzata a + V_{cc} ed il condensatore C_1 si scarica solo attraverso R_1, essendo T_2 interdetto.
La tensione di base B_2 varia perciò esponenzialmente da tensione negativa a + V_{cc} finchè non raggiunge il punto di conduzione di T_2. A questo istante il segnale positivo su B_2 viene rigenerato nel modo già descritto prima, portando questa volta T_2 in saturazione e T_1 all'interdizione.
E' questo il secondo stato di equilibrio del circuito, che si mantiene per un intervallo di tempo determinato dalla costante di tempo R_2-C_2.
I due stati di equilibrio ora descritti vengono detti di "equilibrio instabile" appunto perchè il sistema non è in grado di rimanere indefinitamente in uno di essi. Per questo motivo il circuito di fig. 5.2 è anche noto con il nome di **multivibratore "astabile"**.
Il sistema passa indefinitamente con rapida commutazione dallo stato 1 (T_1 in saturazione - T_2 interdetto) allo stato 2 (T_1 interdetto-T_2 in saturazione) e viceversa, e permane in ognuno di questi stati per un intervallo di tempo che dipende dal valore delle costanti di tempo R-C di accoppiamento collettore-base e dalla tensione di polarizzazione delle resistenze di base. Il multivibratore astabile é quindi un oscillatore ed è noto come **generatore di onde quadre**,e siccome non richiede nessun segnale di comando è usato come sorgente di impulsi rettangolari e di fronti d'onda rapidi.
Le forme d'onda che si generano sui terminali di collettore e di base sono riportate in fig. 5.3. I fronti d'onda negativi sul collettore e sulle basi hanno un'ampiezza praticamente pari a V_{cc} se trascuriamo le tensioni V_{ce} e V_{be} in saturazione. Cioè, riferendoci a quanto indicato in fig. 5.3, possiamo scrivere :

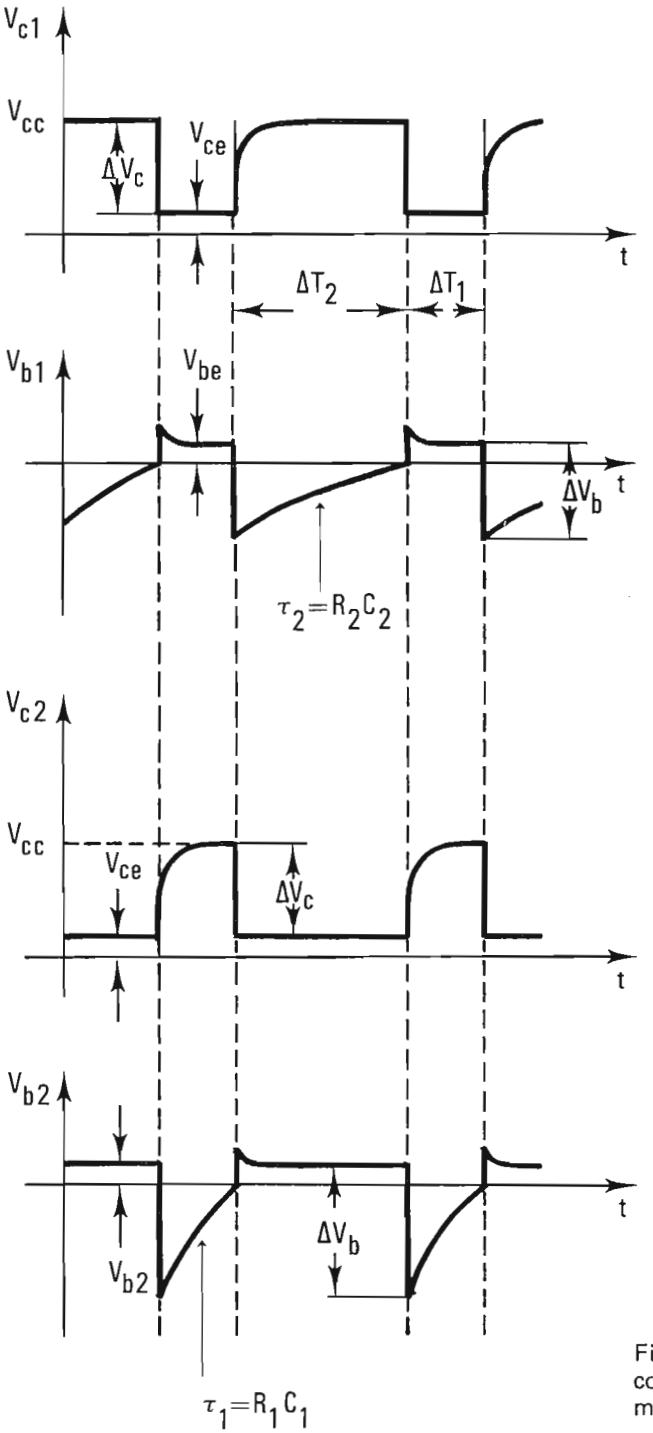


Fig. 5.3 - Forme d'onda sui collettori e sulle basi in un multivibratore astabile.

(5.1) $$\Delta V_c = \Delta V_b = V_{cc} \quad .$$

La durata degli intervalli di tempi ΔT_1 e ΔT_2 può essere calcolata facilmente partendo dalle seguenti considerazioni.
Quando una base subisce il transiente con fronte d'onda negativo si porta praticamente a tensione $-V_{cc}$. Quindi si ricarica con costante di tempo $\tau = RC$ verso la tensione $+V_{cc}$ secondo la legge esponenziale:

(5.2) $$V_b(t) = Ae^{-\frac{t}{\tau}} + B = V_{cc} - 2\,V_{cc}\,e^{-\frac{t}{\tau}} \quad .$$

L'istante in cui l'esponenziale si interrompe si ha quando $V_b\,(t) \simeq 0$, perchè assumiamo con buona approssimazione che a questo valore della tensione di base il transistore si porta in conduzione. Perciò la durata dell'intervallo di tempo ΔT in uno dei due stati di equilibrio instabile è data secondo la (5.2) da :

(5.3) $$\Delta T = \tau \ln 2 \simeq 0.69\,\tau \,.$$

Si vede cioè che le durate sono direttamente proporzionali al valore delle costanti di tempo e si può scrivere :

$$\Delta T_1 \simeq 0.69\,\tau_1 \;; \qquad \Delta T_2 \simeq 0.69\,\tau_2 \;.$$

Se andiamo ora ad esaminare le forme d'onda di collettore e di base quando subiscono il transiente con fronte d'onda positivo osserviamo che la tensione di base presenta una piccola sovra elongazione, mentre la tensione di collettore dopo un fronte ripido presenta una crescita esponenziale prima di raggiungere la tensione di alimentazione V_{cc}.
In fig. 5.4 (a) sono riportati con maggior dettaglio i transienti che si hanno quando T_2 va in saturazione e T_1 si interdisce, mentre in fig. 5.4 (b) è riportato lo schema equivalente per il calcolo dei transienti positivi. Nell'istante in cui T_1 si porta all'interdizione si ha un fronte d'onda positivo sul collettore che tende a far salire la tensione di base B_2.
Il condensatore C_1 si trova allora collegato come nel circuito equivalente

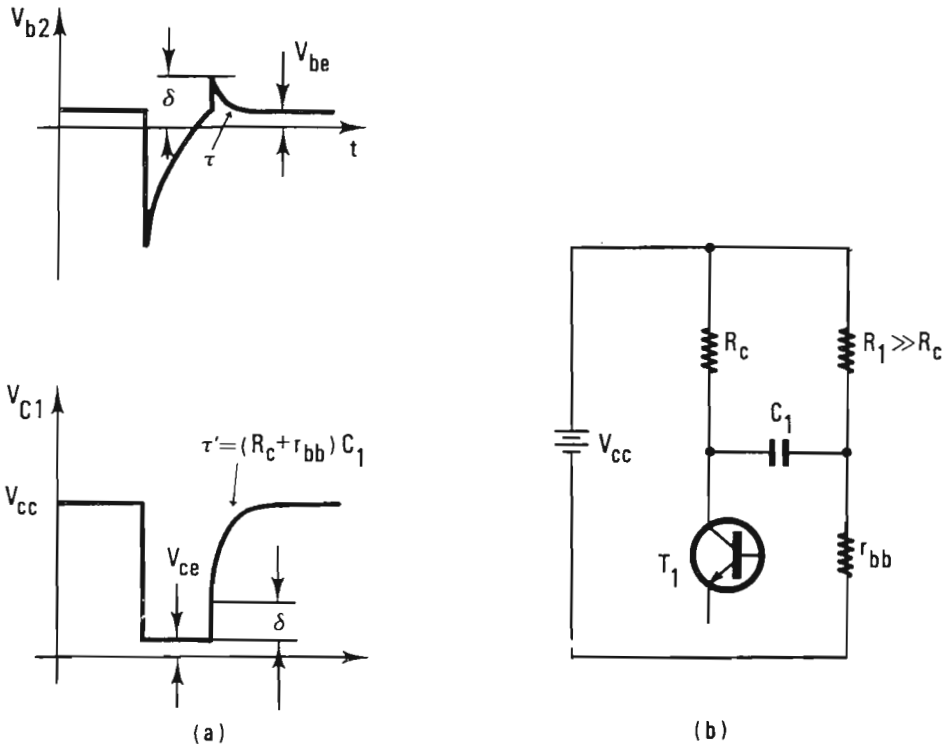


Fig. 5.4 - (a) (b) - Forme d'onda e schema equivalente per il calcolo del fronte positivo.

di fig. 5.4 (b), cioè connesso ad un capo verso V_{cc} attraverso la resistenza R_c, ed all'altro capo verso massa, attraverso la resistenza r_{bb} di base del transistore T_2.

Trascuriamo per il momento la resistenza R_1 perché in generale si ha $R_1 \gg R_c \gg r_{bb}$, e teniamo presente che durante il fronte d'onda ripido il condensatore si comporta come un corto circuito. Perciò la corrente che passa in R_c ed in r_{bb} durante il fronte ripido è data da :

$$I'_b = \frac{V_{cc}}{R_c + r_{bb}} \quad . \tag{5.4}$$

Cioè l'ampiezza della sovraelongazione sulla base B_2 e l'ampiezza del fronte ripido positivo sul collettore di T_1 sono date da $\sigma = I'_b \cdot r_{bb}$.

Dopo questo fronte la base B_2 decade esponenzialmente verso la tensione V_{be} ed il collettore di T_1 sale sempre esponenzialmente verso la tensione

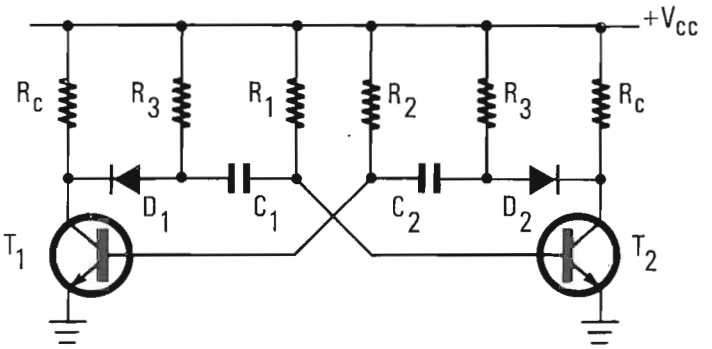


Fig. 5.5 - Schema di un multivibratore astabile in cui sono stati introdotti i diodi D_1 e D_2 per ottenere fronti di onda positivi verticali.

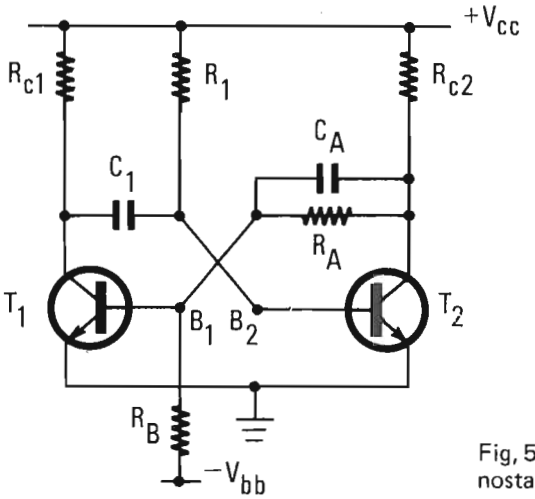
V_{CC}. La costante di tempo di queste esponenziali è data da :

$$\tau' \cong (R_C + r_{bb}) \cdot C_1 \ . \tag{5.5}$$

Se si vogliono ottenere impulsi di collettore con fronti d'onda positivi anch'essi verticali si può adottare lo schema di fig. 5.5. I diodi D_1 e D_2 sono stati inseriti in modo che sul fronte positivo essi si interdicano ed interrompano il collegamento fra collettore e base.
In questo modo la corrente di saturazione di base I'_b passa attraverso C ed R_3 piuttosto che attraverso R_C.
Perciò il fronte d'onda sul collettore non è più influenzato dall'accoppiamento capacitivo ma dipende solo dalla costante di tempo determinata dalla resistenza R_C e dalle capacità parassite viste dal terminale di collettore.

5.3. MULTIVIBRATORE MONOSTABILE .

I due amplificatori di fig. 5.1 possono essere interconnessi in modo tale che uno dei due stati di equilibrio instabile diventi invece di equilibrio stabile. Questa configurazione si ottiene con il circuito detto **"multivibratore monostabile" che si può derivare dall'astabile semplicemente realizzando in continua uno degli accoppiamenti.** Basta ad esempio, porre un partitore fra il collettore di T_2 e la base di T_1 il quale mantenga permanentemente T_1 all'interdizione quando T_2 conduce, come indicato in fig. 5.6.



Fig, 5.6 - Schema di un multivibratore monostabile.

Il partitore, costituito da R_A e R_B, conserva la reazione positiva fra T_2 e T_1 ed è dimensionato in modo che con la polarizzazione a $-V_{bb}$ mantenga la base B_1 a tensione leggermente negativa.

Il condensatore C_A che è piccolo ed ha la funzione di compensare le capacità di entrata del I° transistore è inserito quindi per rendere il partitore leggermente sovracompensato in modo che durante i transienti di commutazione si abbia una riduzione del fattore di partizione onde aumentare il guadagno di spira in regime impulsivo.

Lo stato di equilibrio stabile è perciò quello in cui T_1 è interdetto e T_2 è in saturazione. Il sistema può commutare da questo stato con un impulso positivo applicato sulla base di T_1 oppure con un impulso negativo sulla base di T_2.

Si ha infatti una rigenerazione positiva del segnale esterno di eccitazione ed, analogamente a quanto accade nel multivibratore astabile, il circuito si porta nello stato in cui T_1 è in saturazione e T_2 interdetto. Questo è ancora uno stato instabile perchè viene mantenuto solo per un tempo ΔT che dipende dalla costante di tempo $\tau_1 = R_1 C_1$ secondo la stessa relazione (5.3) già trovata per l'astabile. Le forme d'onda sui diversi terminali sono riportate in fig. 5.7. Si può osservare che sulla base di T_2 e sul collettore di T_1 si ritrova lo stesso andamento del fronte d'onda positivo già discusso nel paragrafo precedente, a causa dell'accoppiamento $R_1 C_1$.

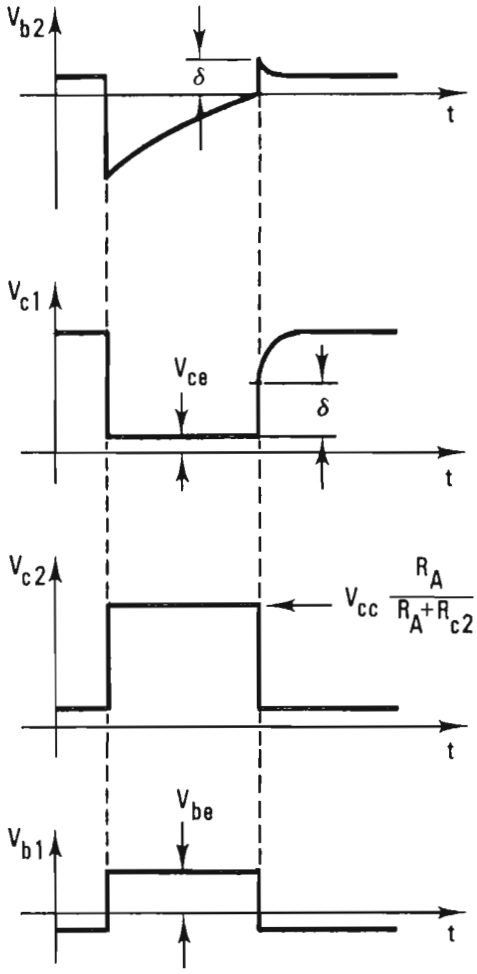


Fig. 5.7 - Forme d'onda in un multivibratore monostabile.

Viceversa le forme di onda sul collettore di T_2 e sulla base di T_1 appaiono come impulsi rettangolari con fronte ripido verticale sull'intera escursione del salto positivo.

Ciò è dovuto all'accoppiamento in continua: il fronte appare tanto più verticale quanto più il condensatore C_A è dimensionato in modo da realizzare un partitore compensato quando T_1 conduce. In questo caso infatti il carico di collettore di T_2 si presenta puramente resistivo. La tensione di base B_1 può essere approssimata a quella di massa quando T_1 è in saturazione, perciò possiamo scrivere che la tensione di collettore di T_2 all'interdizione è data da :

$$V_{c2} = V_{cc} \cdot \frac{R_A}{R_A + R_{c2}} \quad . \tag{5.6}$$

Questa tensione viene raggiunta con un fronte positivo il cui tempo di salita non dipende più dalle costanti di tempo di accoppiamento fra gli stadi, ma nel caso che il partitore $R_A + R_B$ sia compensato, dipende solo dal carico resistivo e dalle capacità parassite viste dal terminale di collettore di T_2. Analogamente a quanto si è visto per l'astabile, è possibile nel circuito monostabile introdurre un diodo D in serie al condensatore C_1, quando si desidera rendere verticale il fronte d'onda positivo anche sul collettore del transistore T_1.

5.4 MULTIVIBRATORE BISTABILE.

Il multivibratore bistabile deriva il suo nome dal fatto che può rimanere indefinitamente in uno qualsiasi dei due stati di equilibrio. Entrambi gli stati, discussi per lo schema di fig. 5.1, vengono resi stabili adottando negli accoppiamenti una connessione in continua che consenta di mantenere permanentemente la base di un transistore a tensione negativa quando l'altro transistore è in conduzione, come indicato in fig. 5.8.
Il sistema possiede perciò due stati stabili corrispondenti alle condizioni in cui un transistore è in saturazione e l'altro all'interdizione. I due stati possono essere distinti andando, per esempio, ad osservare la tensione a cui si trova il collettore di T_1 o di T_2. **Il multivibratore bistabile può perciò compiere la funzione di una memoria binaria in quanto mantiene lo stato in cui commuta ad opera di un segnale di eccitazione esterno e fornisce il mezzo mediante il quale un circuito esterno può rivelare questo stato.** La determinazione dei valori dei componenti nello schema di fig. 5.8, viene effettuata procedendo a passi successivi. R_c deve essere scelta in modo che la corrente $I_c \simeq V_{cc}/R_c$ in condizioni di saturazione non superi il massimo valore consentito dalle caratteristiche.
I valori di R_1, R_2 e V_{bb} devono essere prefissati in modo da soddisfare due condizioni in parte contrastanti: a) il rapporto di partizione $R_2/R_1 + R_2$ va scelto in modo da assicurare una tensione di base sufficientemente negativa quando il transistore deve stare all'interdizione; b) d'altra parte

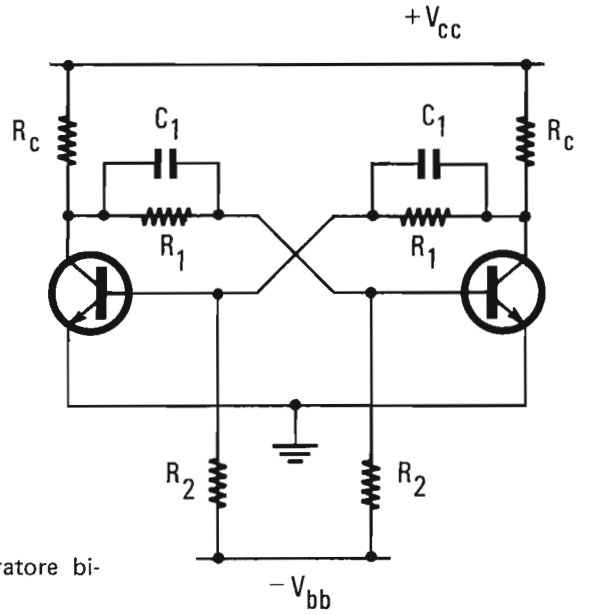


Fig. 5.8 - Schema di un multivibratore bistabile

deve essere tale da fornire alla base una corrente sufficiente quando il transistore deve essere mantenuto in saturazione.

L'analisi può essere condotta riferendosi ai circuiti equivalenti di fig. 5.9 (a) e (b).

Se T_2 si trova in saturazione, possiamo ritenere $V_{c2} \simeq 0$ e perciò la tensione di base B_1 data da :

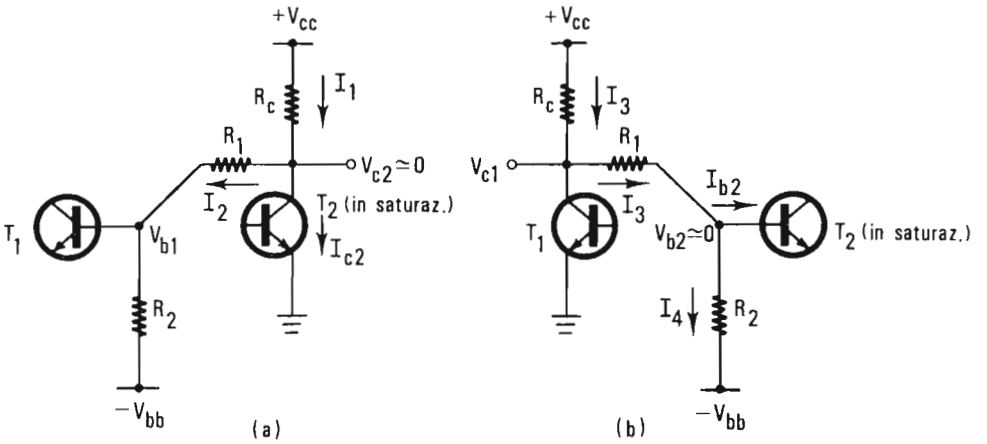


Fig. 5.9 - (a) (b) - Schemi equivalenti per l'analisi in condizioni statiche del circuito bistabile.

$$V_{b1} = -V_{bb} \frac{R_1}{R_1 + R_2} \tag{5.7}$$

deve essere inferiore a quella necessaria per mantenere T_1 interdetto, la quale è ricavabile dalle caratteristiche grafiche del transistore. In pratica basta che V_{b1} sia inferiore a -0.1 Volt, sia per i transistori al silicio che per quelli al germanio.
Per verificare poi che T_2 possa mantenersi in saturazione, calcoliamo prima I_{c2} dallo schema 5.9 (a) nell'ipotesi che T_2 sia effettivamente in saturazione. Deve essere :

$$I_1 = \frac{V_{cc}}{R_c} \; ; \qquad I_2 = \frac{V_{bb}}{R_1 + R_2} \; ; \tag{5.8}$$

$$I_{c2} = I_1 - I_2 = \frac{V_{cc}}{R_c} - \frac{V_{bb}}{R_1 + R_2} \; . \tag{5.9}$$

Quindi dallo schema 5.9 (b) calcoliamo I_{b2} :

$$I_3 = \frac{V_{cc}}{R_c + R_1} \; ; \qquad I_4 = \frac{V_{bb}}{R_2} \; ; \tag{5.10}$$

$$I_{b2} = I_3 - I_4 = \frac{V_{cc}}{R_c + R_1} - \frac{V_{bb}}{R_2} \; . \tag{5.11}$$

Se β è il guadagno di corrente collettore-base del transistore in regione attiva, occorrerà allora che il valore dato dalla (5.11) sia almeno pari o superiore a quello dato dalla (5.9) diviso per β :

$$I_{b2} \geqslant \frac{I_{c2}}{\beta} \; . \tag{5.12}$$

Cioè, affinchè T_2 sia in saturazione, deve essere :

$$\frac{V_{cc}}{R_c + R_1} - \frac{V_{bb}}{R_2} \geqslant \frac{1}{\beta} \left(\frac{V_{cc}}{R_c} - \frac{V_{bb}}{R_1 + R_2} \right) \; . \tag{5.13}$$

Le tre relazioni (5.7), (5.9) e (5.13) permettono di determinare i valori delle tre resistenze R_c, R_1, ed R_2 una volta prefissato le tensioni V_{cc} e $-V_{bb}$ ed il tipo di transistore, cioè β e V_{b1}.
I condensatori C_1 vengono messi in parallelo alle resistenze R_1 per rendere i partitori sovraccompensati in modo da ridurre la partizione

e aumentare il guadagno di spira nei transienti di commutazione da uno stato all'altro.
Il "**tempo di commutazione**" è definito come **l'intervallo durante il quale la conduzione si trasferisce da un transistore all'altro.** Questo tempo si riduce introducendo i condensatori C_1 i quali vengono perciò detti "**condensatori di speed-up**".
Tuttavia occorre tener presente che C_1 non può essere aumentato a piacere oltre un certo limite, perchè altrimenti si peggiora il cosiddetto "**tempo risolutivo**" del bistabile. **Questo tempo corrisponde all'intervallo minimo che deve passare fra due successivi impulsi di eccitazione esterni affinchè il secondo impulso sia capace di indurre una nuova commutazione al bistabile**: il reciproco di questo tempo corrisponde perciò alla massima frequenza di impulsi di eccitazione a cui il bistabile può rispondere.
Subito dopo il transiente di commutazione del bistabile, ognuno dei due condensatori C_1 deve variare la tensione ai propri terminali. Infatti, mentre il condensatore collegato con un capo al collettore del transistore in saturazione è carico alla tensione.

$$V'(C_1) \simeq V_{b1} \tag{5.14}$$

l'altro collegato al collettore del transistore interdetto è carico alla tensione

$$V''(C_1) \simeq V_{cc} \quad . \tag{5.15}$$

Durante il transiente di commutazione ogni condensatore conserva la tensione che aveva prima del transiente, ma dopo la commutazione ciascuno deve caricarsi dal valore (5.14) al valore (5.15) o viceversa. Il tempo necessario per lo scambio delle tensioni sui condensatori stabilisce così l'intervallo che si deve attendere affinchè il bistabile si porti nelle condizioni stazionarie definitive del nuovo stato: il tempo di ritorno alla stazionarietà, a cui il tempo risolutivo è proporzionale, è tanto più grande quanto più grande è il valore di C_1.
Perciò mentre aumentando C_1 da una parte, si riduce il **tempo di commutazione**, cioè il tempo per trasferire la conduzione da un transistore all'altro, dall'altra si aumenta il tempo di ritorno alla stazionarietà dopo la

commutazione, cioè si aumenta il **tempo risolutivo.** In pratica, se il tempo risolutivo che si vuol raggiungere è ΔT, occorre imporre che sia :

$$R_1 C_1 \ll \Delta T \quad .$$

Il tempo risolutivo è ovviamente funzione anche dei tempi di salita, di discesa e del tempo di "storage" propri del transistore usato. Si noti infatti che i condensatori grandi effettuano la rimozione della carica nella giunzione di base, rendendo così più veloce la commutazione. Però con una grande capacità, è necessario più tempo per l'"assestamento" delle cariche del condensatore stesso.

Poichè è soprattutto il **tempo di storage** che nei bistabili a transistori limita la massima frequenza accettabile negli impulsi di eccitazione, spesso il bistabile viene progettato in modo che i transistori in conduzione non raggiungano la saturazione quando si vuole ottenere il minimo tempo risolutivo.

Un modo per ottenere **bistabili non-saturati** è mostrato in fig. 5.10. Il diodo D_1 è connesso fra una presa intermedia del partitore d'accoppiamento resistivo. Quando il collettore tende a scendere ad una tensione inferiore a quella della presa intermedia del partitore, il diodo si porta in conduzione.

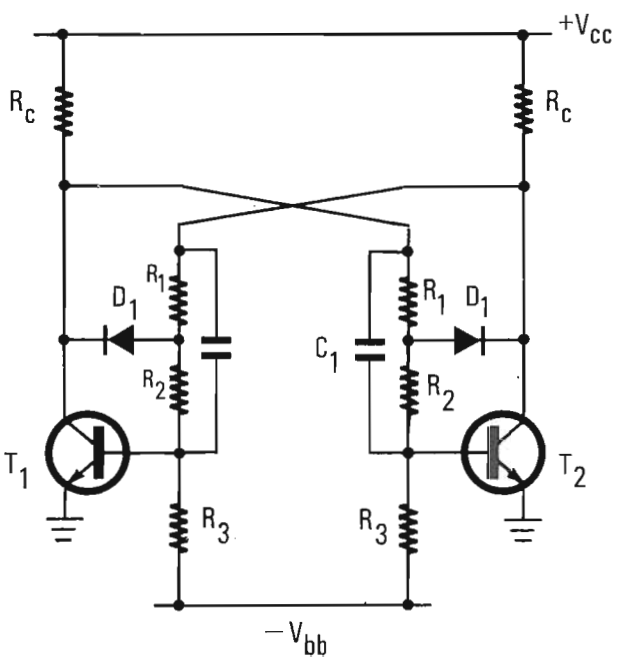


Fig. 5.10 - Schema di un bistabile con i diodi D_1 per prevenire che il transistore in conduzione raggiunga la saturazione.

La maggior corrente richiesta dal collettore passa attraverso il diodo, ma così facendo si diminuisce la corrente fornita alla base. Il transistore non riesce così a raggiungere la saturazione per mancanza di una sufficiente corrente di base. Si noti che i diodi producono una polarizzazione inversa nelle giunzioni di collettore e perciò il transistore funziona sempre nella regione attiva, cosa che genera una maggiore dissipazione di potenza. Inoltre l'escursione della tensione in uscita non è più stabile con la temperatura.

Spesso si desidera evitare che il bistabile richieda una tensione supplementare di polarizzazione $-V_{bb}$, oltre alla tensione di alimentazione $+ V_{cc}$. Usando una resistenza R_e comune agli emettitori di entrambi i transistori si genera una tensione continua rispetto a massa che, a causa della simmetria del circuito, si mantiene costante quando il bistabile commuta da uno stato all'altro.

Lo schema circuitale si presenta allora come in fig. 5.11. Il calcolo dei componenti procede in modo analogo con quanto descritto precedentemente, purchè si tenga conto di riferirsi non più alla tensione di massa per le tensioni del transistore in saturazione, ma alla tensione :

$$V_e = R_e I_e = R_e (I_c + I_b).$$

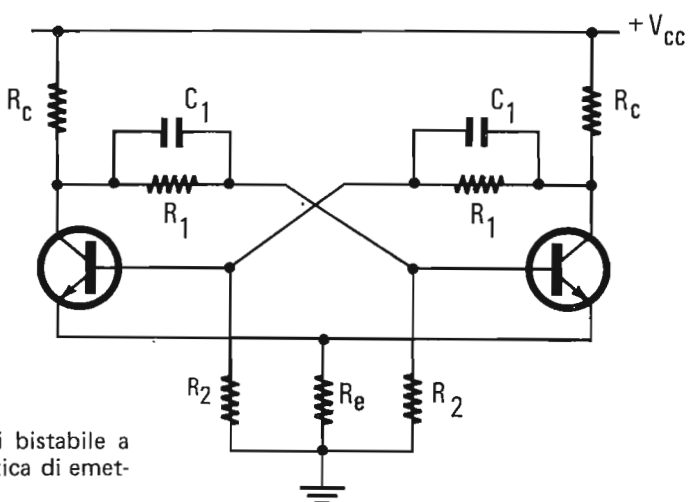


Fig. 5.11 - Schema di bistabile a polarizzazione automatica di emettitore.

5.5. RETI DI COMANDO PER IL BISTABILE.

Quando il bistabile a transistori è in uno dei suoi stati stabili, vi rimane indefinitamente finchè non viene eccitato da un impulso esterno. Questo impulso può essere scelto di polarità tale e applicato con una rete tale da comandare verso la conduzione il transistore interdetto, oppure applicato in modo da portare all'interdizione il transistore in saturazione. In pratica si sceglie il metodo di interdire il transistore che conduce perchè si ottengono i seguenti vantaggi :

1) normalmente si richiede un impulso di eccitazione con ampiezza più piccola;
2) la commutazione si attua con un ritardo minore se si eccita fin dall'inizio il transistore in conduzione.

Le reti di comando possono essere simmetriche o asimmetriche. In fig. 5.12 è presentato un modo asimmetrico di comando.
L'ingresso S, detto ingresso di Set, porta il bistabile nello stato in cui T_2 è interdetto e T_1 è in conduzione: stato 1. Se il bistabile si trovava già in questo stato, l'eccitazione su S non fa che confermare questa condizione e non può provocare altra commutazione.

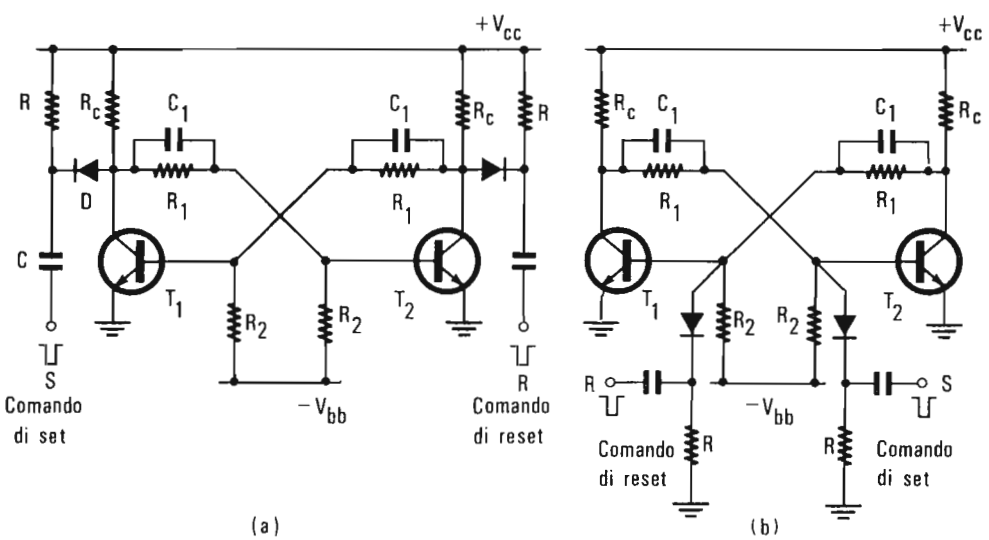


Fig. 5.12 - (a) Comando asimmetrico di SET e di RESET sui terminali di collettore.
(b) Comando asimmetrico di SET e di RESET sui terminali di base.

Analogamente l'ingresso R, detto ingresso di Reset, porta il bistabile nello stato 2, cioè T_2 in conduzione e T_1 all'interdizione.
Gli impulsi di eccitazione sono negativi in modo da essere trasmessi dal diodo D sulla base del transistore in conduzione.
Il comando può essere applicato in modo simmetrico, in modo cioè che, qualunque sia lo stato in cui si trova il bistabile, venga provocata sempre una transizione nell'altro stato: il comando viene allora detto di "**trigger**" ed **agisce sempre su quel transistore che è in conduzione.** In fig. 5.13 (a) è riportata una rete di comando "trigger" che riconduce ad una forma simmetrica le reti di comando di fig. 5.12 (b).
Questa rete è però abbastanza critica in funzione delle variazioni d'ampiezza e di durata del segnale di trigger, e delle variazioni nei valori dei condensatori C_1 di "speed-up". Infatti i due diodi D_1 e D_2 non hanno una polarizzazione inversa molto differente e se il segnale di trigger è molto lungo può capitare che alla fine del segnale si rigeneri una commutazione che riporta il sistema nello stato iniziale.
Per un comando più sicuro ed indipendente dalla forma dei segnali e dal valore dei condensatori C_1, si preferisce la rete di fig. 5.13 (b) in cui l'inserimento delle resistenze R_B introduce una polarizzazione inversa pratica-

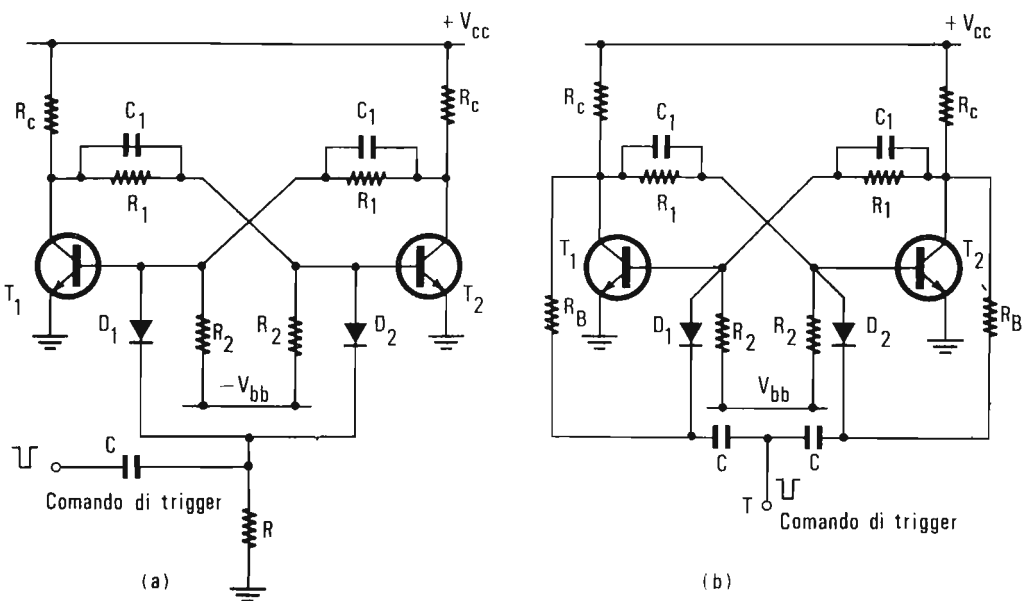


Fig. 5.13 - (a) (b) - Schemi di reti per comando trigger dei bistabili a transistori.

mente pari a V_{CC} per il diodo connesso con la base del transistore interdetto, mentre mantiene con polarizzazione quasi nulla il diodo connesso con la base del transistore in saturazione. Si raggiunge così la condizione che consente al segnale di passare facilmente attraverso il diodo che deve comandare il transistore in conduzione, e di essere viceversa bloccato dall'altro diodo con elevata polarizzazione inversa.

5.6. BISTABILI A MOSFET.

Nel paragrado 2.4 del secondo capitolo abbiamo esaminato le caratteristiche ed i circuiti equivalenti del transistore **MOSFET**.
Essi si **prestano particolarmente bene a formare circuiti bistabili a componenti integrati.**
Prima di discutere lo schema di bistabile, consideriamo il circuito di fig. 5.14 che si ricollega a quanto è stato già discusso nel paragrafo 2.4.5. Se in entrata si usano segnali a due livelli O e V_D, vediamo che in uscita si ottengono gli stessi segnali ma in modo complementare: cioè quando in entrata si ha il livello 0 in uscita si ottiene il livello V_D e viceversa.

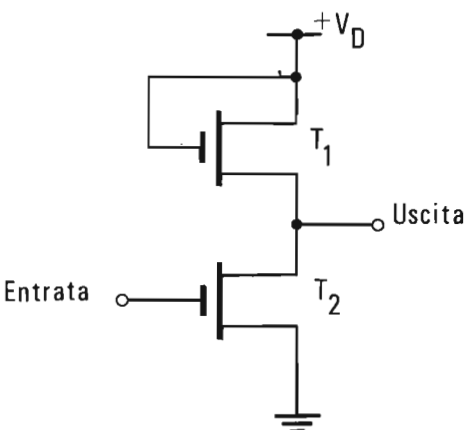


Fig. 5.14 - Stadio invertitore a elementi MOSFET.

Il transistore T_1 agisce come carico di "drain" del transistore T_2. Per semplificare la trattazione qualitativa del funzionamento del circuito, assumiamo che la tensione di soglia dei MOSFET considerati sia zero o leggermente positiva. Ne consegue che il livello zero in entrata mantiene T_2 interdetto e tutta la tensione di alimentazione si ritrova ai capi di T_2: sicchè

in uscita si ha una tensione V_D. Se viceversa applichiamo in entrata la tensione V_D, T_2 si porta in saturazione e tutta la tensione cade prevalentemente attraverso T_1 : cioè in uscita troviamo una tensione prossima a zero. Colleghiamo ora più transistori MOSFET come in fig. 5.15 che rappresenta lo schema di un circuito bistabile con i comandi di SET e di RESET sugli ingressi 1 e 2.

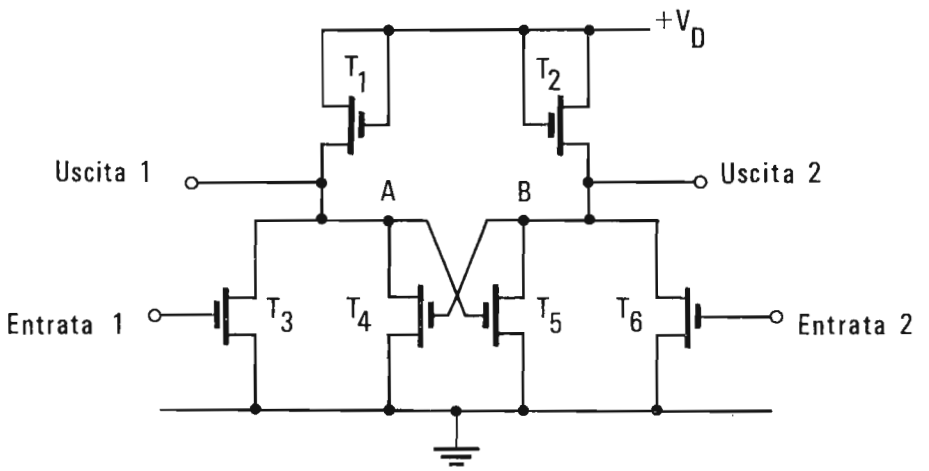


Fig. 5.15 - Schema circuitale di un bistabile con MOSFET a componenti integrati.

I transistori T_1 e T_2 agiscono come carico di drain per i transistori T_4 e T_5 che operano come stadi invertitori fra i quali viene stabilito l'accoppiamento a reazione positiva del bistabile.
I transistori T_3 e T_6 sono gli stadi di disaccoppiamento all'ingresso per i comandi esterni di SET e di RESET.
Se un impulso positivo di ampiezza V_D è applicato all'ingresso 1, il transistore T_3 conduce e la corrente fluisce nel transistore T_1. Il nodo A scende rapidamente a tensione quasi zero e poichè esso è collegato con il gate di T_5 comanda quest'ultimo transistore all'interdizione. Quando T_5 è interdetto e T_6 non conduce perchè manca il segnale di ingresso, il nodo B si porta a tensione V_D e attraverso l'accoppiamento con il gate di T_4 porta quest'ultimo in saturazione. Alla fine dell'impulso d'entrata su T_3, si ottiene perciò la configurazione in cui T_4 conduce e T_5 è interdetto; l'uscita 1 è zero mentre l'uscita 2 è + V_D. Se si vuole commutare lo stato portan-

do T_5 in saturazione e T_4 all'interdizione basta applicare un impulso d'ampiezza V_D all'entrata 2.
Il comando del bistabile è asimmetrico e non si deve mai applicare il segnale di eccitazione contemporaneamente alle due entrate poichè si porterebbero in conduzione sia T_3 che T_6 e non risulterebbe univocamente determinato lo stato finale in cui ricadrebbe il bistabile composto da T_4 e T_5.

5.7. L'OSCILLATORE BLOCCATO.

Un sistema a reazione positiva può anche essere ottenuto con un singolo stadio amplificatore che abbia l'uscita accoppiata con l'entrata mediante un trasformatore d'impulsi.
Collegando primario e secondario in modo che si abbia un'ulteriore inversione di polarità dopo quella introdotta dallo stadio amplificatore, si realizza una **spira rigenerativa**: il sistema può essere polarizzato in modo da generare un singolo impulso con prefissate caratteristiche di forma su comando esterno e prende il nome di **"oscillatore bloccato monostabile"**, oppure può essere messo in condizioni di **pulsazione libera** per generare impulsi periodici ed allora si dice **"oscillatore bloccato astabile"**.
La **caratteristica saliente**, che distingue l'oscillatore bloccato dagli altri generatori d'impulsi, **è data dalla rapidità dei fronti d'onda dell'impulso generato e dal fatto che la durata dell'impulso può essere molto piccola rispetto al periodo di ripetizione**: per segnali nel campo dei nanosecondi si possono raggiungere rapporti di pieno (durata dell'impulso) a vuoto (intervallo fra gli impulsi) dell'ordine di 1 : 200.
Le applicazioni più frequenti dell'oscillatore bloccato si hanno come generatore di segnali di sincronismo per comandare altri generatori di forme d'onda rettangolari, a salita lineare, ecc.; come generatore d'impulsi stretti ma con una grande potenza di picco; oppure per avere impulsi rapidi da una tensione variabile lentamente; ed infine come divisore di frequenza quando il periodo di ripetizione viene controllato inviando sull'elettrodo di controllo un segnale alla frequenza che si desidera demoltiplicare.

5.7.1. Oscillatore bloccato monostabile con controllo a corrente di base.

Esaminiamo il circuito di fig. 5.16 (a) polarizzato in modo che normalmente il transistore si mantenga all'interdizione: basta per questo che la resistenza R sia polarizzata leggermente negativa perchè così non può fornire corrente alla base in conduzione stazionarie. Poichè a temperatura ambiente la $V_{be} \simeq 0{,}1$ V, si può portare la $V_{bb} \simeq 0$, però per evitare che il circuito venga comandato da impulsi di rumore, e per impedire oscillazioni libere a temperature elevate, si pone la V_{bb} a meno qualche decimo di Volt. Però dato che la $V_{bb} \ll V_{cc}$ e non influenza il modo di operare del circuito, di solito viene trascurata. Se si applica un impulso di eccitazione, ad esempio un segnale negativo al collettore, il trasformatore riporta in base l'impulso ma con polarità positiva. Ciò provoca conduzione nel transistore. Il passaggio di corrente nel transistore diminuisce la tensione di collettore che a sua volta si ripercuote ancora come aumento della tensione di base. Si stabilisce così un'azione rigenerativa che porta rapidamente il transistore in condizioni di saturazione.

La durata, l'ampiezza e la forma degli impulsi che si generano sul collettore e sulla base possono essere discussi riferendoci allo schema equivalente di fig. 5.16 (b).

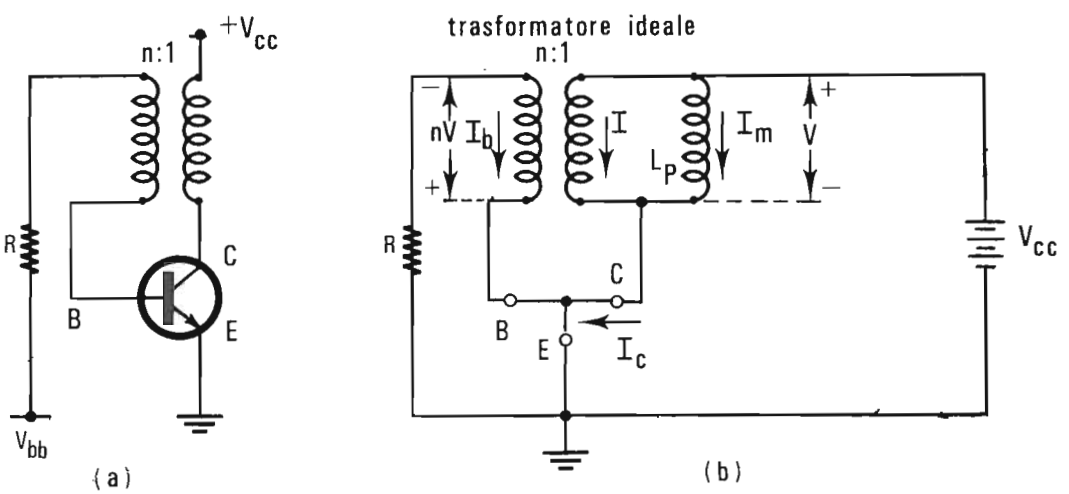


Fig. 5.16 - (a) Schema dell'oscillatore bloccato con controllo a corrente di base. (b) Circuito equivalente per il calcolo della durata e della forma dell'impulso.

Per semplificare la trattazione riterremo il transistore equivalente ad un interruttore ideale chiuso quando si trova in saturazione: trascuriamo cioé tutte le tensioni residue V_{cb}, V_{ce}, V_{be} e le resistenze interne in saturazione. Per il trasformatore consideriamo il circuito equivalente discusso nel paragrafo 1.6 composto di un trasformatore ideale e della rete riportata in fig. 1.27 (b). Questo circuito equivalente si può ulteriormente semplificare, trascurando la sola induttanza di perdita $\sigma_1 = L_p (1 - K^2)$ e considerando la sola induttanza di magnetizzazione $\sigma_2 = K^2 L_p \simeq L_p$, giacchè in questi casi è sempre $K \simeq 1$.
Il circuito si presenta allora come in fig. 5.16 (b) con la induttanza di magnetizzazione in parallelo al primario del trasformatore ideale. Devono valere le seguenti relazioni :

$$
(5.16) \qquad \begin{cases} V = V_{cc} \\ I_b = \dfrac{nV}{R} = \dfrac{nV_{cc}}{R} \\ I = nI_b = \dfrac{n^2 V_{cc}}{R} \\ L_p \dfrac{d\, i_m}{dt} = V \quad \text{cioè} \quad i_m = \dfrac{V_{cc}\, t}{L_p} \\ I_c = I + I_m \quad . \end{cases}
$$

Si ricaveranno così gli andamenti della corrente di collettore e della corrente di base durante l'impulso :

$$
(5.17) \qquad \begin{cases} I_c = \dfrac{n^2 V_{cc}}{R} + \dfrac{V_{cc} \cdot t}{L_p} \\ I_b = \dfrac{nV_{cc}}{R} \quad . \end{cases}
$$

Si vede che la corrente di base é costante durante l'impulso, mentre la corrente di collettore parte da un valore finito per $t = 0$ e poi aumenta linearmente come indicato in fig. 5.17.
Per $t = 0$ il rapporto fra le correnti è $I_c/I_b = n$. Il transistore si porta in saturazione se $n < \beta$, cioè se il rapporto di trasformazione è minore del guadagno di corrente collettore-base: ciò è sempre verificato perchè n è dell'ordine delle unitá mentre β è dell'ordine delle decine. Successivamente

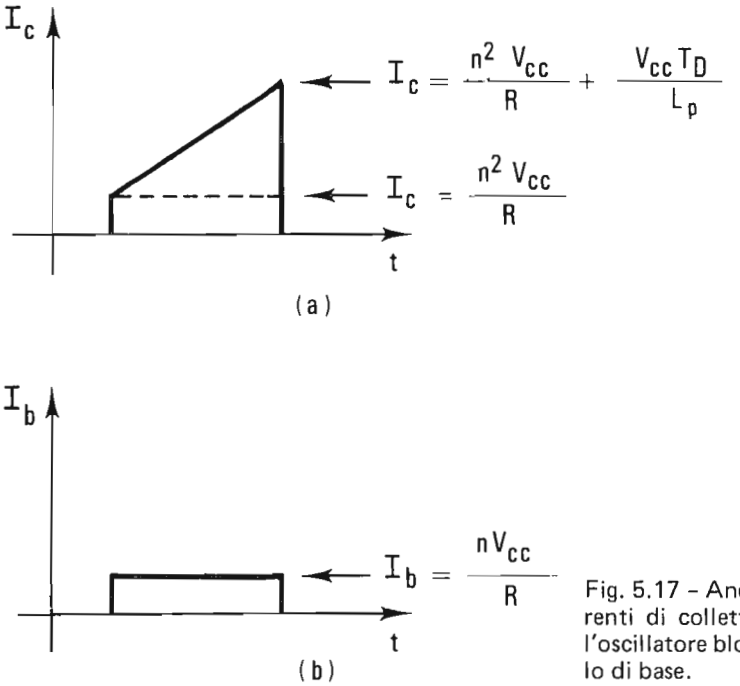


Fig. 5.17 - Andamento delle correnti di collettore e di base nell'oscillatore bloccato con controllo di base.

I_c aumenta nel tempo e ad un certo istante T_D si raggiungerà la condizione:

$$I_c = \beta I_b \quad . \tag{5.18}$$

A questo istante la corrente di base non è più sufficiente a mantenere il transistore in saturazione. Si ritorna quindi nella regione attiva con la tensione di collettore che tende ad aumentare. Questo aumento si ripercuote come una diminuzione della tensione di base e si stabilisce di nuovo una azione rigenerativa che porta questa volta il transistore rapidamente all'interdizione.
Se noi sostituiamo nella (5.18) i valori delle (5.17) troviamo la durata T_D dell'impulso :

$$T_D = \frac{nLp}{R}(\beta - n) \simeq \frac{nLp}{R}\beta \ . \tag{5.19}$$

Si vede che T_D dipende linearmente da β il quale varia da transistore a transistore e non è costante con la temperatura. Sicchè si osserva che lo schema

di fig. 5.16 (a) non può essere raccomandato quando si desidera un generatore che dia impulsi di durata e forma costante ed indipendenti al variare delle caratteristiche del transistore e per sostituzione di un transistore con un altro.

5.7.2. Oscillatore bloccato monostabile con controllo a corrente di emettitore.

Lo schema di fig. 5.18 (a) differisce da quello di fig. 5.16 (a) per il fatto che la resistenza R è stata rimossa dal circuito di base ed inserita sul terminale di emettitore.
L'azione rigenerativa di svolge con le modalità già descritte del paragrafo precedente. Lo schema equivalente con transistore in saturazione ottenuto con le stesse approssimazioni introdotte per lo schema 5.16 (b), è riportato in fig. 5.18 (b).
Devono valere le seguenti equazioni alle maglie ed ai nodi :

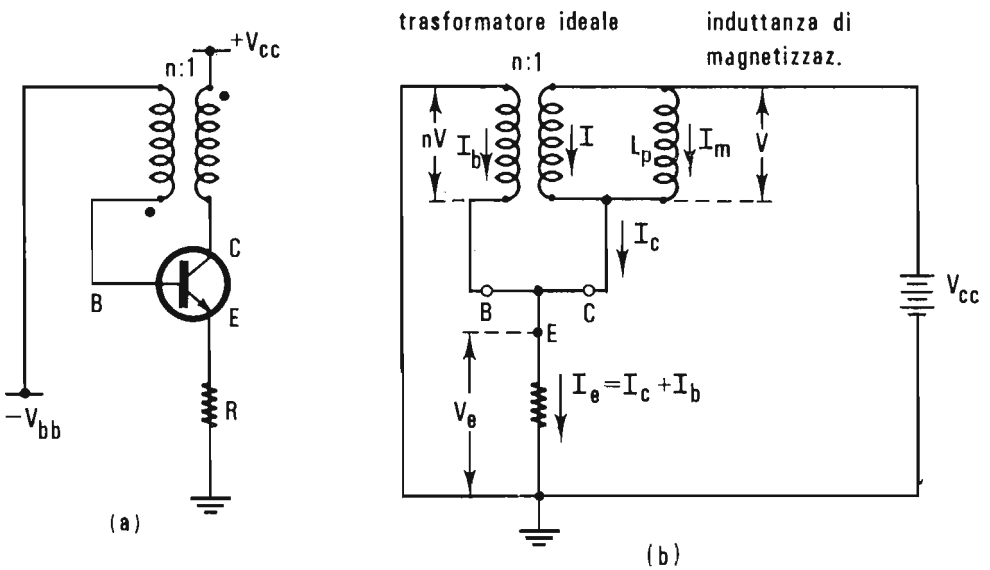


Fig. 5.18 - (a) Schema dell'oscillatore bloccato con controllo a corrente di emettitore. (b) Schema equivalente per il calcolo della durata e della forma dell'impulso.

$$
(5.20) \qquad \begin{cases} V_{cc} = V + nV \\ I_e = I_c + I_b \\ V_e = (I_c + I_b) \cdot R = nV \\ I = nI_b \\ I_c = I + I_m \\ I_m = \dfrac{Vt}{L_p} \end{cases}
$$

Da esse si ricavano facilmente le espressioni per le correnti che interessano:

$$
(5.21) \qquad \begin{cases} I_c = \dfrac{V_{cc}}{(n+1)^2} \left[\dfrac{n^2}{R} + \dfrac{t}{L_p}\right] \\ I_b = \dfrac{V_{cc}}{(n+1)^2} \left[\dfrac{n}{R} - \dfrac{t}{L_p}\right] \\ I_e = I_c + I_b = \dfrac{nV_{cc}}{(n+1)\,R} \end{cases}
$$

Si osserva che la corrente di collettore I_c è trapezoidale con salita lineare, la corrente di base I_b è anch'essa trapezoidale ma con discesa lineare e con una pendenza eguale in modulo alla pendenza della corrente di collettore. Ne risulta che la somma di queste due correnti, cioè la corrente di emettitore, è costante durante l'impulso.

All'istante iniziale, per $t = 0$, si ha $I_c = nI_b$. Essendo $n < \beta$ si ha $I_c < \beta\, I_b$ ed il transistore è comandato a stare in saturazione. Man mano che I_c cresce ed I_b diminuisce si raggiunge ad un certo istante T_D la condizione (5.18) che riporta il transistore in zona attiva.

Dalle (5.21) si ricava per T_D il valore :

$$
(5.22) \qquad T_D = \frac{n\,L_p}{R} \cdot \frac{\beta - n}{\beta + 1} \quad .
$$

Essendo $\beta \gg n$ questa espressione si può anche approssimare con la seguente :

$$
(5.23) \qquad T_D \simeq \frac{n\,L_p}{R} \quad .
$$

Da cui si vede che la durata dell'impulso diventa indipendente da β ed è funzione soprattutto del valore dei componenti passivi n, L_p ed R i quali sono molto più stabili nel tempo che i parametri del transistore.

5.7.3. Oscillatore bloccato astabile.

Il circuito di fig. 5.18 (a) può essere modificato per far funzionare il generatore **in modo astabile, in modo cioè che fornisca una sequenza di impulsi con periodo prefissato senza dover essere eccitato dall'esterno.**
A questo fine basta polarizzare la base ad una tensione V_{bb} positiva ed inserire un gruppo $R_1 C_1$ in serie alla resistenza R di emettitore come in fig. 5.19 (a) oppure in serie all'avvolgimento secondario del trasformatore nel circuito di base come in fig. 5.19 (b).
L'operazione del circuito si può illustrare qualitativamente come segue Riferiamoci per chiarezza allo schema di fig. 5.19 (a), e supponiamo di partire da una condizione iniziale in cui il condensatore C_1 è carico ad una tensione più grande di V_{bb}. Il transistore perciò è interdetto e C_1 si scarica esponenzialmente verso massa con costante di tempo $\tau_1 = R_1 C_1$.

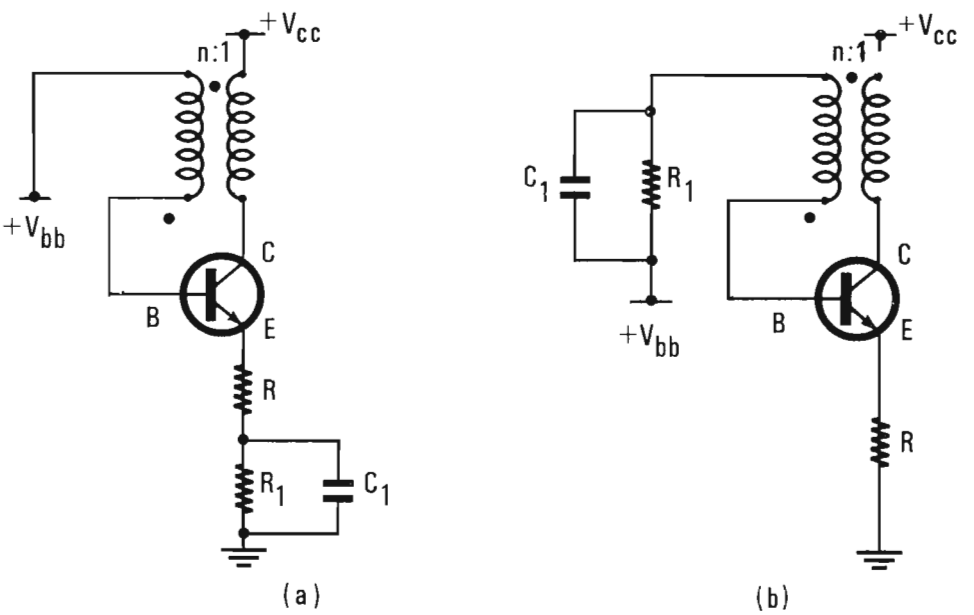


Fig. 5.19 - (a) (b) - Schema di oscillatori bloccati astabili con il gruppo di polarizzazione R_1 C_1 sull'emettitore (a) e sulla base (b).

Quando la tensione su C_1 raggiunge il valore V_{bb}, il transistore comincia a condurre corrente ed inizia l'azione rigenerativa propria dell'oscillatore bloccato già discussa nei paragrafi precedenti.
L'impulso generato ha le stesse caratteristiche esaminate per il circuito di fig. 5.18. La corrente I_e, che fluisce nell'emettitore durante l'impulso, carica linearmente il condensatore C_1 verso una tensione più alta di quella a cui si era iniziato l'impulso.
La carica lineare, alla fine dell'impulso di durata T_D avrà fatto subire al condensatore una variazione di tensione data da :

$$\Delta V^* = \frac{1}{C_1} \int_0^{T_D} \frac{1}{I_e}\, dt = \frac{1}{C_1} I_e T_D \tag{5.24}$$

Non appena il transistore si interdice, il condensatore carico alla tensione $V^* = \Delta V^* + V_{bb}$ inizia una nuova scarica esponenziale verso massa del tipo :

$$V_{c1}(t) = V^* e^{-\frac{t}{\tau_1}} \quad . \tag{5.25}$$

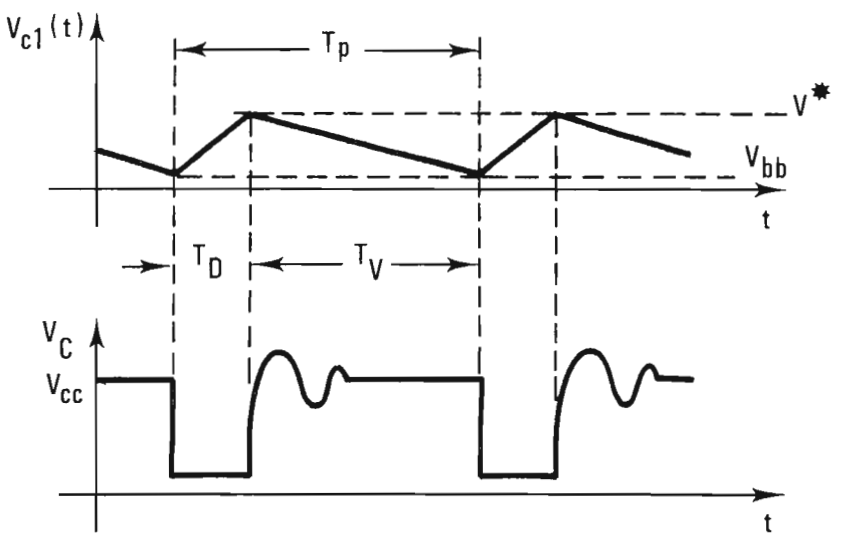


Fig. 5.20 - Forme d'onda per il circuito astabile di Fig. 5.19 (a) sul condensatore C_1 e sul collettore del transistore.

Questa scarica viene di nuovo interrotta quando V_{c1} (t) raggiunge il valore V_{bb}, cioè dopo un intervallo di tempo T_V dato da :

$$T_V = \tau_1 \ln \frac{V^*}{V_{bb}} = R_1 C_1 \ln \frac{V^*}{V_{bb}} \quad . \tag{5.26}$$

Il periodo di ripetizione degli impulsi T_p è ovviamente pari a $T_p = T_D + T_V$. L'andamento delle forme d'onda sul collettore e sul gruppo R C sono quelle riportate in fig. 5.20.

5.7.4. Considerazioni sul tempo di salita negli impulsi dell'oscillatore bloccato.

Abbiamo visto nei paragrafi precedenti come si calcola la durata T_D dell'impulso in un oscillatore bloccato, [vedansi le relazioni (5.19) e (5.23)]. Per il generatore astabile abbiamo calcolato la distanza temporale T_V fra due successivi impulsi – vedasi la relazione (5.26) – e quindi il periodo $T_p = T_D + T_V$.
In tutte le trattazioni abbiamo invece trascurato il tempo di salita e di discesa dell'impulso ritenendolo, come è in pratica, molto piccolo rispetto alla durata T_D. Il tempo di salita può essere anch'esso calcolato, ma la trattazione analitica è estremamente laboriosa e richiede tante approssimazioni che alla fine rendono di scarso valore predittivo i risultati analitici ottenuti. La determinazione del tempo di salita viene perciò fatta sperimentalmente. Come criterio di progetto si deve ovviamente ritenere che esso è tanto minore quanto migliore è la risposta alle alte frequenze del transistore e del trasformatore. Particolari accorgimenti costruttivi vanno presi al fine di **ridurre le capacità parassite negli avvolgimenti del trasformatore e di ottenere un'alta permeabilità alle alte frequenze scegliendo nuclei di ferrite adatti allo scopo.**

5.8. GENERATORI DI RAMPA LINEARE.

Questi circuiti generano una tensione u(t) che, entro un determinato intervallo di tempo, varia linearmente in modo che possano ritenersi valide le

relazioni :

$$(5.27) \qquad \begin{cases} u(t) = at + c \\ \dfrac{du}{dt} = a \end{cases}$$

Forme d'onda di questo tipo, comunemente indicate come impulsi a dente di sega, hanno la loro principale applicazione per deflettere con velocità costante lungo l'asse x il fascetto elettronico in un tubo a raggi catodici onde ottenere l'asse dei tempi. In altre parole, attraverso una rampa lineare si può fare la **conversione di una misura d'ampiezze in una misura di tempo.** Un uso analogo si ha nei radar e in televisione mentre nella strumentazione di laboratorio l'impulso a salita lineare viene frequentemente utilizzato sia per le operazioni di conversione ampiezza-tempo, sia per misure di intervalli di tempo.
In pratica l'impulso generato presenterà degli spostamenti dall'andamento di linearità suggerito con le (5.27).

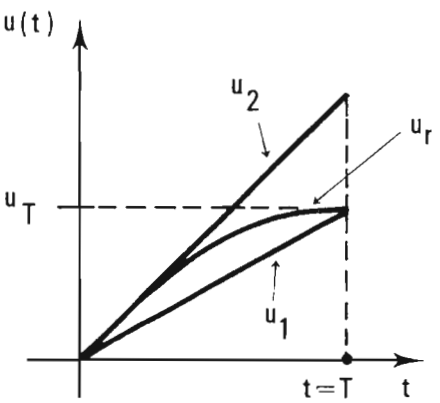


Fig. 5.21 -

Si possono definire diversi parametri per valutare quantitativamente gli errori di linearità, tra essi i più usati sono :

1) **errore di velocità**: definito come il rapporto fra la differenza delle pendenze all'inizio e alla fine della rampa rispetto al valore iniziale della pendenza;

$$(5.28) \qquad \varepsilon_v = \frac{\dot{u}_r\,(t = T) - \dot{u}_r\,(t = o)}{\dot{u}_r\,(t = o)} \quad .$$

2) **errore di spostamento o di linearità integrale**: definito come il rapporto fra la massima differenza, che si verifica fra l'impulso reale u_r e l'impulso ideale u_1 passante per gli stessi punti di origine e di fine, rispetto al valore di fine-impulso u_r (t = T).

$$\varepsilon_\ell = \frac{(u_1 - u_r)\,\max}{u_r\,(t = T)} \quad . \tag{5.29}$$

3) **errore di trasmissione**: definito come il rapporto fra la differenza dei valori che al tempo t = T hanno u_r e u_2 rispetto al valore u_2 (t = T). L'impulso u_2 è l'impulso a salita lineare ideale che coincide con la tangente all'origine di u_r.

$$\varepsilon_t = \frac{(u_2 - u_r)\; t = T}{u_2\,(t = T)} \quad . \tag{5.30}$$

Poichè tali errori, nei casi di pratica applicazione non devono essere mai superiori a qualche per cento, si può approssimare la forma d'onda reale con uno sviluppo in serie troncato al termine del secondo ordine (ossia gli scostamenti dalla rampa ideale, che è un'equazione di I° grado, devono essere piccoli) :

$$u\,(t) = c + \alpha\, t + \frac{1}{2}\,\beta\, t^2 + \ldots . \tag{5.31}$$

Da cui si ricava facilmente :

$$\varepsilon_v = \frac{\beta}{\alpha}\, T. \tag{5.32}$$

Per calcolare il valore di ε_ℓ, si tenga presente che si può scrivere $u_1 = (\alpha + \frac{1}{2}\,\beta T)\, t$. Si ottiene quindi :

$$\varepsilon_\ell = \frac{\beta\; T^2}{8\,(\alpha T + \frac{1}{2}\,\beta T^2)} \simeq \frac{1}{8}\,\frac{\beta}{\alpha}\, T. \tag{5.33}$$

Il valore di ε_e si calcola tenendo presente che $u_2 = \alpha t$:

$$\varepsilon_t = \frac{1}{2}\,\frac{\beta}{\alpha}\, T \quad . \tag{5.34}$$

Nel caso di una u_r approssimabile con la (5.31), gli errori precedentemente definiti sono dunque nelle seguenti relazioni :

$$\varepsilon_\ell = \frac{1}{8}\varepsilon_v \quad ; \quad \varepsilon_t = \frac{1}{2}\varepsilon_v \quad . \tag{5.35}$$

5.8.1. Il generatore di rampa con la rete di quasi-integrazione.

Un semplice circuito adatto alla generazione di rampe lineari è il circuito quasi integratore, in cui il condensatore viene cortocircuitato da un interruttore che si apre quando si desidera l'impulso (fig. 5.22).
L'interruttore può essere, ad esempio, costituito da un transistore normalmente in saturazione che viene portato all'interdizione con un impulso rettangolare la cui durata definisce la durata del dente di sega.

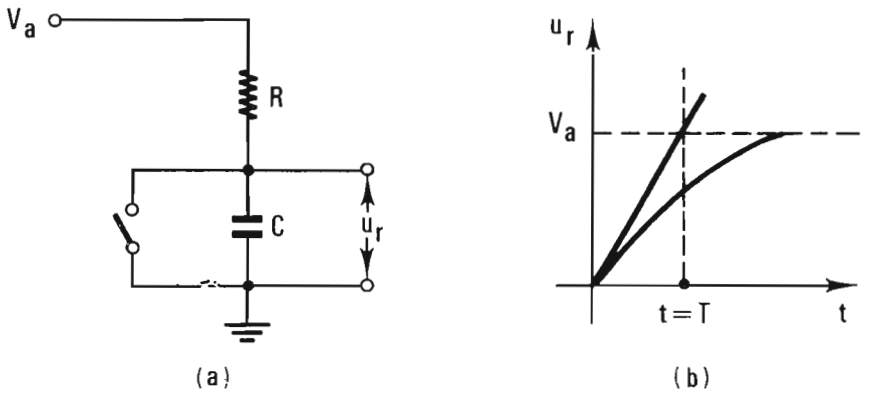


Fig. 5.22 -

Trascurando la tensione di riposo ai capi di C dovuta alla resistenza finita degli interruttori prima accennati, si ha semplicemente :

$$u_r(t) = V_a(1 - e^{-\frac{t}{RC}}) = V_a\left[\frac{t}{RC} - \frac{1}{2}\left(\frac{1}{RC}\right)^2 t^2 + \ldots\right] . \tag{5.36}$$

La massima tensione di uscita raggiunta all'istante t = T quando termina l'impulso, è data da :

$$u_r(T) = V_a\left[\frac{T}{RC} - \frac{1}{2}\left(\frac{1}{RC}\right)^2 T^2 + \ldots\right] . \tag{5.37}$$

L'errore di velocità può essere posto in entrambe le seguenti forme :

$$(5.38) \qquad |\varepsilon_v| = \frac{T}{R\,C} \simeq \frac{u_r(T)}{V_a} \quad .$$

Se ne deduce che **per contenere ε_v entro valori ammissibili, occorre fare** $T \ll RC$: ciò significa **dover prendere solo la porzione iniziale dell'esponenziale limitando notevolmente l'ampiezza massima del dente di sega rispetto al valore V_a.**
Quando non si dispone di valori sufficientemente elevati di V_a, non è sempre possibile seguire lo schema di fig. 5.22. Si può certo pensare di generare una rampa di piccola ampiezza che successivamente venga amplificata; ma i limiti nella dinamica lineare degli stadi amplificatori spesso non consentono di ottenere i risultati desiderati.

5.8.2. Il generatore di rampa tipo Bootstrap.

La tensione di carica di un condensatore varia linearmente nel tempo se si riesce a mantenere costante la corrente di carica. Basta ricordare la relazione :

$$(5.39) \qquad Q = I_0 t \quad ; \qquad u(t) = \frac{Q}{C} = \frac{I_0}{C} \cdot t.$$

Se quindi nella maglia, che comprende la tensione di alimentazione V_a di fig. 5.22, poniamo un generatore di tensione variabile e(t) come in fig. 5.23, e facciamo in modo che in ogni istante sia e (t) = u (t), allora la tensione ai capi di R è sempre costante e pari a V_a : ciò mantiene costante la corren-

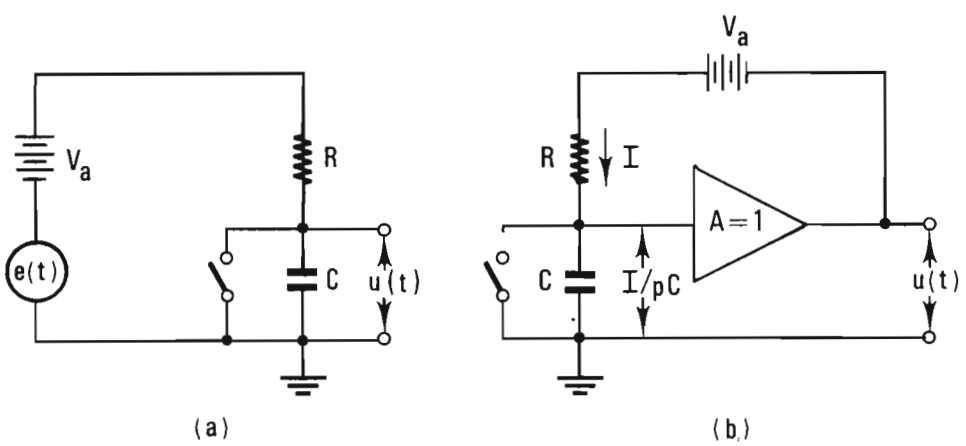


Fig. 5.23 -

te che, attraversando R, carica C. Questa condizione viene realizzata con un circuito noto col nome di "Bootstrap". La tensione e (t) è ottenuta con un amplificatore di guadagno unitario alla cui entrata si applica il segnale u (t) che carica C, come in fig. 5.23. In pratica c'è da aspettarsi che il guadagno dell'amplificatore non sia esattamente pari a 1 e ciò introduce gli errori di linearità che possono essere valutati, scrivendo le equazioni del circuito.

$$(5.40) \qquad \begin{cases} (R + \frac{1}{pC})\, I = \bar{u} + \frac{V_a}{p} \\ \bar{u} = A \cdot \frac{\bar{I}}{pC} \end{cases}$$

Risolvendo rispetto a $\bar{u}$ ed antitrasformando otteniamo :

$$(5.41) \qquad \begin{cases} \bar{u} = V_a \frac{A}{RC} \cdot \frac{1}{p\,[\,p + \frac{1-A}{RC}\,]} \\ u(t) = V_a A\,[\,\frac{t}{RC} - \frac{1}{2}\,\frac{(1-A)}{(RC)^2}\,t^2\,] \end{cases}$$

Nella versione più corrente il circuito bootstrap è realizzato con un semplice amplificatore del tipo inseguitore ad emettitore (emitter-follower). L'uscita dell'inseguitore è accoppiata capacitivamente, mediante un condensatore C*, al nodo N dove la resistenza R viene alimentata con tensione V_a.

Il condensatore C* deve essere sufficientemente grande da non perdere una carica apprezzabile durante il dente di sega in modo da riportare inalterate sull'estremo di R le variazioni di tensione che si hanno in uscita. Il diodo D viene inserito per funzionare come un interruttore; in condizioni di riposo quando S è chiuso, il diodo D conduce e mantiene carico il condensatore C* alla tensione V_a; quando viceversa S viene aperto, si genera in uscita l'impulso a salita lineare che viene riportato nel nodo N sicchè la tensione in questo nodo deve salire a valori superiori a V_a.

Questo è consentito grazie al diodo D che si interdice durante l'impulso e permette così al nodo N di elevarsi a valori superiori a V_a.

Lo schema di fig. 5.24 (a) può essere analizzato riferendosi allo schema equivalente di fig. 5.24 (b). Le equazioni del circuito sono :

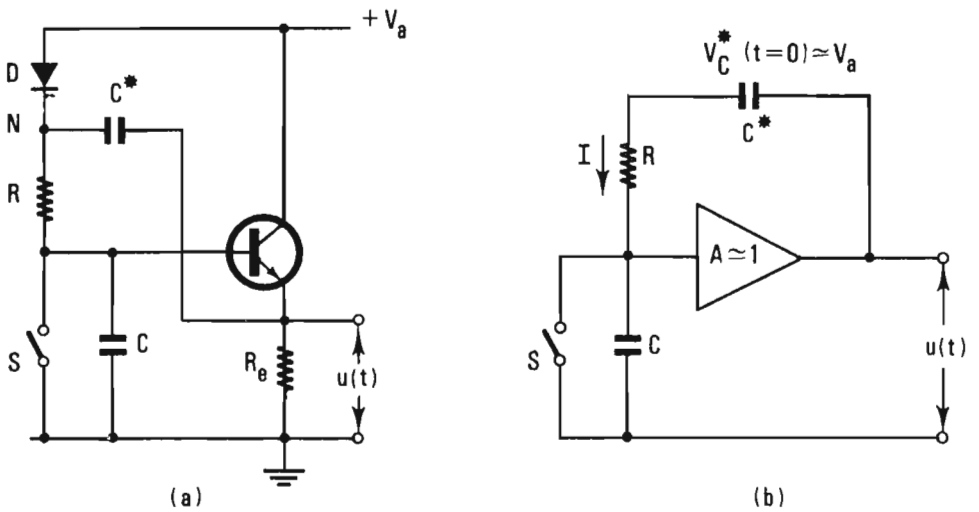


Fig. 5.24 - (a) Circuito boostrap per la generazione di rampe lineari. - (b) Schema equivalente per l'analisi circuitale.

$$(5.42)\qquad \begin{cases} \bar{u} + \dfrac{V_a}{p} = \left[R + \dfrac{1}{pC} + \dfrac{1}{pC^*} \right] \bar{I} \\ \bar{u} = A \dfrac{\bar{I}}{pC} \end{cases}$$

eliminando la corrente $\bar{I}$ si ottiene :

$$(5.43)\qquad \bar{u} = V_a \frac{A}{RC} \cdot \frac{1}{p \left[p + \dfrac{C + C^* (1-A)}{RCC^*} \right]}$$

Si vede che la (5.43) coincide con la (5.41) se si può accettare l'approssimazione :

$$(5.44)\qquad \frac{RCC^*}{C + C^* (1-A)} \simeq \frac{RC}{1-A}$$

affinchè lo schema di fig. 5.24 (b) si comporti come quello teorico di fig. 5.23 (b), si deve avere :

$$(5.45)\qquad C^* (1-A) \gg C$$

5.8.3. Il generatore di rampa tipo Miller.

Un secondo schema che, con diversa configurazione, realizza la condizione di mantenere costante la caduta di tensione ai capi della resistenza di carica è riportato in fig. 5.25 e prende il nome di **circuito Miller.**

Si può notare che nel circuito Miller è il condensatore di carica C a trovarsi in parallelo all'amplificatore, mentre nel circuito bootstrap è la resistenza di carica R che si trova in parallelo all'amplificatore. **Attualmente le migliori condizioni di linearità si ottengono per** $A \rightarrow -\infty$, **mentre per il bootstrap si ottenevano per** $A \rightarrow 1$.

Lo schema Miller è quello classico di un amplificatore controreazionato di tipo operazionale il cui terminale di entrata M rimane vincolato alla tensione di massa per qualsiasi variazione di tensione applicata al terminale N della resistenza R: per questo motivo il terminale di entrata viene detto a massa virtuale.

Per illustrare intuitivamente il funzionamento dell'amplificatore a massa virtuale ricordiamo che, se $A = \infty$, **l'effetto di una sorgente che imporrebbe variazioni di tensione finita al terminale M, sarebbe quello di generare una risposta u (t) infinita.** Attraverso il condensatore C si richiederebbe quindi una corrente infinita alla sorgente. Ma se una corrente infinita fluisce in risposta a una variazione finita di tensione, ciò significa che **l'effettiva impedenza di ingresso dell'amplificatore nel terminale M deve essere zero.** Perciò **per variazioni finite di u (t), il terminale di ingresso rimane vincolato alla tensione di massa.**

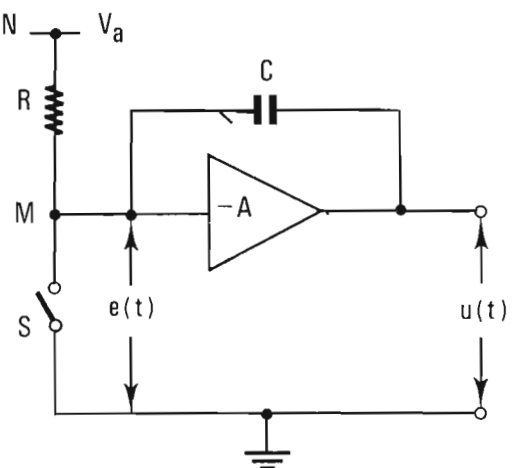


Fig. 5.25 -

Nel caso in esame sulla resistenza R resterebbe applicata la tensione $+V_a$, e la corrente costante V_a/R caricherebbe il condensatore C generando in uscita la tensione :

$$u(t) = -\frac{V_a}{RC}\, t \quad .$$

Nel caso reale il fattore di amplificazione A è finito e le equazioni del circuito sono :

$$(5.46) \qquad \begin{cases} \dfrac{V_a/p - \bar{e}}{R} = pC\,(\bar{e} - \bar{u}) \\[2ex] \bar{u} = -A\,\bar{e} \end{cases}$$

eliminando $\bar{e}$, si ottiene :

$$(5.47) \qquad \bar{u} = -\frac{V_a}{p} \cdot \frac{A}{1 + pCR\,(1 + A)}$$

la risposta è caratterizzata da un polo nel punto $p^* = -\dfrac{1}{CR\,(1 + A)}$. Detto polo si avvicina tanto più all'origine quanto più grande è A. Al limite per $A \to \infty$ la funzione viene a coincidere con quella dell'operatore di integrazione ideale $\frac{1}{p}$ il quale trasforma un impulso a gradino in uno a salita lineare.
Per $A \to -\infty$, la (5.47) si può approssimare come segue :

$$(5.48) \qquad \bar{u} = \frac{V_a}{p} \cdot \frac{1}{pCR} \quad .$$

che, antitrasformata, presenta appunto un andamento lineare la cui pendenza dipende solo dal rapporto fra la tensione di alimentazione V_a e la costante di tempo RC.

$$(5.49) \qquad u(t) = \frac{V_a}{RC}\, t \quad .$$

Un esempio pratico è offerto dallo schema di fig. 5.26 (a) : in esso il transistore T_1 agisce come l'interruttore S mentre T_2 agisce come amplificatore Miller.

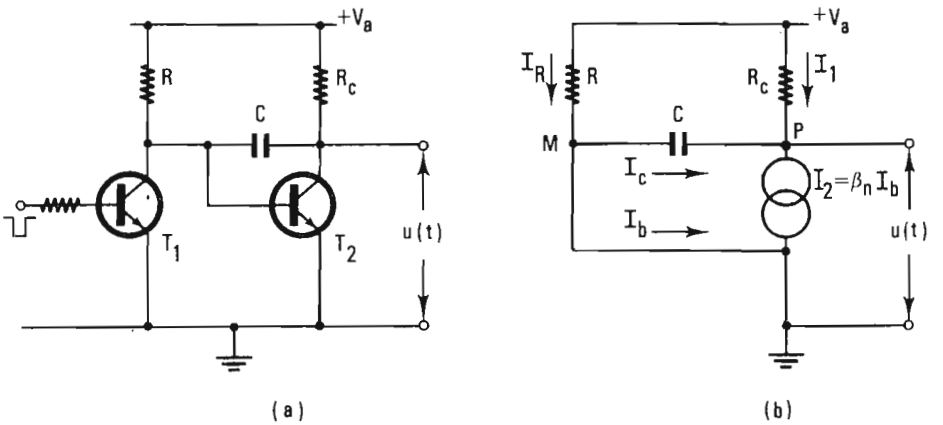


Fig. 5.26 - (a) Schema circuitale di un generatore di rampa lineare tipo Miller. (b) Schema equivalente per il calcolo della salita lineare nel segnale d'uscita u (t) quando si interdice T_1 .

Non appena T_1 viene interdetto la tensione di base V_b di T_2 sale leggermente a circa 0.3 Volt al cui valore rimane in seguito vincolata. Poichè, prima di questo istante T_2 era interdetto, l'accoppiamento fra base e collettore dovuto al condensatore C fa sì che questo gradino di tensione si ritrovi anche sul collettore di T_2 .

Successivamente la tensione di collettore di T_2 diminuisce linearmente fino a che il transistore T_1 non viene di nuovo comandato alla saturazione. L'analisi del circuito può essere fatta riferendosi allo schema equivalente di fig. 5.26 (b).

Le equazioni dell'equilibrio delle correnti ai nodi M e P sono :

$$(5.50)\qquad \begin{cases} I_R = I_c + I_b \;; & \text{cioè } \dfrac{1}{R}\,\dfrac{V_a}{p} = p\,C\,\bar{u} + I_b \\[2ex] I_1 + I_c = I_2 \;; & \text{cioè } \dfrac{\dfrac{V_a}{P} - \bar{u}}{R_c} + p\,C\,\bar{u} = \beta\, I_b \;. \end{cases}$$

Eliminando I_b, troviamo per la tensione d'uscita :

$$(5.51)\qquad \bar{u} = \beta\,\frac{R_c}{R}\cdot\frac{V_a}{p}\left[\frac{1}{1 + pCR_c\,(1+\beta)}\right] \;.$$

La funzione è caratterizzata da un polo nel punto $-\dfrac{1}{CR_c\,(1+\beta)}$.

Quando β è molto grande la (5.51) si può approssimare con lo stesso criterio usato per la (5.47) riottenendo l'espressione (5.49).

5.8.4. Il generatore di rampa a corrente costante.

Il metodo più semplice per caricare linearmente un condensatore è, come si è visto all'inizio del paragrafo, quello di adoperare una sorgente a corrente costante I_0. La pendenza della rampa lineare risulta allora pari a I_0/C. I transistori si prestano bene a questo scopo. Infatti, esaminandone le curve caratteristiche, osserviamo che **la corrente di collettore si mantiene quasi costante se variamo la tensione di collettore e teniamo fissa la corrente di base.**

Un semplice schema può essere pensato come in fig. 5.27 (a). L'insieme formato dalla resistenza R e dal diodo zener D_2 serve per generare una tensione fissa V_Z a cui tener polarizzata la base del transistore. In questo modo si fissa la corrente di emettitore che risulta essere :

$$I_e \simeq \frac{V_Z}{R_e} \quad . \tag{5.52}$$

Se chiamiamo con r_c la resistenza dinamica di collettore, per corrente di emettitore costante, possiamo ritenere che la carica del condensatore C, quando si apre l'interruttore S, si svolge secondo lo schema equivalente di fig. 5.27 (b) e (c).

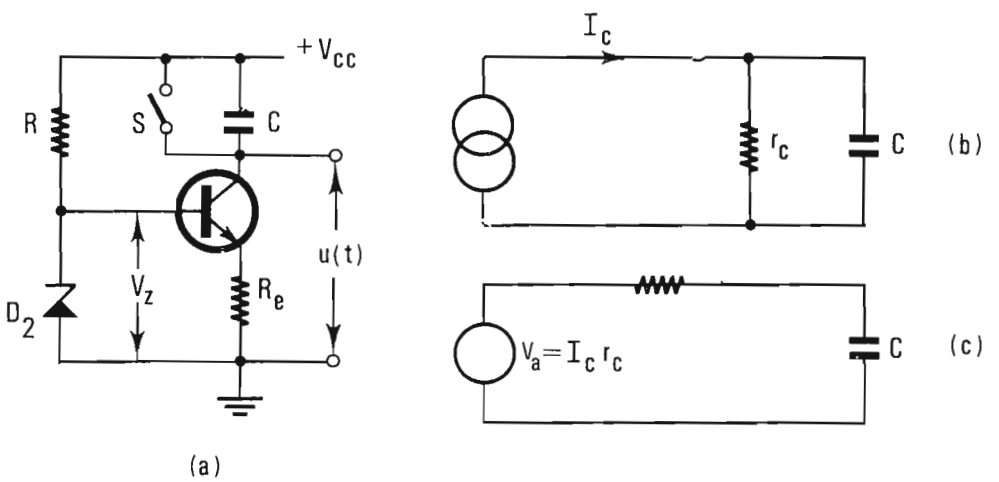


Fig. 5.27 - (a) Generatore di rampa a corrente costante; - (b) schema equivalente con generatore di corrente; - (c) schema equivalente con generatore di tensione.

Cioè la carica avviene come in un normale circuito $R \cdot C$, ma in questo caso, il tutto si svolge come se si disponesse di una tensione $V_a = I_c r_c$ e di una resistenza r_c molto grandi, grazie proprio all'elevata resistenza dinamica di collettore r_c offerta dal transistore che in genere è superiore ai 100 KΩ e può raggiungere anche diversi MΩ. La tensione d'uscita può perciò scriversi :

$$u(t) \cong I_c r_c \left[\frac{t}{r_c C} - \frac{1}{2} \frac{t^2}{(r_c C)^2} \right] \tag{5.53}$$

che rispetto alla rampa ideale

$$u(t) = \frac{I_c}{C} t \tag{5.54}$$

presenta un errore di trasmissione pari a :

$$\varepsilon_t = \frac{1}{2} \frac{T}{r_c C} \quad . \tag{5.55}$$

La pendenza della rampa è quindi pari a $\frac{I_c}{C}$, e per mantenere l'errore entro limiti accettabili occorre che il tempo di carica sia piccolo rispetto alla costante di tempo $r_c C$, il cui valore è appunto funzione della resistenza dinamica di collettore del transistore e quindi molto elevato.

5.9. GENERATORI D'IMPULSI A RESISTENZA NEGATIVA CON DIODI TUNNEL.

Nell'elettronica impulsiva spesso si usano circuiti generatori di impulsi e circuiti di commutazione realizzati con componenti che presentano, su un tratto della loro curva caratteristica Volt-Ampère, una resistenza incrementale negativa.

E' il caso del diodo tunnel che, come abbiamo visto, presenta tale resistenza tra il valore di picco V_p ed il valore di valle V_v della curva caratteristica (vedi Fig. 2.15).

In seguito esamineremo come il funzionamento del diodo nel tratto a resistenza negativa consenta di realizzare circuiti bistabili, monostabili ed astabili.

Un'analisi qualitativa può essere condotta confrontando il comportamen-

to di un componente con il punto di lavoro situato nella zona a resistenza positiva, come in Fig. 5.28, rispetto a quello di un componente con il punto di lavoro nella zona a resistenza incrementale negativa, come in Fig. 5.29.

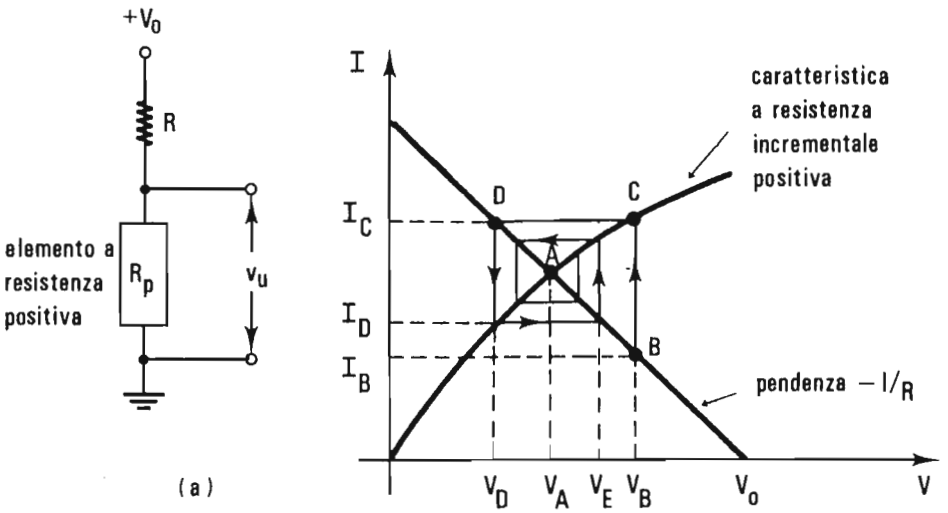


Fig. 5.28 -

Nel circuito di Fig. 5.28(a), se una perturbazione porta il punto di lavoro verso destra da A a B, cioé si verifica una diminuzione di caduta di tensione sulla resistenza R, in corrispondenza si ha un **aumento** di tensione e quindi un aumento di corrente da I_B ad I_C nell'elemento a resistenza positiva. Ciò tende a riabbassare la tensione su R da V_B a V_D. Il punto di lavoro si sposta così a sinistra e si ha allora un aumento della caduta di tensione su R: in corrispondenza diminuisce la caduta di tensione su R_p e quindi diminuisce la corrente da I_C ad I_D.

Con analoghi spostamenti successivi il sistema viene riposizionato in A, come mostrato dal percorso con le frecce di Fig. 5.28(b). Il punto A è quindi un punto di lavoro stabile.

Viceversa, se abbiamo un elemento che presenta un tratto a resistenza negativa, e se consideriamo il punto di lavoro A soggetto ad una piccola perturbazione, vediamo che essa si esalta fino a portare il sistema nel punto (1) o nel punto (2) a seconda del verso iniziale in cui si è verificata la perturbazione. Ad esempio supponendo che il punto di lavoro sia inizialmente spostato da A a B, vediamo che alla diminuzione di tensione su R

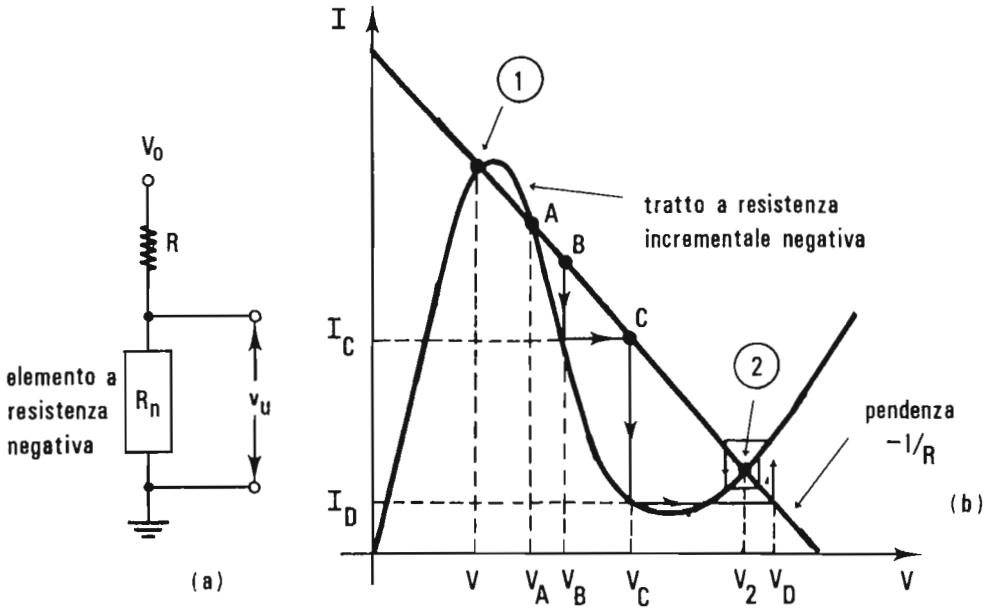


Fig. 5.29 -

corrisponde sempre un aumento di tensione su R_n. In questo caso però, essendo l'elemento a resistenza negativa, **l'aumento** di tensione è accompagnato da una diminuzione di corrente in R_n da I_B a I_C e quindi la tensione su R scende ancora da V_B a V_C.

Seguendo il cammino con le frecce di Fig. 5.29 (b), si vede che il sistema si porta così nel punto (2). Analogamente se la perturbazione iniziale si fosse verificata verso sinistra, il sistema sarebbe andato a posizionarsi nel punto (1).

Il punto A è quindi un punto di equilibrio instabile, giacchè basta una piccola perturbazione spontanea, del tipo dovuto ad esempio alla fluttuazione stratistica della corrente in R, per allontanare il sistema da detto punto.

La curva caratteristica di un diodo tunnel, la quale presenta un tratto a resistenza negativa e due tratti a resistenza positiva, può venire intersecata in uno o più punti dalla retta di carico di una resistenza R a seconda del valore di R e della tensione di alimentazione V_0.

Si vede così, come è mostrato in Fig.5.30(b), che il circuito di Fig.5.30(a) può avere due stati di equilibrio stabile ed uno stato di equilibrio instabile se

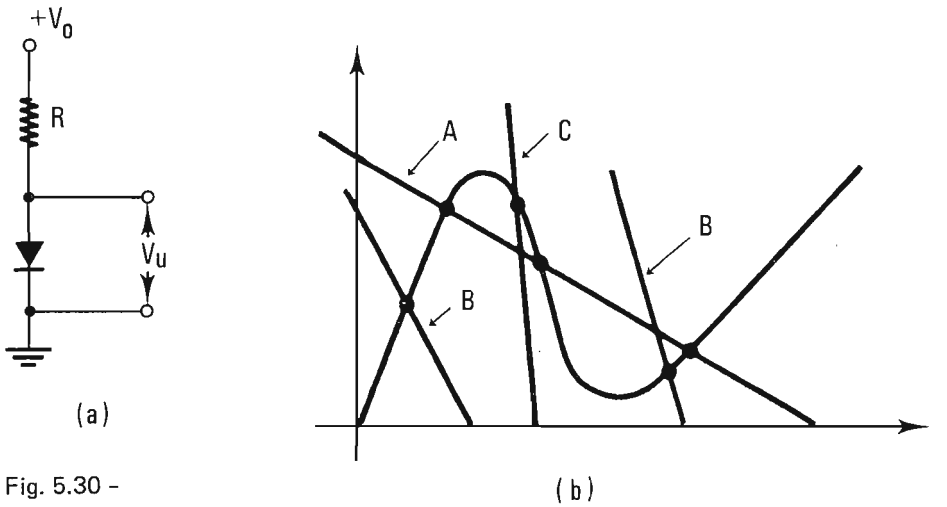


Fig. 5.30 -

la retta di carica interseca la curva in tre punti, come nel caso (A) ; oppure ha un solo stato di equilibrio stabile se la retta si presenta come nei due esempi del caso (B) ; infine presenta un solo punto di equilibrio instabile se l'unica intersezione avviene nel tratto a resistenza negativa come nel caso (C) .

Ai tre casi precedenti corrispondono circuiti impulsivi che si comportano come elementi bistabili, monostabili o astabili.

5.9.1. Funzionamento bistabile.

Consideriamo l'esempio riportato in Fig. 5.31.

Il diodo tunnel TD sia alimentato attraverso una resistenza R_1 di 2,5 KΩ ad una tensione di 20 V. La retta di carico si presenta allora come la linea a tratto pieno di Fig. 5.31(b)e taglia la curva del diodo tunnel in tre punti. Se TD si trova a condurre 8 mA nello stato di equilibrio stabile a bassa tensione, cioè nel punto di lavoro (1) , un impulso esterno, che inietti attraverso il condensatore C un segnale di corrente di 2 mA o superiore, porta il punto di lavoro oltre il valore di picco della caratteristica di TD: è come se la retta di carico si spostasse parallelamente a se stessa verso l'alto. Non appena si supera il valore di picco A, il circuito passa quasi istantaneamente nel punto B definito dalla retta tratteggiata in figura.

Quando il segnale esterno finisce, la retta di carico ritorna alla sua posizione iniziale ed il diodo tunnel si porta nel punto (2) che costituisce l'altro

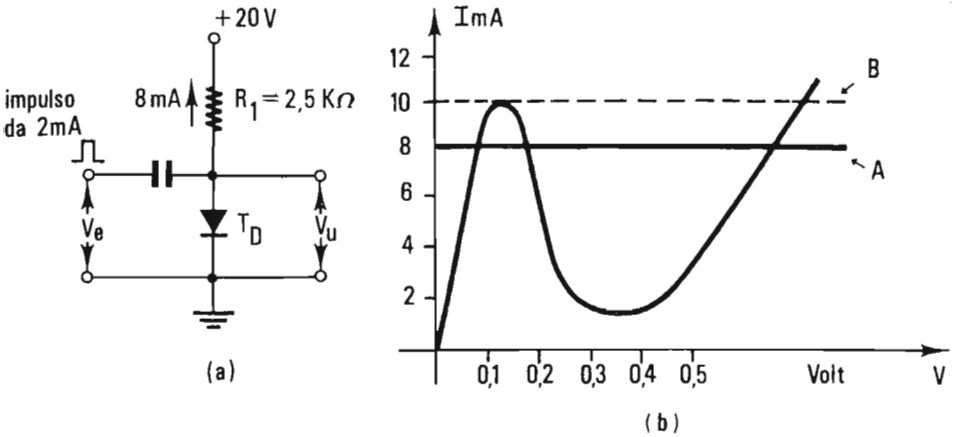


Fig. 5.31 -

punto di equilibrio stabile, a tensione.
E' ovvio che, per ritornare nel punto stabile a bassa tensione, è necessario applicare un segnale negativo di corrente capace di portare la retta di carico in regime impulsivo a scendere al di sotto della tensione di valle della caratteristica di TD.
Il circuito può perciò commutare da uno stato all'altro per ogni impulso applicato in ingresso e si comporta come un circuito bistabile.

5.9.2. Funzionamento monostabile.

Il funzionamento monostabile si ha quando la retta di carico interseca la caratteristica di TD in un solo punto ad equilibrio stabile come nei casi B di Fig. 5.30, o come nel caso di Fig. 5.32 in cui dei tre punti di intersezione uno è di equilibrio stabile, mentre gli altri due sono di equilibrio instabile perchè situati entrambi nella zona a resistenza negativa della caratteristica.
Si può ottenere una retta di carico con queste caratteristiche se si usa una bassa tensione di alimentazione e una bassa resistenza come in Fig. 5.32. Una corrente di 8 mA fluisce nella resistenza di 50Ω con una caduta di tensione di 0,4 V. Sul diodo tunnel cadono 0,03 V con 8 m A. La tensione di alimentazione totale è 0,43 V. Quando un segnale esterno inietta 2 m A nel diodo, la retta di carico si sposta parallelamente portando il punto di lavoro a superare il valore di picco.

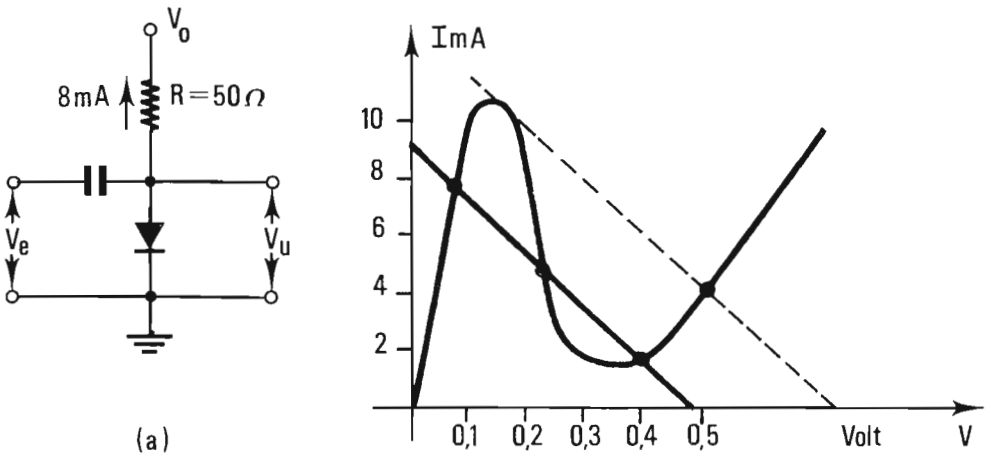


Fig. 5.32 - (b)

Il diodo commuta così nella posizione ② e vi rimane finchè dura l'impulso esterno. Dopo ogni impulso d'ingresso il circuito ritorna automaticamente nello stato ① , e si comporta perciò come un generatore monostabile che dà in uscita impulsi di ampiezza costante.

Un altro metodo per ottenere la retta di carico come descritto prima è mostrato in Fig. 5.33 (a). Il partitore costituito dalle resistenze R_1 e R_2 permette di usare una tensione di alimentazione più elevata mentre, per il teorema di Thevenin, la retta di carico può essere tracciata considerando la resistenza equivalente al parallelo di R_1 con R_2 ed una tensione data dal rapporto di partizione di R_1 e R_2.

Infine un ulteriore miglioramento dello schema monostabile lo si può ottenere inserendo una piccola induttanza in serie ad R_2 come in Fig. 5.33 (b). L'impedenza offerta da questa induttanza è molto più grande durante la commutazione e perciò la retta di carico in regime impulsivo diventa come la linea tratteggiata in Fig. 5.33 (c).

Si raggiungono così: una maggiore ampiezza di tensione nell'impulso d'uscita; una maggiore velocità di commutazione perchè la corrente, che passava in R_2 durante i fronti d'onda, ora viene bloccata dall'induttanza e può caricare più rapidamente la capacità diodica di TD; infine una durata dell'impulso che è controllata principalmente dalle costanti di tempo L/R del circuito.

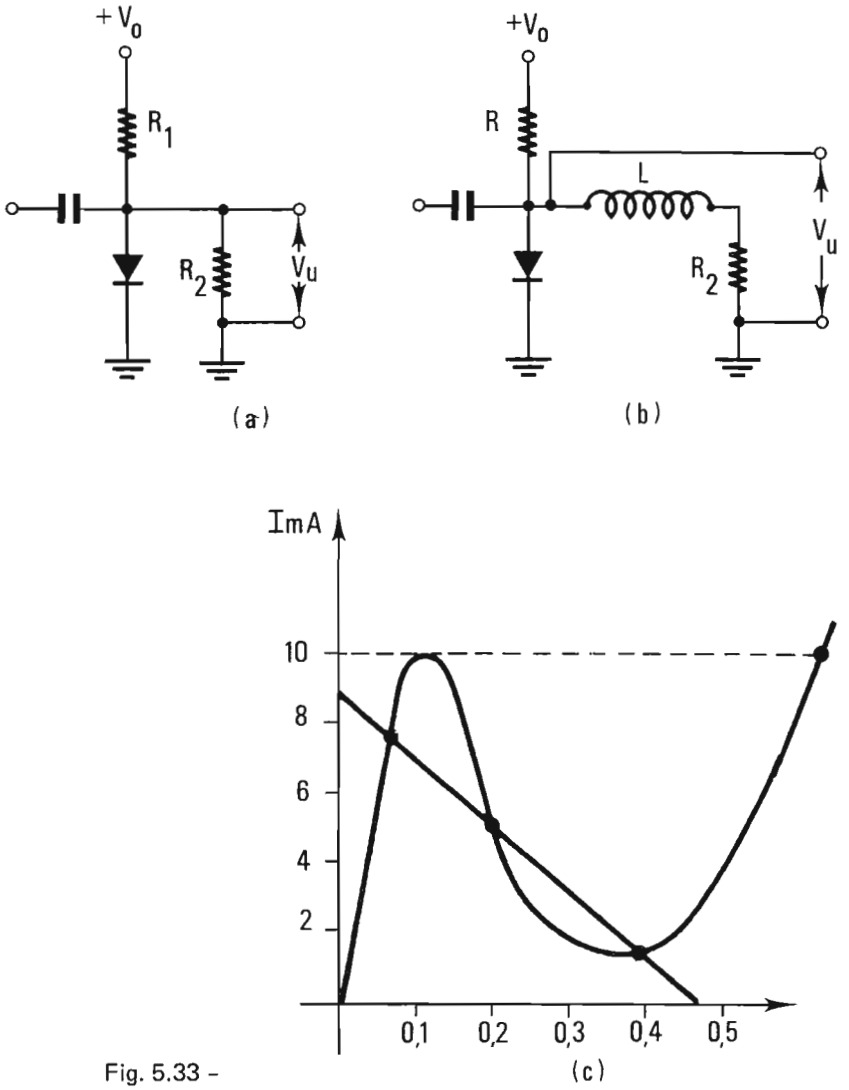


Fig. 5.33 -

5.9.3. Funzionamento astabile.

Il funzionamento astabile è possibile quando la retta di carico interseca la curva caratteristica del diodo solo nella zona a resistenza negativa. In pratica ciò si può attuare partendo ancora dal circuito di Fig. 5.33, ed aggiungendo la resistenza veriabile R_3 come in Fig. 5.34.

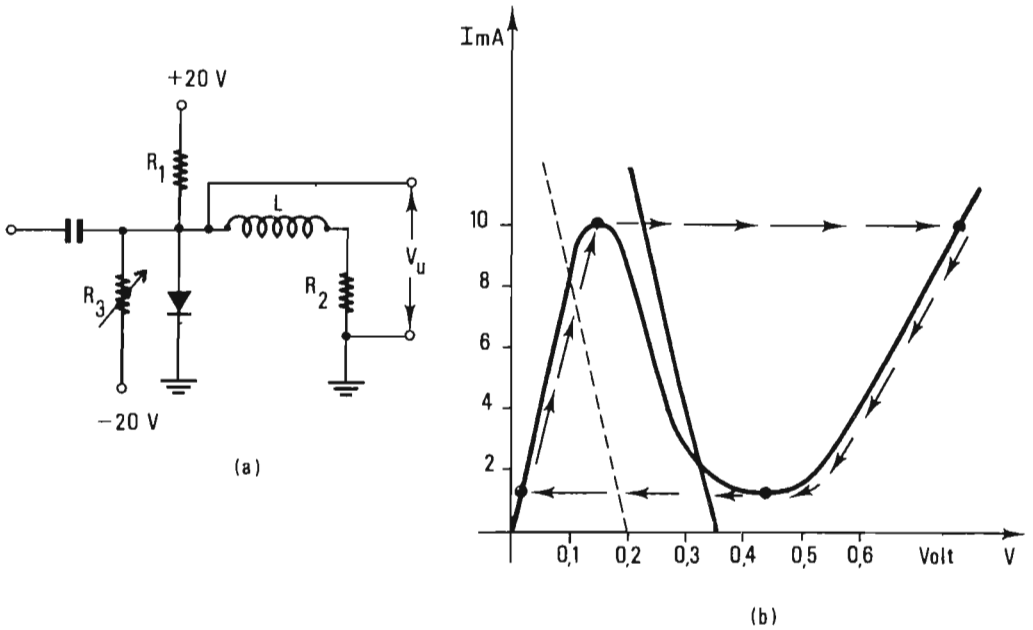


Fig. 5.34 -

Diminuendo R_3 si aumenta la corrente che fluisce verso la tensione −20 V e si diminuisce di conseguenza la corrente che fluisce in TD: cioè il diodo tende ad essere polarizzato al di sotto della corrente di picco nella zona a resistenza positiva ed è come se si spostasse la retta di carico verso la posizione indicata dalla linea tratteggiata di Fig. 5.34 (b).
Se viceversa si aumenta la resistenza R_3, cioè si riduce la corrente in R_3 e si aumenta la corrente in TD, la retta di carico va ad intersecare la curva del diodo solo nella zona a resistenza negativa ed il diodo commuta automaticamente fra il punto A ed il punto B di figura seguendo il percorso tratteggiato nel verso indicato dalle frecce.
La retta di carico effettiva cambia da quella dovuta all'impedenza di L durante i fronti d'onda, verso quella dovuta al carico resistivo nel tempo di durata dell'impulso fra un fronte ed il successivo. Questo cambiamento avviene con la costante di tempo L/R. Il circuito quindi commuta dallo stato A allo stato B e viceversa, fornendo in uscita impulsi periodici.

Capitolo 6

ALGEBRA DELLA LOGICA

6.1. ELEMENTI DI ALGEBRA DELLA LOGICA

In un sistema elettronico digitale si usano segnali con valori discreti ed in generale si scelgono i segnali binari con due soli possibili valori, simbolicamente indicati con 0 e 1. Questa scelta è anche suggerita dalla semplicità e dalla sicurezza dei circuiti che adottano solamente elementi bistabili e che devono discriminare solo fra due stati elettrici fra loro molto diversi. **Le operazioni su variabili binarie devono dare come risultato ancora variabili binarie.** L'algebra che definisce queste operazioni è detta algebra binaria o a due valori e spesso viene anche chiamata algebra a tutto o niente. Essa si applica a tutti quei casi in cui si hanno elementi capaci di assumere soltanto due condizioni antitetiche con esclusione di qualunque altra, e che in qualsiasi istante si trovano in una o nell'altra delle condizioni considerate.
Questo tipo di algebra è stata sviluppata verso la metà del secolo scorso da **George Boole**, che si provò ad analizzare le proposizioni logiche partendo dal loro contenuto di vero o di falso. La sua trattazione è nota anche come analisi matematica della logica. Da questa denominazione è derivato il termine di circuiti logici ai circuiti che eseguono operazioni su segnali binari. **L'algebra della logica può essere costruita considerando le relazioni di appartenenza o di non-appartenenza fra classi di oggetti.**
La classe di tutti gli oggetti che vengono presi in considerazione, senza preoccuparsi delle loro proprietà o dei loro caratteri è detta classe universale. Scegliamo la classe A costituita da tutti gli elementi che hanno una

determinata qualità e la classe B da elementi con un'altra determinata qualità, diversa dalla prima. Potremo considerare una nuova **classe costituita da quegli elementi della classe universale, che posseggono una almeno di quelle qualità,e cioè che appartengono a una almeno delle due classi** A e B. **La nuova classe si chiama Unione o somma logica di A e B e si indica con**

$$A \vee B \quad \text{oppure con} \quad A + B \ .$$

Potremo invece costituire **la classe degli elementi che posseggono entrambe le qualità richieste, cioè che appartengono ad entrambe le classi. La nuova classe si chiama intersezione o prodotto logico delle due classi e si indica con :**

$$A \wedge B \quad \text{oppure con} \quad A \cdot B.$$

Il considerare una classe A di elementi con una determinata proprietà implica necessariamente il considerare tutti gli elementi della classe universale che non posseggono quella proprietà. Si forma così una seconda classe indicata con $\bar{A}$ **e che si dice complementare ad** A. Le classi A ed $\bar{A}$ sono in relazione di complementazione o di negazione.
Nel linguaggio ordinario l'operazione logica di somma viene espressa con la congiunzione **o** (or in inglese): A o B; l'operazione logica di prodotto con la giunzione **e** (and in inglese): A e B; l'operazione logica di complementazione con **non** (not in inglese): non A.
Ad esempio, considerando come classe universale quella dei laureati, come classe A i laureati in fisica, come classe B i laureati in ingegneria, le tre operazioni logiche si esprimono :

1) Somma logica: laureato in fisica o in ingegneria $A + B$;

2) Prodotto logico: laureato in fisica e in ingegneria $A \cdot B$;

3) Complementazione logica: laureato non in fisica: $\bar{A}$.

Se poi si passa a considerare il risultato di queste operazioni su variabili binarie con i possibili valori 0 e 1, essi si possono rappresentare brevemente sotto forma tabellare nel modo seguente;

TABELLA 6.1

A	B	SOMMA $F_1 = A + B$	PRODOTTO $F_2 = A \cdot B$	COMPLEMENTAZIONE A	$\bar{A}$
0	0	0	0	0	1
0	1	1	0		
1	0	1	0	1	0
1	1	1	1		

Non deve quindi sorprendere l'espressione: $1 + 1 = 1$, che risulta dai valori indicati nella tabella somma. Essa esprime il concetto di somma logica, e cioè che gli elementi che soddisfano alla condizione di appartenenza ad una almeno delle due classi soddisfano anche la condizione di appartenenza alla unione di esse.

6.2. LE PROPRIETA' DELLE OPERAZIONI LOGICHE.

I circuiti logici sono destinati a realizzare funzioni binarie di variabili binarie.
Queste funzioni sono logicamente simili a quelle realizzate con una rete composta da soli elementi di commutazione, cioè da interruttori. Per primo fu il fisico russo Ehrenfert che nel 1910 suggerì di utilizzare l'algebra della logica per lo studio di circuiti con elementi bistabili o interruttori a due posizioni. Ma solo verso il 1936 ed il 1938 tale applicazione è stata sviluppata prima per opera dei giapponesi Nakashima e Hanzawa ed in seguito del russo Schestakow e dell'americano Shannon.
Per introdurci all'uso dell'algebra Booleana nelle reti di commutazione consideriamo la fig. 6.1. in cui A B e C sono i contatti di tre interruttori. Siano A B e C le variabili associate a ciascun interruttore. Le variabili negate o complementate ad esse saranno indicate con $\bar{A}$ $\bar{B}$ $\bar{C}$ e si può anche scrivere $\bar{A} = 1 - A$.
Occorre scegliere una convenzione, per il valore da dare alla variabile, quando il contatto che essa rappresenta è chiuso o interrotto. Ovviamente due sono le possibili convenzioni: una è quella in cui si dà il **valore 1 per il**

contatto chiuso e 0 per il contatto aperto, l'altra è quella opposta. La prima convenzione è detta di ammettenza perché designa con 1 lo stato in cui l'interruttore presenta l'ammettenza massima (contatto chiuso). **La seconda è detta convenzione di impedenza** perchè designa con 1 lo stato in cui l'impedenza è massima (contatto aperto). La stessa convenzione, una volta fatta la scelta, deve valere per il valore della funzione di trasmissione fra entrata e uscita di una rete composta da più interruttori. La seconda convenzione, sebbene adottata inizialmente da Shannon, è abbastanza in disuso ora; **seguiremo perciò la prima.**

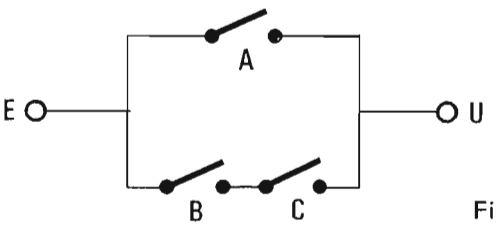


Fig. 6.1 -

Fra l'entrata E e l'uscita U di fig. 6.1 si può stabilire una via di connessione chiudendo il contatto A o chiudendo entrambi i contatti B e C. La funzione di trasmissione del circuito può quindi scriversi :

$$F = A + B \cdot C. \tag{6.1}$$

Una data funzione F può essere definita oltre che con un'equazione, anche con una tabella che indica il valore assunto dalla F per ogni combinazione dei valori delle sue variabili. Consideriamo ad esempio la semplice funzione $F = A + B$; possiamo allora costruire la seguente tabella:

TABELLA 6.1.1

A	B	$F = A + \overline{B}$
0	0	1
0	1	0
1	1	1
1	0	1

Essa prende il nome di **tabella della verità.**

Occorre sottolineare che una funzione Booleana può essere espressa in una varietà di forme, nel senso che esistono vari tipi di equazioni equivalenti che hanno la stessa tabella della verità.
Sorge così il problema di ricercare la forma più semplice della funzione associata ad una data tabella della verità.
E' questo un punto molto importante se si pensa che in base ai risultati di questa ricerca si costruiscono i circuiti logici: sicchè alla più semplice funzione corrisponde il circuito più semplice e più economico.
Le proprietà dell'algebra Booleana permettono di trovare questa forma più semplice. Nella Tabella 6.2 elenchiamo perciò le principali proprietà, illustrate a fianco con esempi di circuiti di commutazione con interruttori, affinchè esse risultino più intuitive.
Insieme a queste proprietà sono da ricordare i seguenti teoremi, tra i principali fra quelli relativi alle funzioni binarie:

Teorema fondamentale - qualsiasi funzione logica di n variabili può essere espressa come somma logica di tutti i termini minimi (minterms) delle n variabili, i quali risultino eguali a 1, quando la funzione di uscita assume il valore 1; oppure può essere espressa come prodotto logico di tutti i termini massimi (maxterms) i quali risultino eguali a 0, quando la funzione di uscita assuma il valore 0.
Si intende come termine minimo di n variabili un prodotto logico in cui tutte le n variabili compaiono nella loro forma vera o complementata.
Si intende come termine massimo di n variabili, una somma logica in cui tutte le n variabili compaiono nella loro forma vera o complementata.
Esempio: nel caso di due variabili A e B, tutti i possibili termini minimi sono dati dai quattro prodotti :

$$A \cdot B; \quad A \cdot \overline{B}; \quad \overline{A} \cdot B; \quad \overline{A} \cdot \overline{B}$$

ed analogamente tutti i possibili termini massimi sono dati dalle somme:

$$A + B; \quad A + \overline{B}; \quad \overline{A} + B; \quad \overline{A} + \overline{B}.$$

Consideriamo allora la precedente tabella della verità della funzione $F = A + \overline{B}$, riscritta tenendo conto anche dei valori di $\overline{A}$ e $\overline{B}$.

TABELLA 6.2 – PROPRIETA' DELLE RETI DI COMMUTAZIONE

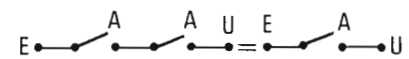
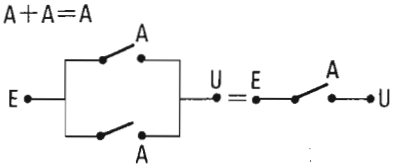
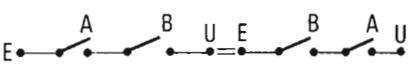
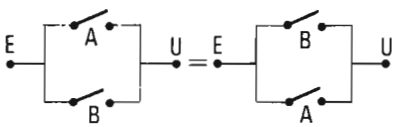
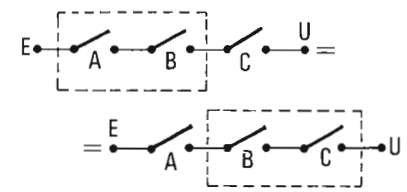
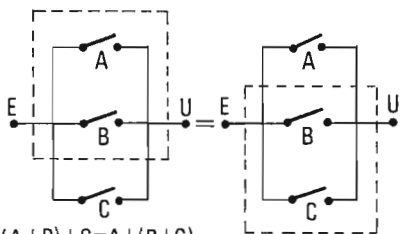
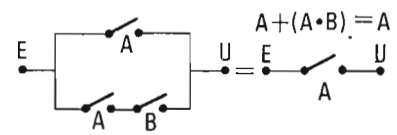
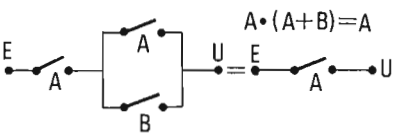
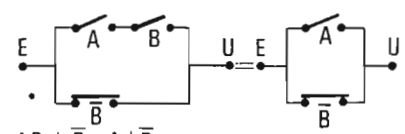
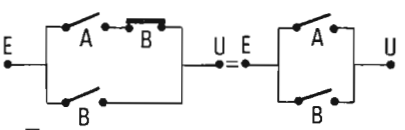
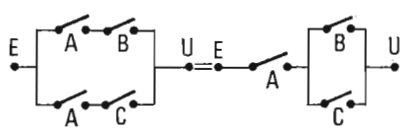
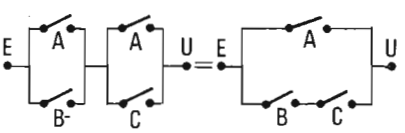
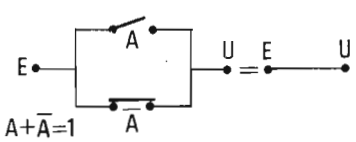
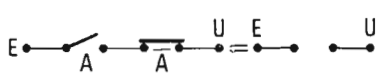
P_1 Proprieta' di idempotenza	$A \cdot A = A$ 	$A+A=A$ 
P_2 Proprieta' commutativa	$A \cdot B = B \cdot A$ 	$A+B=B+A$ 
P_3 Proprieta' associativa	$(A \cdot B) \cdot C = A \cdot (B \cdot C)$ 	 $(A+B)+C=A+(B+C)$
P_4 Proprieta' di assorbimento	 $A+(A \cdot B)=A$	 $A \cdot (A+B)=A$
	 $AB+\overline{B}=A+\overline{B}$	 $A \cdot \overline{B}+B=A+B$
P_5 Proprieta' distributiva	 $AB+AC=A(B+C)$	 $(A+B) \cdot (A+C)=A+(B \cdot C)$
P_6 Proprieta' di complementarieta'	 $A+\overline{A}=1$	 $A \cdot \overline{A}=0$

TABELLA 6.2.1

A	B	$\overline{A}$	$\overline{B}$	F
0	1	1	0	0
0	0	1	1	1
1	0	0	1	1
1	1	0	0	1

Secondo il teorema la funzione nei suoi termini minimi può essere così espressa:

$$F = \overline{A} \cdot \overline{B} + A \cdot \overline{B} + A \cdot B \ . \tag{6.2}$$

Applicando al secondo addendo, la proprietà P_1 (in modo da avere $F = \overline{A} \cdot \overline{B} + A \cdot \overline{B} + A \cdot \overline{B} + A \cdot B$) e quindi le proprietà P_5 e P_6, si riconduce alla forma già scritta che risulta direttamente dalla stessa tabella qualora la si fosse espressa subito in forma di termini massimi :

$$F = A + \overline{B} \ , \tag{6.3}$$

Questo teorema permette dunque di ricavare una funzione per qualsiasi rete: la forma, a cui si perviene, è in genere ridondante e va perció ulteriormente semplificata.
Questo teorema stabilisce pure, come logico corollario, che tutte le funzioni, anche le più complicate dell'algebra Booleana, possono essere costruite a partire dalle sole operazioni AND, OR, NOT.

Teorema di De Morgan o di dualità - data una funzione binaria f di più variabili A, B, C..... espressa nell'algebra di Boole, vale la seguente identità:

$$\overline{f(A, B, C \ldots, +, \cdot)} = f(\overline{A}, \overline{B}, \overline{C} \ldots, \cdot, +) \tag{6.4}$$

dove nella funzione f a secondo membro si è sistematicamente sostituita ogni variabile con la sua complementata, e si sono scambiati fra loro i simboli delle operazioni di somma e di prodotto.

Esempio: $\overline{A+B} = \overline{A} \cdot \overline{B}$; $\overline{A \cdot B} = \overline{A} + \overline{B}$.

Teorema dello sviluppo - una funzione binaria f di più variabili, A, B, C... espressa nell'algebra di Boole può essere sviluppata in serie mediante una delle due seguenti espressioni (duali fra loro):

(6.5) $f(A, B, C...) = Af(1, B, C...) + \overline{A}f(0, B, C...)$

(6.6) $f(A, B, C...) = [A + f(0, B, C...)] \cdot [\overline{A} + f(1, B, C...)]$

Esempio: $B + A \cdot \overline{C} = A \cdot (B + \overline{C}) + \overline{A} \cdot B$;

$B + A \cdot \overline{C} = (A + B) \cdot (\overline{A} + B + \overline{C})$.

Applicando i precedenti teoremi e proprietà, si possono seguire dei procedimenti sistematici per semplificare le funzioni logiche. Ad esempio nelle equazioni che esprimono proprietà P_i sopracitate,i termini a secondo membro sono o equivalenti o più semplici di quelli a primo membro; perciò se in una funzione compare un termine eguale al primo membro delle P_i, si può ottenere una semplificazione sostituendolo col termine a secondo membro.

Consideriamo l'esempio trattato da Shannon (*) per lo schema di fig. 6.2 (a).

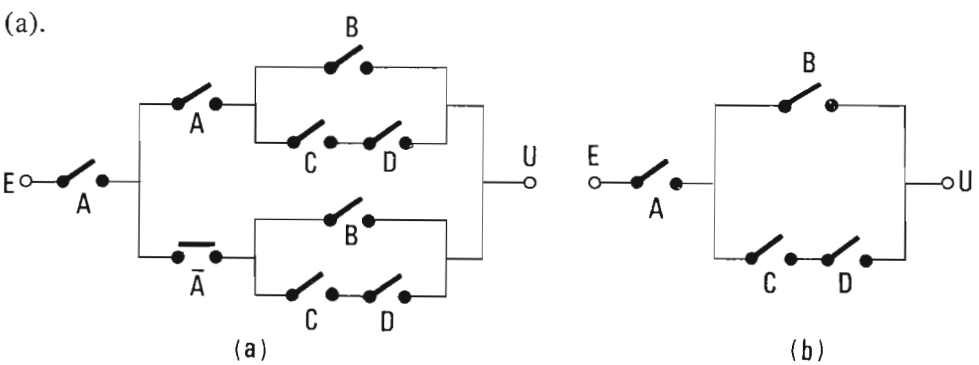


Fig. 6.2 - (a) (b) - Semplificazione di una rete di commutazione applicando le proprietà delle reti logiche di Tabella 5.2.

La funzione di trasmissione è data da :

$$F = A \cdot [A \cdot (B + C \cdot D) + \overline{A} \cdot (B + D \cdot C)]$$

(*) C.E. Shannon: "The synthesis of two-terminal switching networks". Bell System Tech. J. vol. 28, n. 1 - pag; 59-98 gennaio 1949.

se ad essa applichiamo le proprietà P_5, P_6 e P_1 ricaviamo la funzione:

$$F = A \cdot (B + C \cdot D)$$

caratteristica del circuito molto più semplice di fig. 6.2 (b).
Un altro esempio può essere dato con la funzione :

$$F = AC + AD + BC + BD$$

che, applicando due volte la proprietà P_5, si semplifica facilmente come segue :

$$F = A(C + D) + B(C + D) = (A + B) \cdot (C + D).$$

In generale per giudicare della complessità di una funzione di variabili binarie si conviene di calcolare il numero totale di lettere e di simboli di operazioni (somma e prodotto) presenti nella funzione. Si ottiene così quella che si definisce **costo della rete logica** con cui la funzione viene realizzata. Ad esempio la funzione :

$$(A + B) \cdot (A + C)$$

ha un costo pari a 7; mentre la stessa funzione, applicando la proprietà P_5, si semplifica come segue :

$$A + B \cdot C$$

ed ha un costo pari a 5.
Il procedimento di semplificazione a tentativi (cut-and-try-method) può essere utile per funzioni elementari e negli stadi preliminari di semplificazione, ma non permette di sapere se l'espressione finale è effettivamente la più semplice ottenibile. Si sono sviluppati perciò diversi procedimenti sistematici che permettono di raggiungere questo risultato. Essi sono noti col nome di **metodo di Quine, metodo di Harvard, metodo di Veitch e metodo di Karnaugh.**

6.3. METODO PER LA MINIMIZZAZIONE DI UNA FUNZIONE LOGICA.

Una volta assegnata la funzione logica, sotto forma di tabella della verità o sotto forma algebrica, il problema da risolvere è quello di trovare la corrispondente rete logica a minimo costo.
Nei metodi di Veitch e di Karnaugh, noti come metodi a mappa, **si richiede di rappresentare la funzione da semplificare nella sua forma elementare, cioè come somma logica di prodotti**, quale ad esempio può essere la forma a cui conduce il teorema fondamentale.
Nel seguito useremo la mappa di Karnaugh che è di uso più immediato e più comune. Ci si riferisce al caso fino a 4 variabili, ma il metodo è di facile estensione per un numero maggiore di variabili.
Nella mappa di Karnaugh, ogni casella rappresenta il valore che assume il termine minimo delle variabili corrispondenti alla colonna e alla riga cui il termine appartiene.
La mappa di Karnaugh esprime perciò in modo diverso ciò che è già presentato nella tabella della verità.
Nell'inquadrare per righe e per colonne i terminali minimi occorre che fra una casella e l'adiacente sia sempre una ed una sola variabile per volta a cambiare valore.

Nel procedimento di minimizzazione si applica soprattutto la **proprietà distributiva** $P_{\bar{5}}$ nella sua forma generalizzata espressa come segue :

$$F_1 \cdot B + F_1 \cdot \bar{B} = F_1 \quad . \tag{6.7}$$

Questo permette, quando sono presenti due prodotti diversi solo per una variabile che compaia prima in forma vera e poi in quella complementata, di sostituire i due termini con il solo prodotto contenente le variabili comuni, come ad esempio:

$$A \cdot \bar{B} \cdot C \cdot D + A \cdot \bar{B} \cdot C \cdot \bar{D} = A \cdot \bar{B} \cdot C \quad .$$

Due prodotti che si trovino in questa condizione sono espressi nella mappa di Karnaugh da due 1 in due caselle adiacenti: si considerano caselle adiacenti anche quelle estreme di una stessa riga o di una stessa colonna. Ad esempio si abbia la funzione :

$$F = A\,B\,\bar{C} + A\,B\,C + \bar{A}BC$$

la mappa di Karnaugh si presenta come in Fig. 6.2A,
da cui la funzione può essere così semplificata :
$F = AB\overline{C} + ABC + ABC + \overline{A}BC = AB(\overline{C} + C) + (A + \overline{A})BC = AB + BC =$
$= B(A + C)$.
Esaminiamo la seguente funzione di 4 variabili :

$$(6.8) \quad F = \overline{A}\,B\,\overline{C} + A\,B\,\overline{C} + A\,\overline{B}\,C + \overline{A}\,\overline{B}\,C\,\overline{D}.$$

E' chiaro che i primi tre termini saranno rappresentati nella mappa di Karnaugh (illustrata qui di seguito) ciascuno da due caselle, una per il termine minimo comprendente D e l'altra per $\overline{D}$, mentre l'ultimo termine richiede una casella sola.
Secondo quanto si è prima detto riferendosi alla (6.7), le quattro caselle con gli 1 adiacenti in cui compare sia A che D nella forma vera e complementata, danno luogo al solo termine $B\,\overline{C}$; le due caselle adiacenti della colonna $A\,\overline{B}$ danno luogo al solo termine $A\,\overline{B}C$, in cui non compare più D; mentre le due caselle esterne dell'ultima riga $C\overline{D}$ danno luogo al termine $\overline{B}\,C\,\overline{D}$, in cui non compare più A. Sicchè la funzione (6.8) semplificata si presenta come segue con soli tre termini :

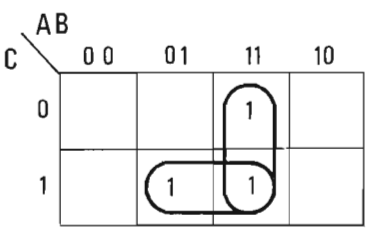


Fig. 6.2 - A

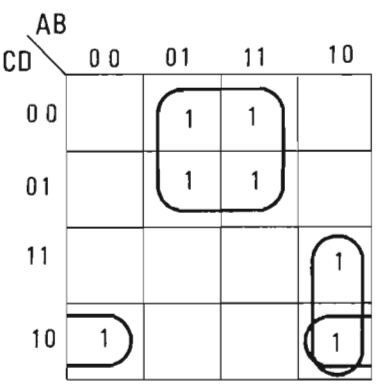


Fig. 6.2 - B

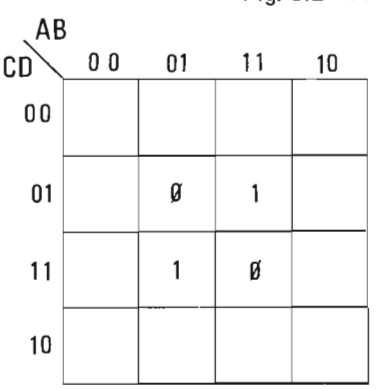


Fig. 6.2 - C

(6.9) $$F = B\overline{C} + A\overline{B}C + \overline{B}C\overline{D} \quad .$$

La forma della funzione a cui così si perviene è detta anche somma minima e corrisponde alla funzione di minimo costo.
Quando ci sono alcune combinazioni delle variabili di cui si sa a priori che non si presenteranno mai, è indifferente il valore che la funzione può assumere in corrispondenza ad esse. Nella mappa di Karnaugh, le caselle relative a tali combinazioni sono marcate con il simbolo $\emptyset$. Ciò è molto utile per la semplificazione della funzione poichè la casella si può considerare 1 o 0 a seconda di come più conviene.
Sia ad esempio la funzione :

(6.10) $$F = \overline{A}BCD + ABC\overline{D}$$

che nella mappa di Karnaugh (illustrata in Fig. 6.2C) è rappresentata da 1 in due caselle non adiacenti. Se sappiamo che la combinazione $\overline{A}\,B\,\overline{C}\,D$ e $A\,B\,C\,D$ sono indifferenti allora la mappa si scrive come accanto e la funzione si riduce ad essere semplicemente :

$$F = BD \quad .$$

Tutto quanto è stato esposto in questo paragrafo è valido limitatamente al caso in cui si desidera la forma minima espressa come somma di prodotti. Non si tiene così conto dei tipi di circuiti disponibili in pratica, i quali possono richiedere un'espressione della funzione in forma ancora diversa proprio a causa delle loro caratteristiche circuitali.

6.4. SIMBOLISMO DI RAPPRESENTAZIONE DEI CIRCUITI LOGICI .

I circuiti che compiono le operazioni dell'algebra della logica vengono designati come circuiti di porta logica (logic gates) (*).
Le porte logiche forniscono in uscita un segnale binario, il cui valore è determinato da particolari condizioni di simultaneità dei segnali binari di ingresso e dal tipo di operazione logica compiuta.

(*) L'appellativo di "porta logica" viene usato per distinguerla dalla "porta lineare, o porta analogica" (linear or analog gate). Quest'ultima è adottata per trasmettere, dall'ingresso all'uscita della porta, un segnale analogico mantenendone inalterata la forma negli intervalli di tempo determinati dalla durata di un segnale impulsivo ausiliario detto segnale di apertura della porta lineare.

SIMBOLO	DENOMINAZ.	POSSIBILE SCHEMA CIRCUITALE
A B C → A•B•C	Porta AND per 1 positivo	+12 V, 6,2 KΩ, A B C, A•B•C
A B C → A•B•C	Porta AND per 1 negativo	−12 V, 6,2 KΩ, A B C, A•B•C
A B C → A+B+C	Porta OR per 1 positivo	−12 V, 6,2 KΩ, A B C, A+B+C
A B C → A+B+C	Porta OR per 1 negativo	+12 V, 6,2 KΩ, A B C, A+B+C
A → $\bar{A}$	Porta NOT oppure INVERTITORE	+V, A, $\bar{A}$
A B C → $\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$	Porta NAND per positivi	+V, R2, R3, A B C, R1, uscita
A B C → $\overline{A + B + C} = \bar{A} \cdot \bar{B} \cdot \bar{C}$	Porta NOR per negativi	
A B C → $\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$	Porta NAND per negativi	+V, R3, A B C, R1, R2, uscita, −V
A B C → $\overline{A + B + C} = \bar{A} \cdot \bar{B} \cdot \bar{C}$	Porta NOR per positivi	

Fig. 6.3 – Esempi dei simboli e di possibili schemi delle parti logiche

La somma logica è eseguita dalla porta OR, con due o più ingressi, in cui il segnale di uscita è 1 quando almeno uno dei segnali di ingresso è 1.
Il prodotto logico è eseguito dalla porta AND con due o più ingressi in cui il segnale di uscita è 1 quando tutti i segnali di ingresso sono 1.
La complementazione è eseguita dalla porta NOT in cui l'uscita è 1 quando l'ingresso è 0 o viceversa.
In fig. 6.3 sono riportati i simboli con cui si suole rappresentare i diversi circuiti di porta logica negli schemi a blocchi.

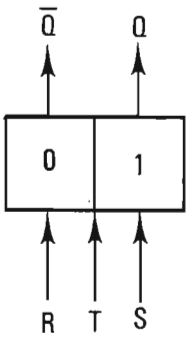
Spesso il circuito di AND è accoppiato circuitalmente ad uno stadio invertitore, cioè ad un circuito NOT: ne deriva così la porta logica designata con il nome NAND. Facendo invece seguire un circuito OR dal NOT, si ottiene la porta NOR. E' anche evidente come in una logica binaria, scambiando la convenzione degli stati 0 e 1, cioè chiamando 1 lo stato che prima rappresentava lo 0 e viceversa, il circuito NAND diventa un circuito NOR e viceversa.

In tutte le reti logiche esaminate e nella trattazione finora svolta ci si è riferiti a circuiti che ricevendo certe combinazioni di segnali in ingresso generano contemporaneamente degli opportuni segnali in uscita. Questi ultimi si presentano non appena applicati i segnali di ingresso, o meglio con un ritardo pari al tempo di transito o di propagazione dei segnali fra l'entrata e l'uscita del circuito logico. In altre parole, vi è un libero flusso di segnali fra entrata e uscita senza alcun ulteriore ritardo o blocco per la memorizzazione.
Queste reti operano su segnali binari ma non memorizzano nè gli ingressi nè qualsiasi loro combinazione.

6.5. LA FUNZIONE "MEMORIZZAZIONE" E L'ELEMENTO BISTABILE .

In generale, **il concetto di memorizzazione implica l'operazione di ricevere l'informazione ad un tempo t, trattenerla per un tempo Δt, e trasferirla altrove all'istante $t + \Delta t$.**
Utilizzando elementi di memoria, si può combinare i segnali ricevuti da una rete ad un certo istante con i segnali ricevuti ad istanti diversi da altre reti.
L'elemento classico di memorizzazione binaria è il flip-flop o multivibratore bistabile.
Il simbolo logico del bistabile può essere così rappresentato come in figura

seguente. Nello schema più generale esso ha due uscite Q e $\overline{Q}$, l'una complemento dell'altra, e tre ingressi: l'ingresso T di trigger, che ad ogni segnale di comando fa commutare il bistabile da uno stato all'altro qualunque sia lo stato in cui si trovava in precedenza; l'ingresso S di set che porta il bistabile sempre nello stato 1; l'ingresso R di reset che porta il bistabile sempre nello stato 0.



A seconda del numero degli ingressi disponibili i bistabili possono suddividersi in "bistabili trigger", "bistabili set-reset" e "bistabili trigger-set-reset". Ognuno è caratterizzato da una sua propria tabella della verità, che viene scritta tenendo presenti le seguenti convenzioni :

a) 1 indica la presenza e 0 l'assenza del segnale di comando all'ingresso;

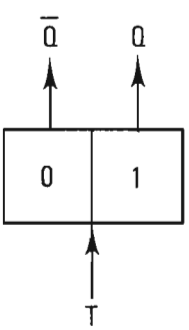
b) quando la linea di uscita Q = 1 si dice che il bistabile è nello stato 1 e viceversa;

c) i simboli Q(n) e Q(n + 1) si riferiscono l'uno allo stato del bistabile all'istante t = n precedente l'arrivo del segnale d'ingresso, e l'altro all'istante t = n + 1 subito dopo l'applicazione del segnale di ingresso.

Si vede così che **la condizione delle uscite al tempo t = n + 1 dipende dai segnali ricevuti sulle linee di ingresso al tempo t = n, come pure dallo stato del bistabile al tempo t = n.**

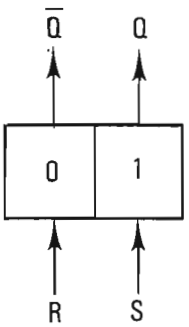
Tenendo in mente le suddette convenzioni, si possono scrivere le seguenti tabelle per i diversi tipi di bistabili.

a) **Tabella della verità del bistabile** T.



T	Q(n)	Q(n+1)
0	0	0
0	1	1
1	0	1
1	1	0

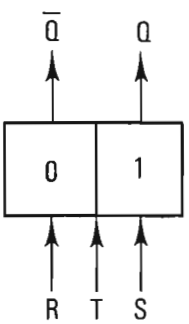
b) **Tabella della verità del bistabile** R - S.



R	S	Q(n)	Q(n+1)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	—
1	1	1	—

Gli ultimi due stati del segnale di ingresso non si devono mai verificare, perchè non rimane univocamente determinato lo stato finale del bistabile.

c) **Tabella della verità del bistabile** R-S-T.

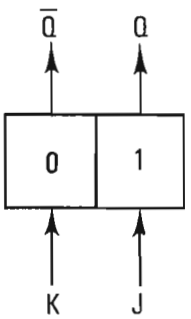


R	S	T	Q(n)	Q(n+1)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
1	0	0	0	0
1	0	0	1	0

Come si vede dalla tabella, nel bistabile R-S non sono definiti i due stati in cui si applicano simultaneamente i due segnali R ed S. Per evitare questo inconveniente è stato introdotto, specialmente con l'avvento dei circuiti integrati, **il bistabile** J-K. **Esso ha le proprietà del bistabile** R-S **con l'ulteriore condizione che la combinazione** J = K = 1 **è consentita e causa il cambiamento di stato.**

La relativa tabella della verità è perciò la seguente :

d) **Tabella della verità del bistabile** J-K.



K	J	Q(n)	Q (n+1)
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Si può così controllare che K come R riporta a zero il bistabile, J come S lo riporta ad 1, mentre la presenza contemporanea dei due agisce come l'ingresso T.

Dal punto di vista circuitale per ottenere che la combinazione simultanea J = K = 1 faccia commutare il bistabile, si può collegare l'uscita $\overline{Q}$ con l'ingresso J, mentre l'uscita Q viene collegata con K.

In questo modo l'azione dei due 1 coincidenti all'ingresso viene condizionata anche allo stato d'uscita sì da avere la condizione che permetta di discriminare, in quale stato il bistabile deve alla fine trovarsi. Tuttavia questa azione J = K = 1 genererebbe una condizione di instabilità se le uscite iniziassero a cambiare di stato non appena arrivano gli ingressi: **cioè occorre che il circuito bistabile conservi temporaneamente la memoria dello stato di uscita per condizionare l'azione degli ingressi coincidenti.**

In molti circuiti bistabili questa azione di memoria temporanea è affidata a condensatori che conservano inalterato il valore di tensione durante i fronti d'onda di salita o di discesa degli impulsi di ingresso. Questo metodo ha però lo svantaggio di porre restrizioni sulla forma e sulla durata degli impulsi di ingresso, ed inoltre introduce transienti successivi alla commutazione per il ritorno a regime di stazionarietà della tensione dei condensatori, riducendo così la massima frequenza di commutazione.

Per questo motivo nei **moderni bistabili** J-K **a circuiti integrati è stato introdotto lo schema noto** col nome **"master-slave"**, che in italiano potrebbe

suonare "padrone-schiavo". L'elemento bistabile comprende allora due flip-flop: il primo, detto "master" (padrone), commuta non appena si applicano gli impulsi di ingresso, mentre il secondo flip-flop, detto "slave" (schiavo), ripete esattamente la posizione del "master" ma commutando con un leggero ritardo rispetto a questo: sicchè l'intero elemento di memoria usa il "master" per gli ingressi e lo "slave" per le uscite.
In generale nei circuiti integrati oltre agli ingressi J-K, **vi è anche l'ingresso di orologio ("clock") che condiziona tutte le commutazioni in modo che il "master" commuti sul fronte di salita dell'impulso dell'orologio e lo "slave" commuti sul fronte di discesa dello stesso.** Si può dire che l'elemento J-K con la tecnica "master-slave" è, alla data attuale, il più diffuso ed il più flessibile nelle applicazioni dei circuiti logici.
Nella famiglia dei circuiti bistabili, costruiti a elementi integrati, è incluso oggi anche **il bistabile** D **(Delay = ritardo). Esso è sostanzialmente un elemento con un singolo ingresso ed una uscita, la quale ripete esattamente la condizione dell'ingresso dopo che è stato applicato il segnale d'ingresso.**
Da ciò deriva la denominazione D (Delay = ritardo), con cui si vuole indicare l'operazione "ritardo" e che può essere rappresentata con la seguente tabella della verità :

e) **Tabella della verità del bistabile** D.

D	Q (n)	Q (n + 1)
0	0	0
0	1	0
1	0	1
1	1	1

6.6. RETI SEQUENZIALI DI BISTABILI.

In una rete comprendente più bistabili lo stato logico dell'intera rete può essere descritto in termini degli stati in cui si trovano i singoli elementi di memoria: **si suole anche chiamare "superstato" della rete ogni stato logico definito dall'insieme degli stati dei suoi bistabili.** Per una rete con n bistabili si potranno avere 2^n stati o superstati diversi. Il superstato che esiste al tempo $t = n + 1$ è una funzione :

1) del superstato al tempo $t = n$;

2) degli impulsi esterni ricevuti dalla rete al tempo $t = n$;

3) della struttura della rete logica che collega i diversi bistabili.

In ogni istante la configurazione degli stati assunta dagli elementi bistabili può essere rappresentata con un codice binario che individua il superstato della rete.

A questo proposito è bene segnalare che si vuole indicare con "rete combinatoria" la rete che, per una data configurazione degli ingressi, ha una sola possibile configurazione delle uscite. Mentre con "rete sequenziale" si indica una rete in cui la configurazione delle uscite al $t = n + 1$, dipende dalle entrate al $t = n + 1$ e dalla storia della rete all'istante precedente $t = n + 1$.

Una generica schematizzazione a blocchi di queste reti può essere quella riportata in fig. 6.4. L'insieme è formato da un certo numero di bistabili (a esempio del tipo R–S come in figura), le cui uscite sono fra loro collegate da una rete logica che determina la successione dei superstati.
Per ogni superstato si ha una determinata configurazione di uscite della rete logica che sono in 1.
Queste uscite selezionano quindi gli AND di ingresso che consentiranno il comando in SET o in RESET dei bistabili al prossimo impulso di orologio onde ottenere il passaggio al superstato che segue nella sequenza desiderata.
Le entrate ausiliarie della rete logica possono essere usate per variare a piacere l'ordine di successione dei superstati, cioè per passare da una sequenza all'altra.
Si possono cosi avere diversi tipi di sequenze dei 2^n superstati. Si possono inoltre prevedere sequenze con un numero più limitato $m < 2^n$ di successivi superstati differenti.

La transizione fra un superstato ed il successivo può essere compiuta in modo "sincrono" oppure "asincrono".
Nelle reti di bistabili operanti in modo sincrono si utilizzano gli impulsi di orologio, in corrispondenza dei quali si determinano le transizioni fra i superstati.

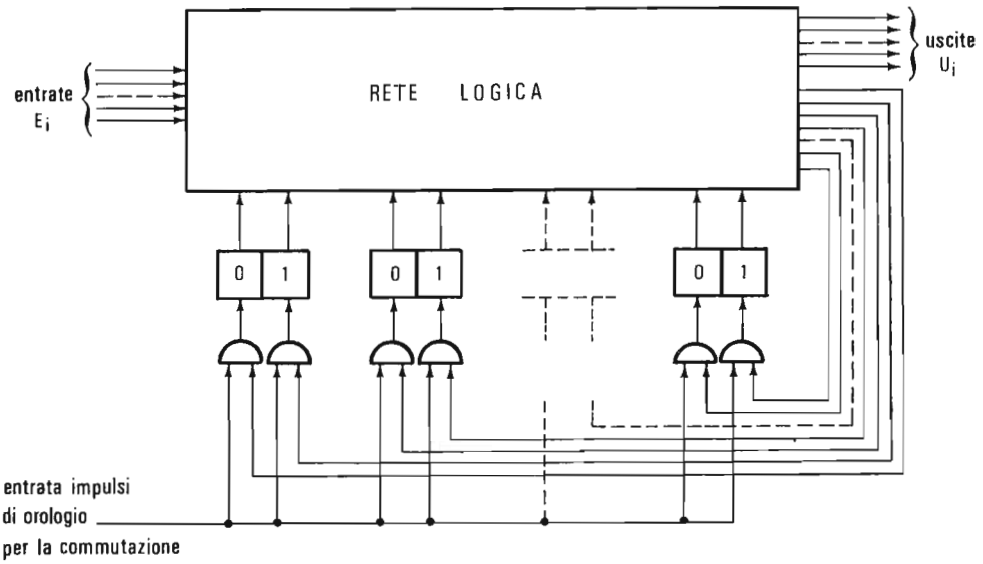


Fig. 6.4 - Schema di principio di una rete logica sequenziale.

Nelle reti operanti in modo asincrono, gli stati si evolvono solo in corrispondenza di una variazione degli ingressi e non esistono segnali di orologio.

Il progetto di una rete logica per un sistema sequenziale consiste nel definire le cosiddette "equazioni di ingresso" per ogni bistabile della rete, in modo che la successione dei superstati abbia la sequenza desiderata.

Vi sono diversi metodi per ricavare le equazioni di ingresso: tutti si basano sulla tabella che descrive la successione dei superstati.

6.7. DETERMINAZIONE DELLE "EQUAZIONI DI INGRESSO" DALL'"EQUAZIONE DI APPLICAZIONE" DELLA RETE SEQUENZIALE E DALL'"EQUAZIONE CARATTERISTICA" DEL BISTABILE.

La sequenza dei superstati può essere presentata, come nel caso del singolo bistabile, con una tabella in cui a sinistra viene indicato il superstato al tempo $t = n$ ed a destra, sulla stessa riga, il superstato che viene assunto immediatamente dopo al tempo $t = n + 1$.

Da questa tabella é possibile ricavare per ogni bistabile un'espressione booleana che indica lo stato del bistabile considerato al tempo t = n + 1 in funzione delle variabili che definiscono il superstato al tempo t = n, e ciò indipendentemente dal tipo di bistabile usato, cioè indipendentemente dal fatto che esso sia del tipo RS o del tipo T o altro ancora.
Questa espressione viene detta **"equazione di differenza"**, perchè si riferisce alla differenza temporale fra la ricezione del segnale di ingresso e l'assunzione del nuovo stato. Più in generale la stessa espressione viene anche detta **"equazione di applicazione"** perchè, indipendentemente dal tipo di bistabile usato, essa indica quale deve essere la logica di comando per la particolare applicazione desiderata, cioé per la prescelta successione di superstati.

6.7.1. L'equazione di applicazione.

Per illustrare come può essere ricavata una specifica equazione di applicazione, consideriamo un caso molto semplice di tre bistabili Q_1, Q_2, Q_3, i quali vengono usati come un contatore binario: cioè il superstato sia espresso in cifra binaria con un numero che aumenta di una unità ad ogni impulso di comando e, come indicato in tabella, si abbia il ritorno a zero dopo aver raggiunto il massimo contenuto.
Dalla sequenza prevista in tabella possiamo ricavare per ogni bistabile una propria equazione di applicazione, che mostra lo stato assunto al tempo t = n + 1 in funzione dello stato proprio e degli altri bistabili del gruppo

TABELLA 6.7.1

tempo t = n			tempo t = n + 1			Numero impulsi
Q_3	Q_2	Q_1	Q_3	Q_2	Q_1	di comando
0	0	0	0	0	1	1
0	0	1	0	1	0	2
0	1	0	0	1	1	3
0	1	1	1	0	0	4
1	0	0	1	0	1	5
1	0	1	1	1	0	6
1	1	0	1	1	1	7
1	1	1	0	0	0	8

al tempo t = n :

$$
(6.11)\quad \begin{cases}
Q_3(n+1) = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_2 \bar{Q}_1 + Q_3 \bar{Q}_2 Q_1 + Q_3 Q_2 \\
\qquad \bar{Q}_1(n) = Q_3 (\overline{Q_2 Q_1}) + \bar{Q}_3 (Q_2 Q_1)(n) \\
Q_2(n+1) = \bar{Q}_3 \bar{Q}_2 Q_1 + \bar{Q}_3 Q_2 \bar{Q}_1 + Q_3 \bar{Q}_2 Q_1 + Q_3 Q_2 \\
\qquad \bar{Q}_1(n) = Q_2 \bar{Q}_1 + \bar{Q}_2 Q_1(n) \\
Q_1(n+1) = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_3 Q_2 \bar{Q}_1 + Q_3 \bar{Q}_2 \bar{Q}_1 + Q_3 Q_2 \\
\qquad \bar{Q}_1(n) = \bar{Q}_1(n) \ .
\end{cases}
$$

Come si vede dall'esempio, anche senza tener conto delle semplificazioni introdotte, **la forma più generale in cui si presenta l'equazione di applicazione è del tipo** :

$$
(6.12)\qquad Q(n+1) = g_1 Q + g_2 \bar{Q}(n)
$$

dove g_1 e g_2 rappresentano funzioni booleane delle variabili di ingresso che determinano lo stato del bistabile Q.
E' bene notare che l'equazione di applicazione non implica nulla sulle proprietà logiche del bistabile: cioè tale equazione può essere soddisfatta con ogni tipo di bistabile.

6.7.2. Le "equazioni caratteristiche" dei vari tipi di bistabile.

Le proprietà logiche di ogni tipo di bistabile possono essere espresse anche esse con una relazione booleana dedotta, quale equazione di differenza, dalla tabella della verità del bistabile stesso.
Così, guardando la tabella b) del paragrafo 6.5, è facile ricavare per il bistabile R-S la seguente equazione di differenza :

$$
(6.13)\qquad Q(n+1) = [\bar{R}\,\bar{S}\,Q + \bar{R}\,S\,\bar{Q} + \bar{R}\,S\,Q](n) \ .
$$

Per questo tipo di bistabile deve inoltre valere :

$$
(6.14)\qquad R\,S = 0
$$

infatti il comando simultaneo R = 1 ed S = 1 è indeterminato e perciò si deve imporre che in ogni caso uno dei due comandi R oppure S sia zero.

Sicchè, tenendo conto che RS = 0, l'equazione (6.13) si può semplificare così

$$(6.15) \qquad \begin{aligned} Q(n+1) &= [\,\bar{R}\,\bar{S}\,Q + \bar{R}\,S\,\bar{Q} + \bar{R}\,S\,Q + \bar{R}\,S\,Q]\,(n) \\ &= [\,Q\,(\bar{R}\,\bar{S} + \bar{R}\,S) + \bar{R}\,S\,(\bar{Q} + Q)\,]\,(n) \\ &= [\,Q\,\bar{R} + \bar{R}\,S + R\,S\,]\,(n) \\ &= [\,Q\,\bar{R} + S]\,(n). \end{aligned}$$

Questa equazione definisce le proprietà logiche del bistabile R-S.
Riferendosi alla tabella della verità degli altri bistabili, è possibile con un procedimento analogo trovare per essi le relative equazioni caratteristiche che risultano le seguenti :

$$(6.16) \qquad \begin{cases} \text{Bistabile T} & : \; Q(n+1) = [\,\bar{T}\,Q + T\,\bar{Q}]\,(n) \\ \text{Bistabile R-S} & : \; Q(n+1) = [\,Q\,\bar{R} + S\,]\,(n) \\ \text{Bistabile R-S-T} & : \; Q(n+1) = [\,\bar{R}\,\bar{T}\,Q + T\,\bar{Q} + S\,]\,(n) \\ \text{Bistabile J-K} & : \; Q(n+1) = [\,\bar{K}\,Q + J\,\bar{Q}\,]\,(n) \;. \end{cases}$$

Per le derivazioni degli schemi logici vedasi il paragrafo 8.11.

6.7.3. Le equazioni di ingresso dei vari tipi di bistabile .

Quando le equazioni di applicazione siano state ricavate dalla sequenza dei superstati ed inoltre sia stato definito il tipo di bistabile che si desidera usare, **un metodo per derivare le equazioni di ingresso è quello di eguagliare per ciascun bistabile della rete l'equazione caratteristica con la corrispondente equazione di applicazione.**
Ad esempio, per il bistabile RS, si dovrà considerare nel caso generale una equazione booleana del tipo :

$$(6.17) \qquad S + \bar{R}\,Q = g_1\,Q + g_2\,\bar{Q}$$

essa deve essere risolta per ottenere le funzioni logiche di S e di R tenendo presente la condizione RS = 0. **La (6.17) è una relazione booleana e non può perciò essere risolta impiegando sottrazioni o divisioni.**
E' possibile usare metodi algebrici per raggiungere la soluzione (*); comunque essa può essere cercata, come mostrato nell'esempio che segue, anche

(*) M. Phister: "Logical Design of Digital Computer" - Appendix I - John Wiley and Sons Inc. New York - 1960.

seguendo la tecnica della tabella della verità.

Si costruisce una tabella che mostra i valori di $g_1 Q + g_2 \overline{Q}$ per ogni possibile valore di g_1, g_2 e Q.

TABELLA 6.7.2

g_1	g_2	$Q(n)$	$Q(n+1) = [g_1 Q + g_2 \overline{Q}](n) = [S + \overline{R} Q](n)$	R	S
0	0	0	0	K_0	0
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	0	K_4	0
1	0	1	1	0	K_5
1	1	0	1	0	1
1	1	1	1	0	K_7

Dall'equazione (6.17) è possibile così riconoscere anche i valori di $S + \overline{R} Q$ per ogni configurazione di g_1 g_2 e Q, sicchè per deduzione logica si ricavano i corrispondenti valori di R ed S.

Sicchè, esaminando la tabella 6.7.2, se consideriamo la prima riga troviamo che è $S + \overline{R}Q = 0$: ciò significa che deve essere $S = 0$ ed $\overline{R}Q = 0$; ma essendo $Q(n) = 0$ questo implica anche che R può essere indifferentemente 0 oppure 1. Ne deduciamo che **nella prima riga R è in una condizione di indifferenza rappresentata nella mappa di Karnaugh dal simbolo Ø**, mentre nella tabella sarà espressa da un simbolo K_0 al quale potremo assegnare il valore 0 oppure 1 a seconda della convenienza che avremo nel semplificare la funzione logica che andiamo cercando. Se passiamo a considerare la seconda riga vediamo che è ancora $S + \overline{R}Q = 0$: cioè deve essere $S = 0$ ed $\overline{R}Q = 0$. Questa volta però troviamo $Q(n) = 1$ perciò si deve avere $\overline{R} = 0$, cioè $R = 1$. Si procede in modo analogo per le altre righe fino a completare i valori di R ed S per tutta la tabella 6.7.2. Si è allora in grado, sempre ricorrendo al **teorema fondamentale**, di scrivere le equazioni per R ed S, che vengono dette appunto **"equazioni di ingresso"** :

$$(6.18)\quad \begin{cases} R = K_0\,\bar{g}_1\,\bar{g}_2\,\bar{Q} + \bar{g}_1\,\bar{g}_2\,Q + \bar{g}_1\,g_2\,Q + K_4\,g_1\,\bar{g}_2\,\bar{Q} \\ S = \bar{g}_1\,g_2\,\bar{Q} + K_5\,g_1\,\bar{g}_2\,Q + g_1\,g_2\,\bar{Q} + K_7\,g_1\,g_2\,Q. \end{cases}$$

Queste equazioni rappresentano una soluzione generale per R ed S indipendente dai valori di K_i : ciò può essere provato sostituendo i valori di R ed S dati dalla (6.18) nel termine $S + \bar{R}Q$ dell'equazione (6.17).
Le equazioni (6.18) possono perciò essere ridotte ad una forma più semplice ponendo $K_0 = K_4 = K_5 = K_7 = 0$, il che porta a stabilire le equazioni di ingresso tipiche del bistabile R-S :

$$(6.19)\quad \begin{aligned} R &= \bar{g}_1\,Q \\ S &= g_2\,\bar{Q}\,. \end{aligned}$$

Con procedimento analogo si può arrivare a definire le equazioni di ingresso degli altri tipi di bistabili, con il che le equazioni caratteristiche (6.16) si precisano nelle seguenti equazioni d'ingresso :

$$(6.20)\quad \begin{cases} \text{bistabile T} & : T = \bar{g}_1\,Q + g_2\,\bar{Q} \\ \text{bistabile R-S} & : R = \bar{g}_1\,Q;\ S = g_2\,\bar{Q}; \\ \text{bistabile R-S-T} & : R = \bar{g}_1\,\bar{g}_2;\ S = g_1\,g_2;\ T = \bar{g}_1\,g_2 \\ \text{bistabile J-K} & : J = g_2;\quad K = \bar{g}_1\,. \end{cases}$$

Arrivati a questo punto, se ritorniamo alla sequenza del contatore binario riportata nel paragrafo (6.7.1) e pensiamo di attuarla con un sistema sequenziale formato da bistabili R-S, vediamo che le equazioni (6.11) e (6.19) permettono facilmente di definire le reti logiche per i comandi R-S dei bistabili Q_1, Q_2 e Q_3, che risultano come segue :

$$(6.21)\quad \begin{array}{llllll} \text{bistabile } Q_1 : & g_1 = 0 & g_2 = 1 & R = Q_1 & S = \bar{Q}_1 \\ \text{bistabile } Q_2 : & g_1 = \bar{Q}_1 & g_2 = Q_1 & R = Q_1Q_2 & S = Q_1\bar{Q}_2\,. \\ \text{bistabile } Q_3 : & g_1 = \overline{Q_2Q_1} & g_2 = Q_2Q_1 & R = Q_2Q_1Q_3 & S = Q_2Q_1\bar{Q}_3 \end{array}$$

6.7.4. Derivazione delle equazioni di ingresso per una specifica applicazione con l'uso della mappa di Karnaugh .

L'equazione di ingresso per una particolare rete sequenziale può essere facilmente ottenuta dal grafico dell'equazione di applicazione su una mappa di Karnaugh.

Riprendendo ancora l'esempio del paragrafo (6.7.1) consideriamo l'equazione di applicazione del bistabile Q_3 :

(6.22) $$Q_3\,(n+1) = Q_3\,(\overline{Q_2 Q_1}) + \overline{Q}_3\,(Q_2\,Q_1).$$

La corrispondente mappa di Karnaugh risulta la seguente :

Q_3 \ $Q_1 Q_2$	00	01	11	10
0			1	
1	1	1		1

Nella prima riga appaiono solo i termini della parte complementata di Q_3 (n + 1), mentre nella seconda appaiono solo quelli della parte vera. Perciò i valori di g_1 e di g_2 necessari per determinare le equazioni di ingresso (6.20) si trovano semplicemente con la somma logica dei termini relativi alle caselle marcate rispettivamente con 1 nella prima riga per g_2 e nella seconda riga per g_1.

6.7.5. Derivazione delle equazioni di ingresso per una specifica applicazione, considerando solo le condizioni che precedono una commutazione del bistabile.

Il procedimento descritto finora, se pure è il più generale e sistematico, si rivela molte volte poco efficiente perchè considera per ogni bistabile tutte le possibili configurazioni del sistema: un superstato che non influenza la commutazione di un bistabile, non è necessario che venga considerato per definire le equazioni di ingresso di quel bistabile. **Un metodo che considera per ogni bistabile solamente quelle condizioni la cui esistenza al tempo t = n causa un cambiamento nello stato del bistabile al tempo t = n + 1 si rivela perciò molto più efficace e permette di raggiungere subito le equazioni di ingresso nella forma più semplice ed essenziale.**

Ad esempio, nel caso del bistabile R-S, è necessario includere nelle equazioni per R e per S solo quelle condizioni che provocano la commutazione del bistabile da 0 a 1 rispettivamente.

Considerando ancora la tabella 6.7.1, vediamo che Q_1 commuta ad ogni impulso di comando e perciò deve essere :

$$R_1 = Q_1 \qquad\qquad S_1 = \overline{Q}_1 \quad .$$

Il bistabile Q_2 commuta da 0 a 1 quando è $Q_1\,\overline{Q}_2\,\overline{Q}_3 = 1$ oppure quando $Q_1\,\overline{Q}_2\,Q_3 = 1$. Perciò il comando di set deve essere :

$$S_2 = Q_1\,\overline{Q}_2\,\overline{Q}_3 + Q_1\,\overline{Q}_2\,Q_3 = Q_1\,Q_2\,.$$

La commutazione da 1 a 0 si ha quando $Q_1\,Q_2\,\overline{Q}_3 = 1$, oppure quando $Q_1\,Q_2\,Q_3 = 1$, perciò il comando di reset deve essere :

$$R_2 = Q_1\,Q_2\,\overline{Q}_3 + Q_1\,Q_2\,Q_3 = Q_1 \cdot Q_2\,.$$

Il bistabile Q_3 commuta da 0 a 1 solo quando $Q_1\,Q_2\,\overline{Q}_3 = 1$, mentre commuta da 1 a 0 solo quando $Q_1\,Q_2\,Q_3 = 1$, perciò deve essere :

$$R_3 = Q_1\,Q_2\,Q_3 \qquad\qquad S_3 = Q_1\,Q_2\,\overline{Q}_3\,.$$

Come si vede i risultati raggiunti coincidono con quelli indicati dalle equazioni (6.21) che conducono allo schema del contatore binario con bistabili R-S mostrato in fig. 6.5.

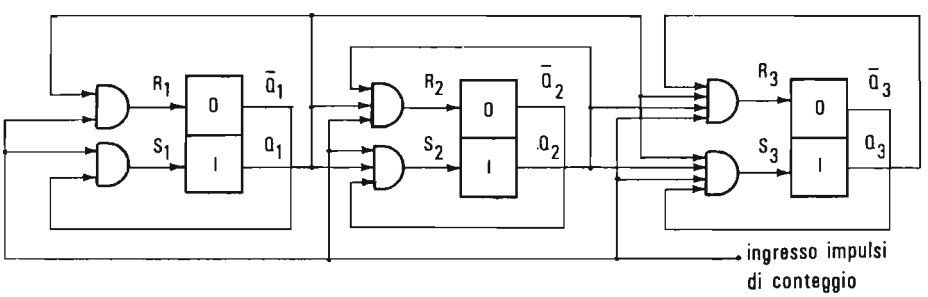


Fig. 6.5 - Schema logico di un contatore in base 2 con bistabili R -S.

Lo stesso schema realizzato con bistabili J-K risulta più semplice, giacchè le equazioni di ingresso di ogni bistabile non dipendono dalle uscite dello stesso bistabile essendo, secondo le (6.20) $J = g_2$ e $K = \overline{g}_1$. Sicchè, le equazioni analoghe alle (6.21), per il contatore binario realizzato con bista-

bili J-K, sono le (6.23), mentre lo schema logico è quello riportato in fig. 6.6.

(6.23) $J_1 = 1 \quad K_1 = 1; \quad J_2 = K_2 = Q_1; \quad J_3 = K_3 = Q_1 Q_2.$

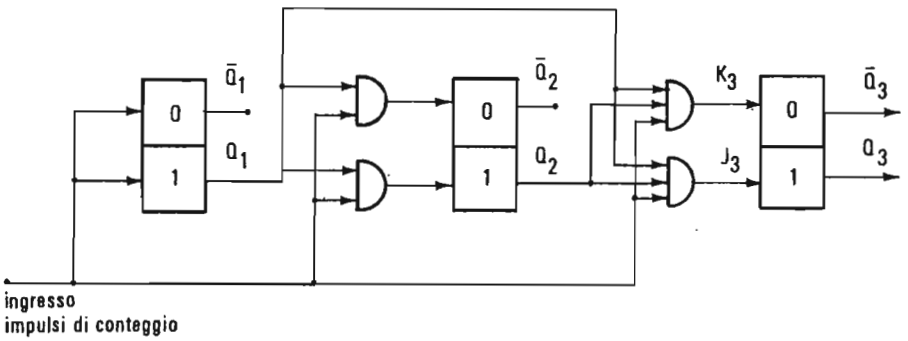


Fig. 6.6 - Schema logico di un contatore in base 2 con bistabili J-K.

Quale ulteriore esempio del metodo per ricavare le equazioni di ingresso considerando solo le condizioni che precedono la commutazione del bistabile, consideriamo un sistema di tre bistabili a cui si desidera dare la sequenza dei superstati della tabella 6.8. Si inviano gli impulsi di ingresso da 1 a 8, si ritorna a zero all'ottavo impulso per riprendere la stessa sequenza dopo ogni 8 impulsi.

TABELLA 6.8

tempo t = n			bistabile in commutazione	tempo t = n + 1			Numero degli impulsi di ingresso
Q_3	Q_2	Q_1		Q_3	Q_2	Q_1	
0	0	0	Q_1 (0 1)	0	0	1	1
0	0	1	Q_2 (0 1)	0	1	1	2
0	1	1	Q_1 (1 0)	0	1	0	3
0	1	0	Q_2 (1 0) Q_3 (0 1)	1	0	0	4
1	0	0	Q_1 (0 1)	1	0	1	5
1	0	1	Q_2 (0 1)	1	1	1	6
1	1	1	Q_1 (1 0)	1	1	0	7
1	1	0	Q_2 (1 0) Q_3 (1 0)	0	0	0	8

Per il bistabile Q_1 vediamo che lo stato commuta da 0 a 1 nella prima e nella quinta riga, perciò il comando J_1 deve essere il seguente :

$$J_1 = \overline{Q}_3 \overline{Q}_2 + Q_3 \overline{Q}_2 = \overline{Q}_2 \ .$$

La commutazione da 1 a 0 di Q_1 si ha nella terza e nella settima riga, perciò il comando K deve essere :

$$K_1 = \overline{Q}_3 Q_2 + Q_3 Q_2 = Q_2 .$$

Con analogo esame si vede che i comandi per Q_2 e per Q_3 sono i seguenti :

$$J_2 = Q_1 \qquad K_2 = \overline{Q}_1$$
$$J_3 = Q_2 \overline{Q}_1 \ , \ K_3 = Q_2 \overline{Q}_1 \ .$$

Lo schema logico del sistema relativo alla sequenza della tabella 6.8. è perciò quello riportato in fig. 6.7.

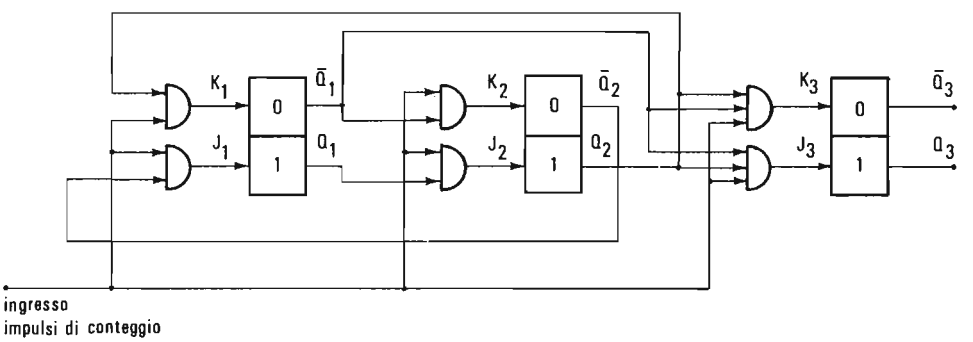


Fig. 6.7 - Schema logico di un contatore con la sequenza di Tabella 6.8 realizzato con bistabili J- K.

La sequenza indicata in Tabella 6.8 e lo schema di fig. 6.7 sono abbastanza interessanti per essere usati nei circuiti di conteggio. **E' possibile raggiungere come massima frequenza di conteggio una cadenza degli impulsi di ingresso che è doppia di quella consentita dagli stessi bistabili nel contatore binario di** fig. 6.6: nessuno dei bistabili infatti commuta ad ogni impulso di ingresso, ma anche Q_1 commuta ad ogni due impulsi di ingresso.

Altri esempi di sistemi sequenziali, progettati con il metodo di considerare solo le condizioni che precedono una commutazione oppure con il metodo della mappa di Karnaugh, saranno illustrati in seguito nei paragrafi relativi alle unità di conteggio in base diversa da 2 ed ai registri per il calcolo e la programmazione automatica.

Capitolo 7

SCHEMI LOGICI DI UNITA' OPERATIVE.

7.1. RAPPRESENTAZIONE DEI NUMERI CON BASE DIVERSA DA 10.

L'aritmetica binaria esprime i numeri come potenze di 2, alla stessa maniera come l'aritmetica decimale esprime i numeri come potenze di 10. Ad esempio, il numero millequattrocentoventicinque scritto nella notazione decimale 1425 è in una forma più concisa al posto dell'espressione:

$$1425 = 1 \times 10^3 + 4 \times 10^2 + 2 \times 10^1 + 5 \times 10^0 \ .$$

Nella notazione decimale ogni colonna può avere una delle dieci cifre da 0 a 9: la cifra della prima colonna da destra è il coefficiente di dieci alla zero, la cifra della seconda colonna è il coefficiente di dieci alla prima potenza e così via.
Nell'aritmetica binaria ogni colonna può disporre delle sole due cifre 0 e 1, che vengono usate come coefficienti delle diverse potenze di 2. Così il numero precedente nella notazione binaria si scrive :

1 0 1 1 0 0 1 0 0 0 1

ed equivale ad una rappresentazione concisa della seguente espressione:

$$1 \cdot 2^{10} + 0 \cdot 2^9 + 1 \cdot 2^8 + 1 \cdot 2^7 + 0 \cdot 2^6 + 0 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 +$$
$$+ 1 \cdot 2^0 = 1024 + 0 + 256 + 128 + 0 + 0 + 16 + 0 + 0 + 0 + 1 = 1425.$$

Il sistema binario copre ovviamente anche i numeri minori dell'unità ed essi vanno scritti a destra della virgola. Ad esempio il numero 1 0 1 1, 1 0 1 1

sta a significare :

$$1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1} + 0 \cdot 2^{-2} + 1 \cdot 2^{-3} + 1 \cdot 2^{-4} =$$
$$= 8 + 0 + 2 + 1 + 0{,}5 + 0 + 0{,}125 + 0{,}0625 = 11{,}6875.$$

Le cifre binarie 0 e 1 sono anche chiamate bit.
Il numero delle cifre usate in una notazione costituisce anche la base o la radice della notazione: 10 cifre sono usate nella notazione in base 10, **mentre due cifre sono usate nella notazione in base 2.**
Vi sono altre notazioni con base diversa da 2 e da 10; fra queste si va estendendo l'uso della notazione octal in base 8 che usa le cifre da 0 a 7. Quest'ultima si presta bene ad essere ricondotta nella notazione binaria perchè 8 è pari alla potenza 2^3. **Perciò un numero in octal è facilmente trasformabile in una notazione binaria e viceversa raggruppando a tre a tre le cifre binarie.** Ad esempio, il numero 1425 si può scrivere facilmente in octal come segue:

$$(010)\,(110)\,(010)\,(001) = 2 \cdot 8^3 + 6 \cdot 8^2 + 2 \cdot 8^1 + 1 \cdot 8^0 =$$
$$= 1024 + 384 + 16 + 1 = 1425.$$

Nella tabella 7.1 vengono presentati i numeri da 0 a 21 nelle tre diverse notazioni ora esaminate.

TABELLA 7.1

Notazione decimale	Notazione Octal	Notazione binaria	Notazione decimale	Notazione Octal	Notazione binaria
0	0	0	11	13	1 0 1 1
1	1	1	12	14	1 1 0 0
2	2	10	13	15	1 1 0 1
3	3	11	14	16	1 1 1 0
4	4	100	15	17	1 1 1 1
5	5	101	16	20	1 0 0 0 0
6	6	110	17	21	1 0 0 0 1
7	7	111	18	22	1 0 0 1 0
8	10	1000	19	23	1 0 0 1 1
9	11	1001	20	24	1 0 1 0 0
10	12	1010	21	25	1 0 1 0 1

Per distinguere i numeri espressi nella notazione octal, si usa identificarli con un suffisso che indica la base della notazione. Così il numero $(107)_8$ significa :

$$1 \cdot 8^2 + 0 \cdot 8^1 + 7 \cdot 8 = 64 + 7 = 71 \ .$$

La notazione decimale non richiede nessuna segnalazione poichè è quella comunemente usata; così pure non si segnala la base binaria perchè un numero espresso in binario è immediatamente riconoscibile. Il precedente numero scritto in binario si presenta infatti con le sole cifre 0 e 1 come segue :

$$71 = (107)_8 = \\ = 1 \cdot 8^2 + 0 \cdot 8^1 + 7 \cdot 8 = 001\ 000\ 111 \ .$$

7.2. LE OPERAZIONI ARITMETICHE .

Qualunque sia la base del numero, le operazioni aritmetiche sono effettuate seguendo sempre le stesse regole.
Consideriamo **l'addizione**: essa viene compiuta effettuando la somma delle cifre corrispondenti alle stesse colonne e tenendo conto del riporto nella colonna immediatamente superiore quando la somma eguaglia o supera la base della notazione.
Per esempio nel sistema decimale la somma di 6 e 7 dà una somma 3 (somma modulo 10) nella colonna 10^0 ed un riporto 1 per la colonna 10^1, cioè dà il risultato 13.
Per gli stessi numeri espressi in binario si effettua la somma modulo 2, procedendo come segue :

```
 6 =  1 1 0 +
 7 =  1 1 1
 ------------
      0 0 1        somma parziale
    1 1
 ------------
    1 1 0 1       = 13 .
 ------------
```

Nell'addizione modulo 2 la somma 1 + 1 dà luogo ad uno 0 nella stessa colonna e ad 1 nella colonna immediatamente superiore. Infatti se prendiamo la colonna 2^n, la somma di due 1 in questa colonna significa :

$$2^n + 2^n = 2^{n+1}$$

cioè nel risultato di somma ciò dà luogo a 0 nella colonna 2^n e ad 1 nella colonna 2^{n+1}.

La moltiplicazione binaria è ancora più semplice giacchè quando il moltiplicando viene moltiplicato per ogni cifra del moltiplicatore, ogni prodotto parziale sarà eguale al moltiplicando stesso se la cifra del moltiplicatore è 1, oppure sarà identicamente nullo se la cifra del moltiplicatore è zero. L'incolonnamento viene effettuato, come al solito, spostando la cifra meno significativa di ogni prodotto parziale in modo che si collochi sulla stessa colonna della corrispondente cifra del moltiplicatore. I prodotti parziali così incolonnati vengono quindi sommati con la somma modulo 2. Ad esempio la moltiplicazione 11 x 9 = 99, nel sistema binario si effettua come segue :

1 0 1 1 x	moltiplicando
1 0 0 1	moltiplicatore
1 0 1 1	1° prodotto parziale
0 0 0 0	2° prodotto parziale spostato di una colonna
0 0 0 0	3° prodotto parziale spostato di due colonne
1 0 1 1	4° prodotto parziale spostato di tre colonne
1 0 1 0 0 1 1	somma parziale
1	riporti
1 1 0 0 0 1 1	risultato

$2^6 + 2^5 + 2^1 + 2^0 = 64 + 32 + 2 + 1 = 99$.

La **sottrazione** può essere eseguita nel modo usuale prendendo a prestito dalla colonna superiore tutte le volte che la cifra del sottraendo è più gran-

de della cifra nella corrispondente colonna del minuendo. Così volendo sottrarre 9 - 7 = 2 si può procedere come segue :

1 0 0 1 -	minuendo
0 1 1 1	sottraendo
0 0 1 0	

cioè dalla quarta colonna del minuendo, la cui cifra 1 corrisponde a 2^3, si è preso a prestito un 1 per la terza colonna pari a 2^2 e due 1 pari a $2^1 + 2^1$ per la seconda colonna scrivendo $2^3 = 2^2 + 2^1 + 2^1$. Così chè la differenza fra $2^2 + 2^1 + 2^1$ (numero preso a prestito dal minuendo) meno $2^2 + 2^1$ (numero corrispondente alla terza e seconda colonna del sottraendo) dà come risultato 2^1, cioè 1 nella seconda colonna del risultato finale della sottrazione.
Questo metodo è tuttavia troppo laborioso e non risulta il più semplice da programmare con l'uso di circuiti logici.
Nei sistemi elettronici digitali, la sottrazione viene allora trasformata in addizione formando il **complemento** del sottraendo e quindi sommato quest'ultimo al minuendo.

Vi sono due tipi di complemento per ogni numero N: il complemento vero C_R o complemento alla radice R, ed il complemento C_{R-1} alla radice meno uno (R-1), cosi definiti:

$$(7.1) \qquad \begin{cases} C_R = R^m - N_m \\ C_{R-1} = R^m - 1 - N_m \end{cases}$$

dove m è il il numero delle colonne del numero N. Di un numero decimale esiste il complemento a 10 e il complemento a 9, sicchè ad esempio per 23 si ha :

$$C_{10} = 10^2 - 23 = 77 \text{ (complemento a dieci)}$$
$$C_9 = 10^2 - 1 - 23 = 76 \text{ (complemento a nove)} .$$

Analogamente **nella notazione binaria si ha il complemento C_2 a 2 ed il**

complemento C_1 **ad 1.** Quest'ultimo è ottenuto in modo molto semplice invertendo il valore dei bit del numero originale come segue :

numero originale : 1 0 1 1 1 = 23
complemento ad 1 C_1 : 0 1 0 0 0 = 8

infatti secondo la definizione (7.1) deve essere :

$$C_1 = 2^5 - 1 - 23 = 32 - 1 - 23 = 8.$$

Si può così mostrare come la sottrazione fra due numeri binari può essere eseguita con le due seguenti operazioni :

a) sommare al minuendo il complemento ad 1 del sottraendo, prendendo per entrambi uno stesso numero di colonne ;

b) rimuovere 1 nella colonna più significativa del risultato della somma precedente ed aggiungerlo alla colonna meno significativa dello stesso risultato.

Esempio : 9 - 7 = 2

	9	1 0 0 1
	7	0 1 1 1
complemento a 1 di 7	C_1	1 0 0 0
somma 9 + C_1 :		1 0 0 1 +
		1 0 0 0
rimozione di 1 nella quinta colonna e suo riporto in somma nella prima colonna		1 0 0 0 1
		1
		0 0 1 0 = 2

risultato della operazione di sottrazione utilizzando il complemento a 1 .

Nella normale operazione di addizione si possono aggiungere bit 0 nella colonna a sinistra del bit più significativo senza modificare il valore del

numero: **quando si forma il complemento è invece sempre necessario che il sottraendo sia presentato con lo stesso numero di bit del minuendo.**
La divisione di numeri binari può essere attuata con un procedimento che si intuisce facilmente una volta spiegato come si effettua la sottrazione. Infatti, così come la moltiplicazione consiste in operazione di somma ripetuta più volte, **la divisione consiste in operazioni di sottrazione ripetute più volte.**
Nel procedimento di divisione imparato a scuola e usato manualmente da ognuno di noi, il divisore viene sottratto al dividendo per un determinato numero di volte finchè si ottiene un resto inferiore al divisore. Per rendere più rapida la divisione, le sottrazioni vengono effettuate incolonnando e spostando progressivamente da sinistra verso destra il divisore in modo da ottenere subito per il quoziente le diverse cifre corrispondenti alle diverse potenze.
Nella divisione di numeri binari occorre allora ricordare che spostare un numero di una colonna a sinistra della virgola, equivale a moltiplicare per 2 il numero, mentre uno spostamento verso destra equivale a dividere il numero per due.
L'esempio seguente che mostra la divisione 10 : 4 = 2,5 eseguita con numeri binari, può meglio illustrare la procedura da seguire.

Esempio : 10 : 4 = 2,5
1 0 1 0 : 0 1 0 0 = 10,1 .

Divisione per successive sottrazioni :

		Cifra del quoziente	Potenza della cifra
Iª sottraz. con il divisore spostato di una colonna verso sinistra	1 0 1 0 - 1 0 0 0		
primo resto	0 0 1 0	1	2^1
IIª sottraz. con il divisore riportato alla posizione iniziale	0 0 1 0 - 0 1 0 0		
resto negativo	/	0	2^0

si procede oltre			
III^a sottraz. con il divisore spostato di una colonna verso destra	0 0 1 0 - 0 0 1 0		
resto finale	0 0 0 0	1	2^{-1}

E' caratteristico di questo procedimento determinare prima di tutto gli ordini di grandezza relativi del dividendo e del divisore in modo da iniziare le sottrazioni con il giusto incolonnamento del divisore e quindi eseguire le sottrazioni in modo che i resti parziali siano sempre positivi. Queste condizioni non sono fra le più semplici ad essere programmate con i circuiti elettronici, perciò sono state concepite altre sequenze che permettono di operare anche con resti negativi, oppure affidano il risultato a formule iterative, che applicate ripetutamente consentono di ottenere successivi quozienti sempre più prossimi a quello corretto.
Supponiamo di dover cercare il quoziente fra due numeri A e B. Per evitare ogni ambiguità sul valore relativo del dividendo rispetto al divisore, da prima si dividono o si moltiplicano entrambi per la base R,sino ad ottenere che il divisore B diventi minore di 1 ma più grande o eguale all'inverso della radice R^{-1} : queste divisioni o moltiplicazioni sono molto semplici da effettuare elettronicamente perchè consistono in uno spostamento a destra o a sinistra dei numeri memorizzati in registri di bistabili.
Questi numeri, dopo le suddette divisioni o moltiplicazioni, siano A_1 e B_1 : il quoziente da cercare è allora $A_1 : B_1 = A : B$.
Se ora si cerca un numero n_1 tale che :

$$1 < n_1 < \frac{1}{B_1}$$

si può moltiplicare A_1 e B_1 per questo numero ottenendo due nuovi numeri A_2 e B_2 tali che è sempre valida l'uguaglianza :

$$\frac{A}{B} = \frac{A_1}{B_1} = \frac{A_1\, n_1}{B_1\, n_1} = \frac{A_2}{B_2} \quad .$$

Si procede quindi alla ricerca di successivi valori di n tali che siano sempre

$1 < n_i < 1/B$ e si effettuano ogni volta le due moltiplicazioni seguenti :

$$A_{i+1} \equiv n_i A_i \qquad B_{i+1} = n_i B_i \ .$$

Continuando con questo procedimento iterativo in modo da tendere ad 1 con il prodotto $n_i B_i$, si ottiene che l'altro prodotto $n_i A_i$ tende contemporaneamente al quoziente.
Come si vede, questa sequenza tende a riportare la operazione di divisione ad un'operazione di moltiplicazione.
Ora che sono state svolte le considerazioni di base sulle operazioni aritmetiche con numeri binari, possiamo procedere ad esaminare gli schemi funzionali logici con cui tali operazioni si effettuano. Il progetto di tali schemi si basa sempre sui circuiti AND, OR, NOT e BISTABILE collegati secondo le regole dell'algebra booleana per realizzare una prefissata funzione di variabili binarie.

7.3. SCHEMI LOGICI PER L'ADDIZIONATORE .

I numeri binari possono essere presentati in un sistema elettronico come una successione di impulsi:in questo caso le diverse cifre o bit si presentano su un singolo filo in successione temporale con periodo T come in fig. 7.1.

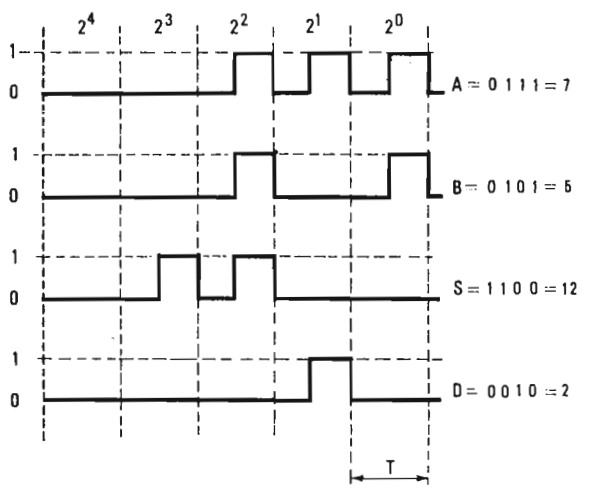
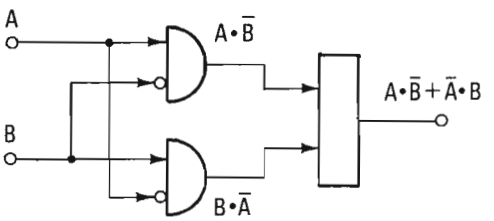


Fig. 7.1 -

Lo stato 0 è rappresentato, ad esempio, dal livello 0 di tensione, mentre lo stato 1 corrisponde a un livello positivo

Due numeri A e B da sommare si presentano allora come due treni di impulsi sincroni su due fili. In questo caso la somma viene eseguita con **l'addizionatore serie.**

Il blocco logico fondamentale per l'addizionatore serie è costituito dalla porta logica "OR-Esclusivo", il cui schema logico e la cui tabella della verità sono riportate in fig. 7.2.



A	B	D
0	0	0
0	1	1
1	0	1
1	1	0

Fig. 7.2 - Schema logico e tabella della verità della porta OR-Esclusivo.

Consideriamo ora la tabella della verità di un addizionatore. Essa deve tener conto, per ogni periodo di bit, non solo delle cifre A_i e B_i dei due numeri da sommare ma anche della cifra di riporto C_{i-1} del periodo di bit precedente. Si presenta perciò come segue :

TABELLA 7.2

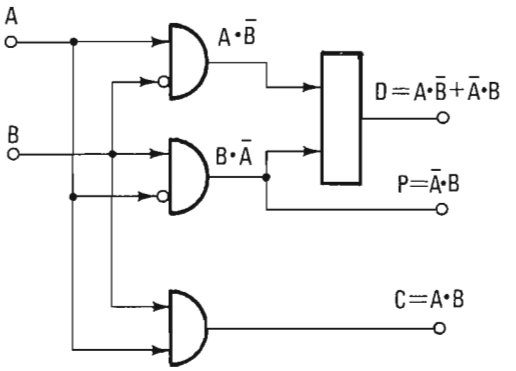
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Le equazioni logiche che ne derivano per S_i e C_i sono le seguenti :

$$(7.2) \quad S_i = A_i \cdot \overline{B_i} \cdot \overline{C}_{i-1} + \overline{A}_i B_i \overline{C}_{i-1} + \overline{A}_i \overline{B}_i C_{i-1} + A_i \cdot B_i C_{i-1} =$$
$$= (A_i \overline{B}_i + \overline{A}_i B_i) \overline{C}_{i-1} + \underline{(\overline{A}_i \overline{B}_i + A_i B_i)} C_{i-1} =$$
$$= (A_i \overline{B}_i + \overline{A}_i B_i) \overline{C}_{i-1} + (A_i \overline{B}_i + \overline{A}_i B_i) C_{i-1}$$

$$(7.3) \quad C_i = A_i B_i \bar{C}_{i-1} + A_i \bar{B}_i C_{i-1} + \bar{A}_i B_i C_{i-1} + A_i B_i C_{i-1}$$
$$= A_i B_i + (A_i \bar{B}_i + \bar{A}_i B_i) C_{i-1} \quad .$$

Un circuito che accetta due ingressi binari A_i e B_i e produce i segnali di uscita S_i e C_i è un addizionatore ed è mostrato in fig. 7.4.



A	B	D	P	C
0	0	0	0	0
0	1	1	1	0
1	0	1	0	0
1	1	0	0	1

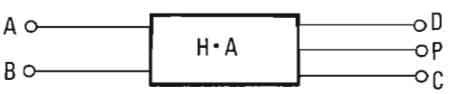


Fig. 7.3 - Schema logico e tabella della verità di un semiaddizionatore e semisottrattore.

Come si vede, esso risulta composto di due circuiti del tipo mostrato in fig. 7.3 e detto semi-addizionatore: questo termine deriva appunto dal fatto che **un addizionatore completo può essere costruito con due semi-addizionatori.** Dalla tabella della verità di quest'ultimo si possono individuare tre uscite: 1) **l'uscita D, detta "uscita digit"** che dà le cifre del numero risultante dall'operazione aritmetica; 2) **l'uscita P, detta "uscita borrow"** che dà le cifre di riporto a prestito per la sottrazione; 3) **l'uscita C, detta "uscita carry"** che dà l'uscita di riporto per la somma.

Nell'addizionatore di fig. 7.4 si assume che i corrispondenti bit dei due addendi arrivino simultaneamente. Sia A che B passano attraverso i due semi-addizionatori, mentre C_{i-1}, realizzato con un ritardo di 1 bit, passa solo attraverso il secondo. Il ritardo di un bit è necessario per memorizzare. C al fine di attendere che arrivino i bit più significativi di A e B ed a questo istante effettuarne la loro somma.

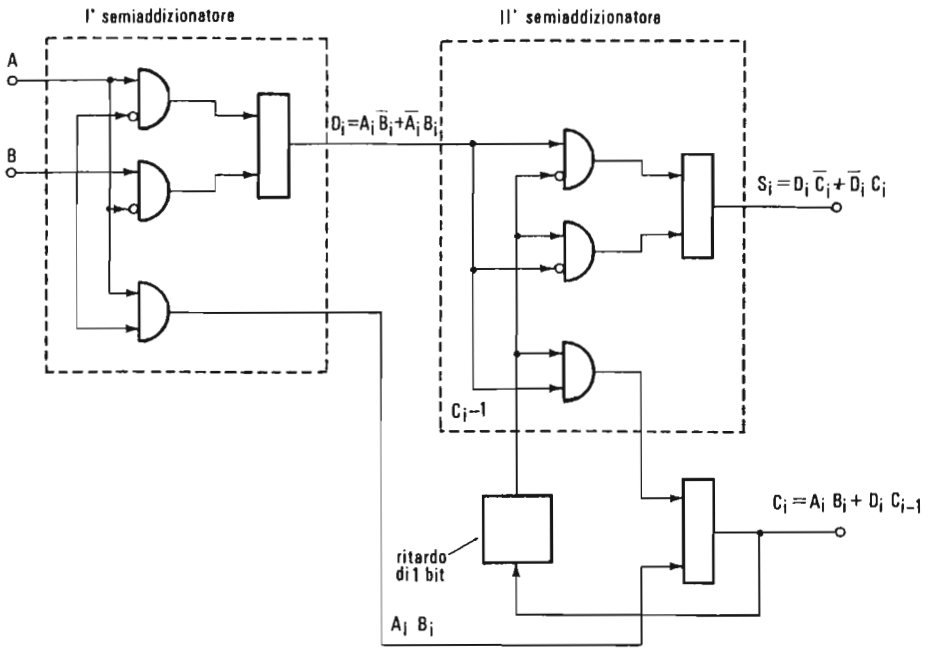


Fig. 7.4 - Schema logico di un addizionatore.

Due numeri a più bit possono anche essere sommati in parallelo: per ogni numero di n bit si devono avere allora n fili. Il semiaddizionatore di fig. 7.3 può essere usato per formare un addizionatore parallelo come mostrato in fig. 7.5.

Ogni bit richiede allora un addizionatore completo, ad eccezione del bit 2° che non ha riporti precedenti.

Osservando lo schema logico, si controlla che le uscite di somma e di riporto soddisfano la (7.2) e la (7.3), poichè risulta :

$$
\begin{aligned}
S_0 &= A_0\overline{B}_0 + \overline{A}_0 B_0 \\
C_0 &= A_0 B_0 \\
S_1 &= D_1 \overline{C}_0 + \overline{D}_1 C_0 \\
C_1 &= C_{11} + C_{10} = A_1 B_1 + D_1 C_0 \\
S_2 &= D_2 \overline{C}_1 + \overline{D}_2 C_1 \\
C_2 &= C_{22} + C_{21} = A_2 B_2 + D_2 C_1 \quad .
\end{aligned}
\tag{7.4}
$$

I circuiti di fig. 7.4 e fig. 7.5 possono essere usati altrettanto bene per la sottrazione, puchè nelle connessioni fra i semi-addizionatori si usi l'uscita "borrow" P al posto dell'uscita carry C.

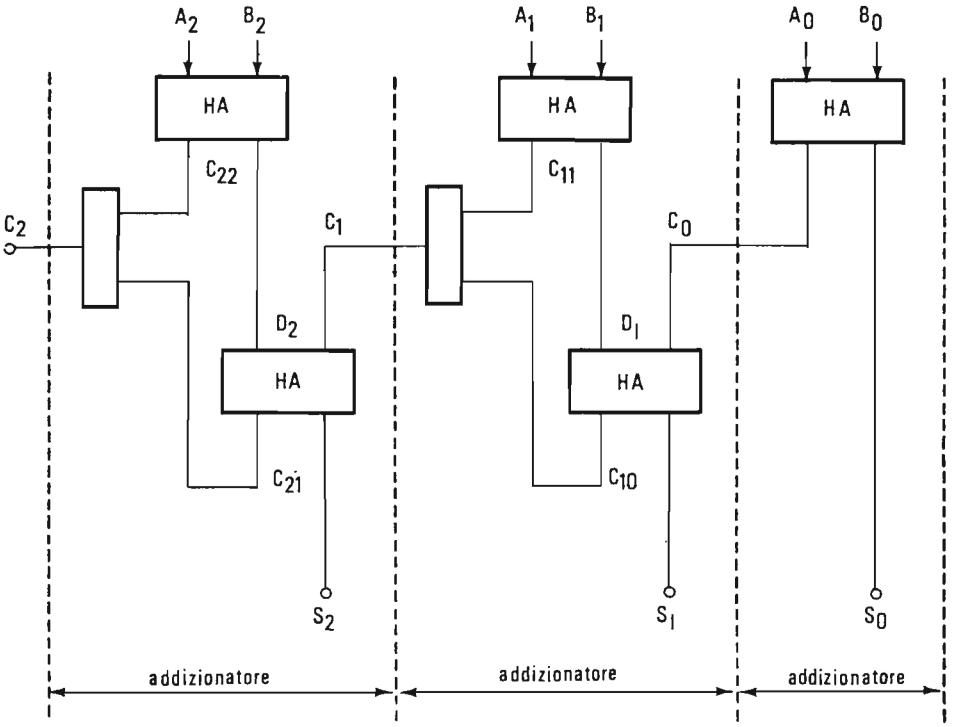


Fig. 7.5. - Schema logico di un addizionatore parallelo.

In un addizionatore parallelo tutti i bit di un numero sono ricevuti contemporaneamente da un registro di bistabili, con tanti bistabili quanti sono i bit. Perciò per comandare l'addizionatore di fig. 7.5 occorreranno due registri di ingresso e infine un registro di uscita per memorizzare la somma. Questi registri possono però essere essi stessi utilizzati per eseguire l'operazione di somma. Supponiamo che un registro contenga l'addendo A e lo altro registro l'addendo B e che si voglia accumulare il risultato di somma nei bistabili dello stesso registro B.

Se esaminiamo i possibili stati dei bistabili A_i, e dei riporti C_{i-1}, C_i al tempo $t = n$, possiamo scrivere la tabella della verità 7.3 che determina quali devono essere i bit del risultato di somma nei bistabili B_i al tempo $t = n + 1$. La dipendenza dei valori di B_i al tempo $t = n + 1$ dai valori non solo di A_i, B_i e C_i al tempo $t = n$, ma anche dai riporti delle colonne precedenti la i-esima, è espressa dalle seguenti due equazioni ricavate dalla Tabella 7.3.

TABELLA 7.3

$\tau = n$			$\tau = n+1$	
A_i	B_i	C_i	C_{i+1}	B_i
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

$$(7.5) \quad B_i(n+1) = [A_i\overline{B}_i\overline{C}_i + \overline{A}_i B_i \overline{C}_i + \overline{A}_i \overline{B}_i C_i + A_i B_i C_i] \ (n) =$$
$$= [B_i(\overline{A}_i \overline{C}_i + A_i C_i) + \overline{B}_i (A_i \overline{C}_i + \overline{A}_i C_i)] \ (n)$$

$$(7.6) \quad C_{i+1}(n+1) = A_i B_i \overline{C}_i + A_i \overline{B}_i C_i + \overline{A}_i B_i C_i + A_i B_i C_i =$$
$$= A_i B_i \overline{C}_i + A_i \overline{B}_i C_i + \overline{A}_i B_i C_i + A_i B_i C_i +$$
$$+ A_i B_i C_i + A_i B_i C_i = A_i B_i + A_i C_i + B_i C_i$$

La (7.6) può anche essere riscritta come segue, in modo da mettere in evidenza l'espressione di C_i che compare nella (7.5) :

$$(7.6.1) \qquad C_i(n) = A_{i-1} B_{i-1} + A_{i-1} C_{i-1} + B_{i-1} C_{i-1} \ .$$

Se ora esaminiamo l'equazione di B_i vediamo che essa è funzione non solo di A_i e B_i ma anche di C_i; questo a sua volta è funzione di tutte le colonne precedenti $A_0 \ A_1 \ \ldots . A_{i-1}, B_0 \ B_1 \ \ldots . B_{i-1}$. Realizzare la rete logica per ogni B_i seguendo questa via risulterà oneroso a causa dell'elevato numero di circuiti logici necessari.

Tuttavia le equazioni (7.5) e (7.6) consentono di realizzare una rete logica con cui la somma può essere compiuta in un solo periodo di bit come mo-

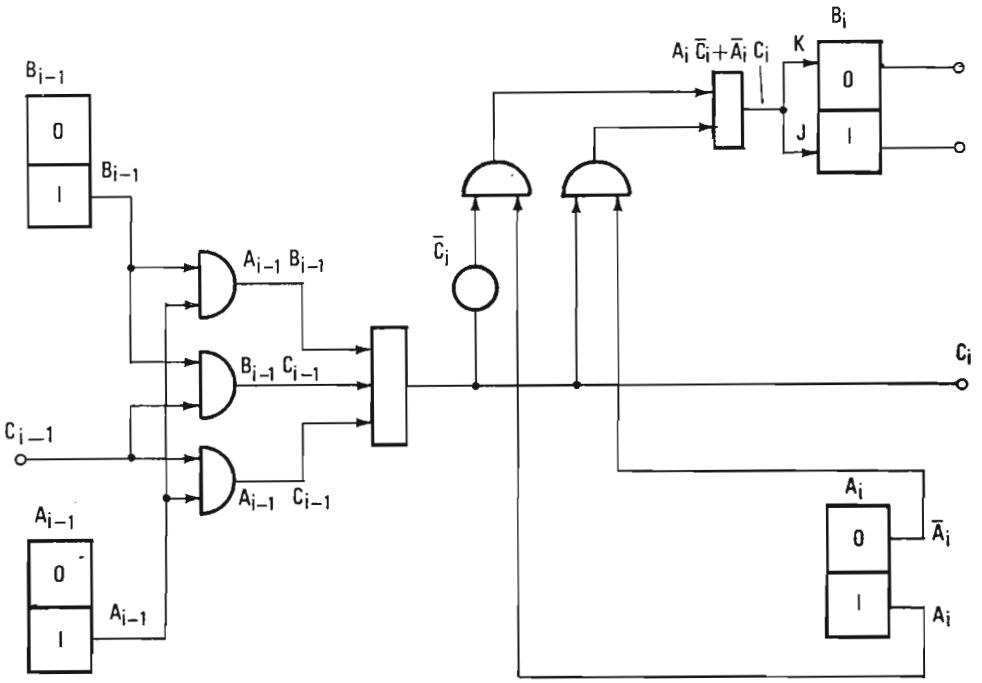


Fig. 7.6 - Addizionatore parallelo con tempo di addizione pari ad un periodo di bit.

strato in fig. 7.6.

L'equazione (7.5) è un'equazione di applicazione. Per derivare le equazioni di ingresso, quando si intenda usare il bistabile J–K, è sufficiente uguagliare l'equazione di applicazione con l'equazione caratteristica, come spiegato nel paragrafo 6.7.3.

Ovvero sfruttando la (6.20) e la (6.12) si ha :

$$
\begin{aligned}
J_{B_i} &= \bar{A}_i C_i + A_i \bar{C}_i \\
K_{B_i} &= \overline{\bar{A}_i \bar{C}_i + A_i C_i} = \bar{A}_i C_i + A_i \bar{C}_i = J_{B_i} .
\end{aligned}
\tag{7.7}
$$

Questi sono appunto i comandi realizzati con la rete di fig. 7.6 la quale, come si intuisce, viene ripetuta per ogni coppia di bistabili A_i, B_i. Se il numero di bit di ogni addendo, e quindi il numero dei bistabili dei registri è elevato, allora si possono avere ritardi e deformazioni intollerabili negli impulsi di riporto C_i che vengono trasmessi in cascata attraverso tutte le corrispondenti reti di somma. In questo caso occorre inserire degli ulteriori stadi di amplificazione e di formazione degli impulsi di riporto fra una rete e la successiva.

7.4. SCHEMI LOGICI PER IL MOLTIPLICATORE.

Gli schemi logici per effettuare la moltiplicazione sono abbastanza più elaborati di quelli per l'addizione, e in queste dispense non possono essere presentati gli schemi completi con ogni dettaglio anche in merito ai circuiti di programmazione dei diversi comandi operativi. Basterà tuttavia presentare gli schemi di principio per introdurre lo studente alle tecniche possibili, in modo da essere poi in grado di discutere ed approfondire le diverse soluzioni apparse nella letteratura tecnica specializzata.

Esaminiamo in primo luogo la normale Tabella 7.4 per la moltiplicazione di due numeri di quattro cifre che, com'è ben noto, si presenta nel modo seguente :

TABELLA 7.4

			a_3	a_2	a_1	a_0	x	Moltiplicando
			b_3	b_2	b_1	b_0		Moltiplicatore
			$a_3 b_0$	$a_2 b_0$	$a_1 b_0$	$a_0 b_0$		1° prodotto parziale
		$a_3 b_1$	$a_2 b_1$	$a_1 b_1$	$a_0 b_1$			2° prodotto parziale
	$a_3 b_2$	$a_2 b_2$	$a_1 b_2$	$a_0 b_2$				3° prodotto parziale
$a_3 b_3$	$a_2 b_3$	$a_1 b_3$	$a_0 b_3$					4° prodotto parziale
s_6	s_5	s_4	s_3	s_2	s_1	s_0		

Uno schema di principio che esegue queste operazioni può essere pensato come in fig. 7.7.

Gli r bit a_i del moltiplicando vengono memorizzati nel registro a scorrimento A con 2r - 1 bistabili; gli r bit b_i del moltiplicatore vengono memorizzati nel registro a scorrimento B con r bistabili. Il risultato, con le cifre s_i viene memorizzato nel registro S con 2r bistabili.

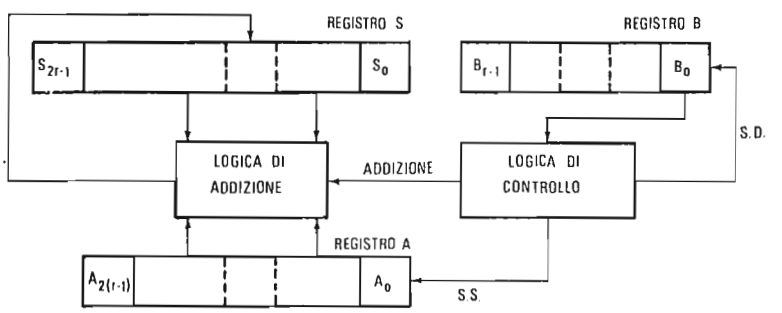
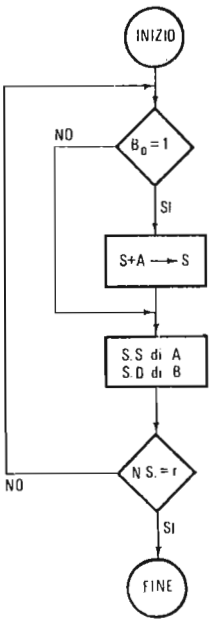


Fig. 7.7 - Logica di funzionamento di un moltiplicatore.

La sequenza operativa può essere descritta riferendosi allo schema di flusso di fig. 7.8.



Condizioni iniziali:
S = 0
Moltiplicando in A
Moltiplicatore in B

Fig. 7.8 - Schema di flusso per il moltiplicatore serie - parallelo di fig. 7.7 - N.S. = Numero spostamenti.

La logica di controllo interroga dapprima il valore del bit nel bistabile B_0. Se esso è uguale ad 1, la logica di controllo fornisce un impulso di comando alla logica di addizione per eseguire il primo prodotto parziale AB_0 ottenuto quando ancora tutti i bit a_i del moltiplicando sono memorizzati nei bistabili da A_0 a A_{r-1}. Se il valore B_0 è uguale a 0, il primo prodotto parziale è nullo. Dopo queste fasi, si procede alla formazione del secondo prodotto parziale come segue: si sposta verso destra il contenuto del registro B in maniera che nella posizione del bistabile B_0, venga memorizzato il bit b_1 mentre i bit del moltiplicando vengono spostati verso sinistra in modo da venire memorizzati nei bistabili da A_r ad A_1. In funzione del valore 1 o 0 del bit b_1 si procede come prima eseguendo o meno la somma fra il contenuto del registro S ed il contenuto del registro A; il nuovo risultato viene trasferito di nuovo nel registro S ottenendo così i termini dovuti alla somma fra il primo prodotto parziale e il secondo prodotto parziale. Continuando gli spostamenti verso destra nel registro B, e verso sinistra nel

registro A, ed eseguendo ogni volta le somme fra il contenuto del registro A e quello del registro S, si giunge dopo r − 1 spostamenti, al risultato che da il prodotto finale. Nella sequenza ora descritta, si vede che si parte da una situazione iniziale in cui il registro B è tutto occupato, il registro A è occupato a metà nei primi bistabili da A_0 ad A_{r-1} e il registro S è vuoto, per arrivare alla fine nella configurazione in cui il registro B rimane vuoto, il registro A rimane occupato nei bistabili da A_{r-1} ad $A_{2(r-1)}$, ed il registro S contiene i termini del prodotto finale che possono occupare tutti i 2r bistabili.

Si vede cioè che, nello schema di fig. 7.7, quando si forma il primo prodotto iniziale, non vengono utilizzati i bistabili da Sr a S_{2r} del registro S. Nel procedere ai successivi prodotti parziali, mentre gradualmente vengono occupati gli altri bistabili del registro S, si rendono liberi quelli del registro B.

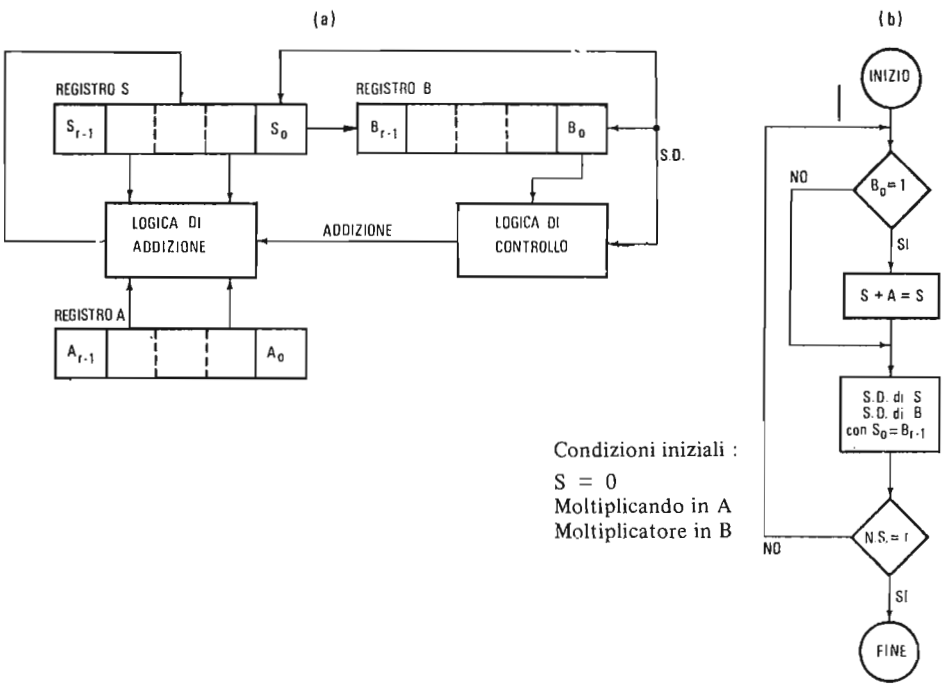


Fig. 7.9 – (a) Schema logico e (b) schema di flusso del moltiplicatore serie-parallelo con tutti i registri A, B ed S di r bit.
N.S. = Numero Spostamenti.

Si può così pensare ad un nuovo schema più economico come in fig. 7.9 (a) che opera secondo lo schema di flusso di fig. 7.9 (b)

In esso anche i registri A ed S, come B, sono composti da soli r bistabili. Alla fine di ogni prodotto parziale, il risultato immagazzinato in S viene spostato verso destra occupando progressivamente i bistabili resisi disponibili nel registro B. Sicchè, alla fine, il risultato si trova immagazzinato nel registro formato dall'insieme dei bistabili di S e B.

7.5. SCHEMI LOGICI PER I REGISTRI DI CONTEGGIO .

Già nell'esempio di paragrafo 6.7.5 abbiamo visto come possono essere collegati tre bistabili in modo che il codice binario dei successivi superstati corrisponda al numero degli impulsi applicati all'ingresso della catena dei tre bistabili.
In generale n bistabili possono essere collegati in modo che, assegnando a ciascuno di essi i pesi 2^0, 2^1, 2^2 ..... 2^n, il superstato degli n bistabili corrisponda ad ogni istante al numero degli impulsi applicati in ingresso: ciò è valido ovviamente per gli impulsi da 0 a 2^n -1 poichè all'impulso 2^n, la catena dei bistabili ritorna nel superstato zero. **In questo modo la catena dei bistabili viene usata per contare in somma il numero degli impulsi applicati in ingresso e perciò viene detta catena di conteggio in somma.**

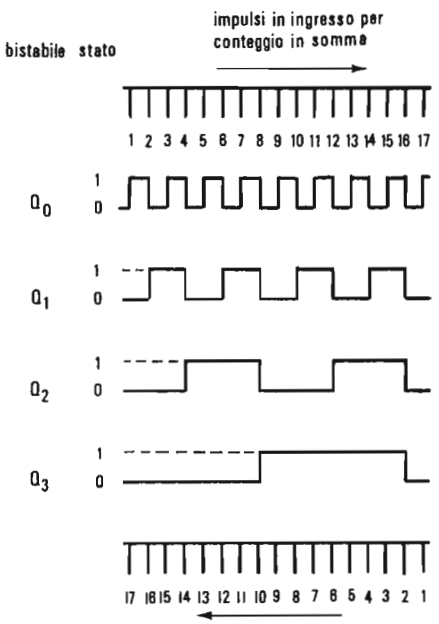
Esaminando la Tabella 7.5 relativa a quattro bistabili, vediamo che devono valere le seguenti regole affinchè una catena di bistabili conti in somma :

a⁺) il primo bistabile Q_0 deve commutare ad ogni impulso di ingresso;

b⁺) ciascuno dei successivi bistabili deve commutare solo quando il precedente commuta da $1 \rightarrow 0$.

Con analoghe considerazioni possiamo vedere che gli n bistabili possono essere collegati in modo da eseguire un conteggio in sottrazione, cioè in modo che il codice binario, corrispondente ad ogni superstato, indichi il complemento a 2 del numero degli impulsi applicati in ingresso: se n sono i bistabili e M gli impulsi di ingresso, il codice del superstato sarà perciò 2^n - M.

TABELLA 7.5



numero degli impulsi in somma	in sottraz.	superstato dei bistabili Q_3	Q_2	Q_1	Q_0
0	16	0	0	0	0
1	15	0	0	0	1
2	14	0	0	1	0
3	13	0	0	1	1
4	12	0	1	0	0
5	11	0	1	0	1
6	10	0	1	1	0
7	9	0	1	1	1
8	8	1	0	0	0
9	7	1	0	0	1
10	6	1	0	1	0
11	5	1	0	1	1
12	4	1	1	0	0
13	3	1	1	0	1
14	2	1	1	1	0
15	1	1	1	1	1
16	0	0	0	0	0

Sempre osservando la Tabella 7.5, vediamo che ciò può essere fatto seguendo le due regole :

a¯) il primo bistabile Q_0 deve commutare ad ogni impulso di ingresso;

b¯) ciascuno dei successivi bistabili deve commutare solo quando il precedente commuta da $0 \rightarrow 1$.

In fig. 7.10 sono rappresentati dei semplici schemi di connessione con bistabili-Trigger: essi funzionano in modo asincrono, senza impulsi d'orologio e usano reti di quasi derivazione R-C in modo da comandare ogni successivo bistabile con l'impulso che si ricava dal fronte d'onda negativo della transizione dal livello 1 al livello zero del precedente bistabile. Dall'esame degli schemi (a) e (b) di fig. 7.10 è immediato ricavare lo schema (c) di un contatore detto bidirezionale perchè può, su comando esterno, contare in somma o in sottrazione. Infatti portando a livello 1 la barra di somma e mantenendo a livello 0 quella di sottrazione si attua la connessione dello schema (a); si attua viceversa la connessione dello schema (b) se si porta in 1 la barra di sottrazione e si mantiene a zero quella di somma.

Si può contare in una base r diversa da 2. Il caso più comune è quello di contare con base $r = 10$, giacchè il sistema decimale è il più familiare. Per progettare un contatore con base r, si inizia col collegare insieme n bistabili a contatore binario scegliendo n come il più piccolo numero che rende $2^n > r$: ad esempio, per contare in base 10 si sceglie $n = 4$ giacchè è $2^3 < 10 < 2^4$. Quindi si procede con opportune reazioni dai bistabili finali a quelli iniziali della catena, in modo che $2^n - r$ superstati siano eliminati nella sequenza dei 2^n superstati del primitivo contatore binario. Vi sono diversi modi per ottenere che il contatore binario ricicli ad ogni r superstati eliminandone dalla sequenza $2^n - r$: in Tabella 7.6 sono presentate tre diverse sequenze di contatori decimali, in cui la cifra decimale viene codificata con i pesi attribuiti ai quattro bistabili.

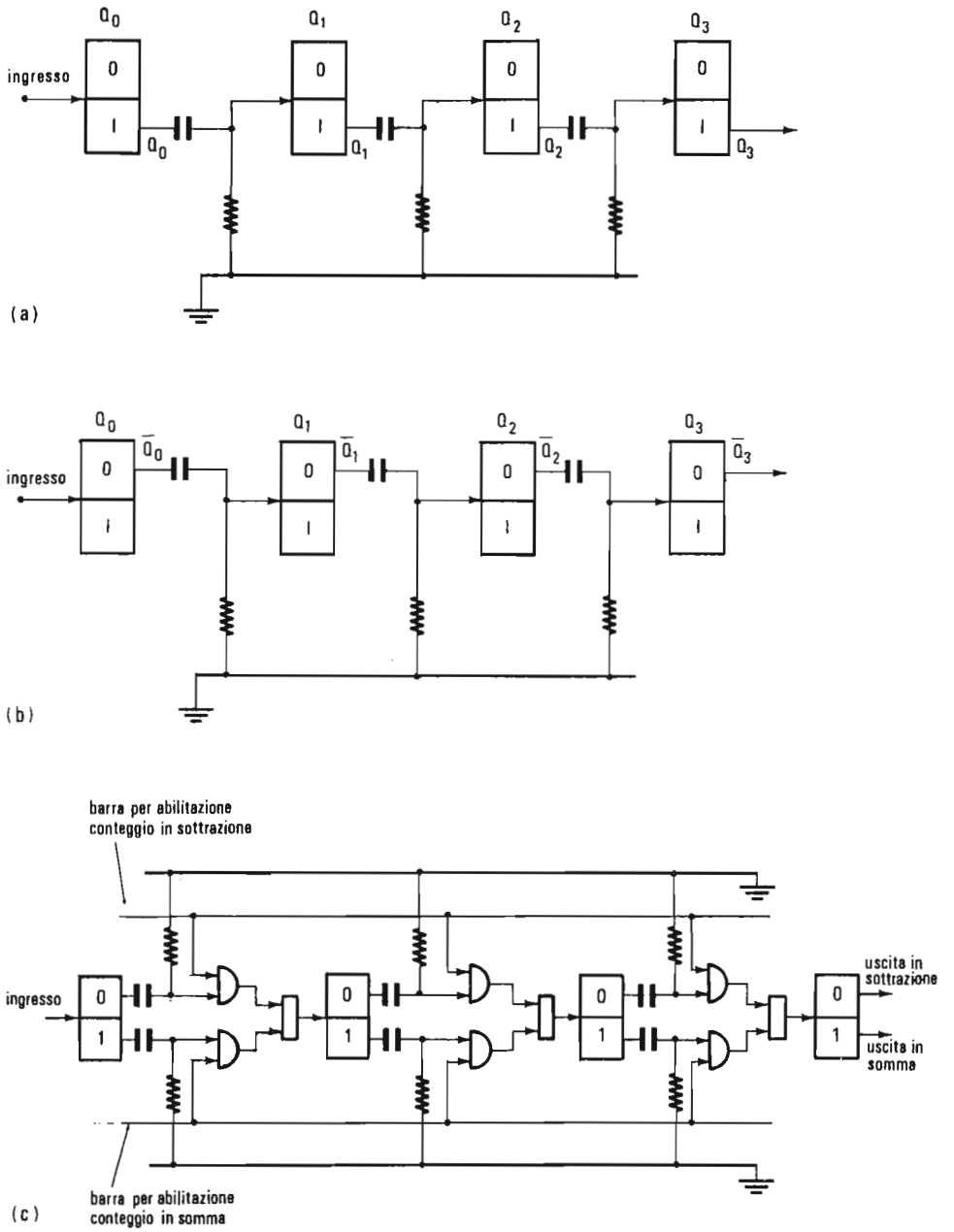


Fig. 7.10 - (a) Schema di connessione per conteggio in base 2 in somma. - (b) Schema di connessione per conteggio in base 2 in sottrazione. - (c) Schema di connessione per contatore bidirezionale in base 2.

TABELLA 7.6 - CODICI PER CONTEGGIO IN BASE 10

Cifra decimale	Codice BCD-1242				Codice BCD-1248				Codice ad eccesso 3			
	2	4	2	1	8	4	2	1				
	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	0	1	0	0	1	0	1
3	0	0	1	1	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	0	0	1	1	1
5	0	1	0	1	0	1	0	1	1	0	0	0
6	0	1	1	0	0	1	1	0	1	0	0	1
7	0	1	1	1	0	1	1	1	1	0	1	0
8	1	1	1	0	1	0	0	0	1	0	1	1
9	1	1	1	1	1	0	0	1	1	1	0	0
Superstati	1	0	0	0	1	0	1	0	0	0	0	0
proibiti e	1	0	0	1	1	0	1	1	0	0	0	1
perciò	1	0	1	0	1	1	0	0	0	0	1	0
eliminati	1	0	1	1	1	1	0	1	1	1	0	1
	1	1	0	0	1	1	1	0	1	1	1	0
	1	1	0	1	1	1	1	1	1	1	1	1

Nel codice BCD - 1 2 4 2 (Binary-coded-decimale 1 2 4 2) i bistabili del contatore decina e assumono i pesi $Q_0 = 2^0 = 1$; $Q_1 = 2^1 = 2$; $Q_2 = 2^2 = 4$; $Q_3 = 2^1 = 2$.

Analogamente **nel codice BCD 1 2 4 8**, i bistabili assumono gli stessi pesi che nel contatore binario perchè vengono eliminati tutti i superstati da 10 a 15.

Nel codice ad eccesso 3 si vede invece che il bistabile Q_3 assume il valore 0 oppure 5, mentre i bistabili Q_2 $Q_1 Q_0$ assumono il valore espresso dal loro codice binario meno 3: **in realtà il codice di tutti e 4 i bistabili** Q_3 Q_2 Q_1 Q_0 **esprime in binario un numero che eccede di 3 unità il numero degli impulsi di ingresso e perciò il codice viene detto ad eccesso 3.**

La caratteristica di questo codice è quella di essere autocomplementato: la cifra 0 è il complemento di 9, la cifra 1 di 8 e così via fino alla cifra 4 che è il complemento di 5; ciò è vantaggioso nell'eseguire operazioni aritmetiche dove, come si è descritto per la sottrazione binaria, spesso si ricorre al complemento del numero; infine si tenga presente che quando si sommano due cifre codificate ad eccesso 3, la somma ha un eccesso 6, il che elimina automaticamente i 6 superstati non desiderati nella sequenza binaria.

A titolo di esempio si riporta nello schema di fig. 7.11 la catena di 4 bistabili reazionati in modo da attuare il conteggio in codice BCD - 1 2 4 2.

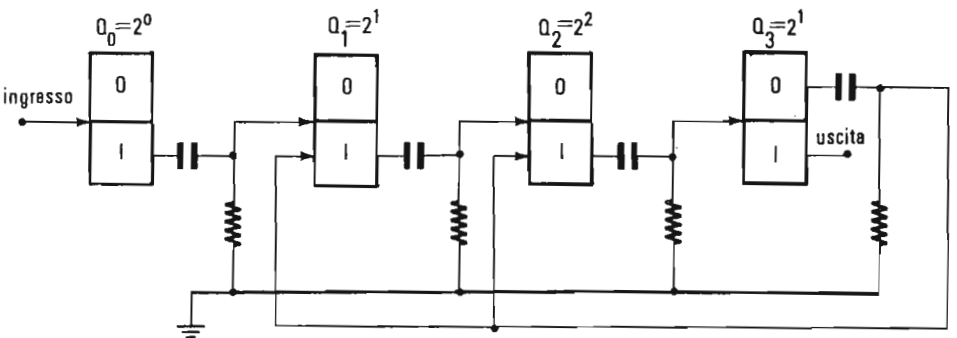


Fig. 7.11 - Esempio di contatore decimale in codice BCD-1242 con comandi di direzione.

L'uscita Q_3 è accoppiata con circuito derivato all'ingresso di set dei bistabili Q_1 e Q_2 scelti del tipo R - S - T. Quando Q_3 commuta nello stato 1, il fronte d'onda di commutazione derivato dà luogo a un impulso che riporta in 1 entrambi i bistabili Q_1 e Q_2; perciò la catena conta nella normale sequenza binaria da 0 a 7; all'ottavo impulso si porta nel superstato corrispondente a 1 1 1 0, cioè a 14 nel codice binario puro, saltando tutte le configurazioni binarie da 8 a 13; al nono impulso assume la configurazione 1 1 1 1 corrispondente al 15 del codice binario puro e al decimo impulso ricicla allo stato zero.

Tuttavia **l'uso delle connessioni di reazione per variare la base di conteggio può ridurre anche gravemente la massima frequenza di conteggio: ciò è dovuto a tutti i ritardi di propagazione delle commutazioni da un bistabile al**

successivo e dall'ultimo a quelli da rieccitare per reazione. E' evidente che, finché tutte queste commutazioni non si sono esaurite, non si può applicare in ingresso un successivo impulso da contare, o meglio **un impulso applicato in ingresso durante questo propagarsi di commutazioni fra i vari bistabili non verrà contato correttamente.** Perciò i metodi che fanno ricorso a reti logiche, il cui principio è quello dello schema generale di fig. 6.5, e che eliminano l'uso di connessioni di reazione, possono essere preferiti: si raggiungono cosi frequenze di conteggio più elevate, al limite cioè della massima frequenza di commutazione consentita dal bistabile, purchè si accetti un maggior costo ed una maggiore complicazione nelle reti di connessione fra bistabili.

Esaminiamo ad esempio la sequenza del codice BCD - 1248 e scriviamo le mappe di Karnaugh per i quattro bistabili Q_0, Q_1, Q_2, Q_3 secondo la sequenza di Tabella 7.6, tenendo presente le condizioni di indifferenza date dai 6 superstati non consentiti.

Sfruttando tali condizioni di indifferenza, che si ritrovano identiche in tutte le quattro mappe, è possibile pervenire alle equazioni di applicazione riportate in fig. 7.12.

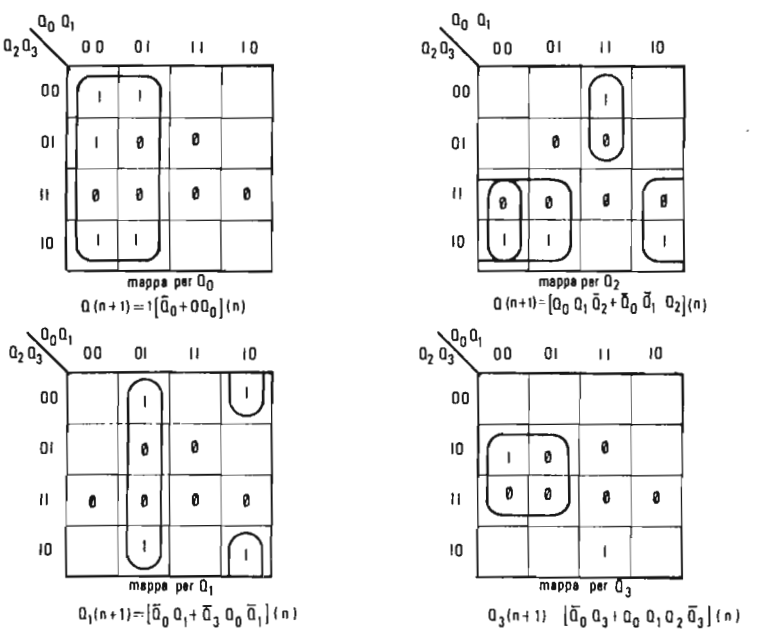


Fig. 7.12 - Mappe di Karnaugh per il contatore decimale con codice BCD-1248.

Se si usano ad esempio bistabili J-K, le equazioni di ingresso per i quattro bistabili diventano :

per Q_0 : $J_0 = 1, K_0 = 1$; per Q_2 : $J_2 = Q_0 Q_1, K_2 = Q_0 Q_1$
per Q_1 : $J_1 = \bar{Q}_3 Q_0, K_1 = Q_0$; per Q_3 : $J_3 = Q_0 Q_1 Q_2, K_3 = Q_0$.

Esse danno luogo allo schema di fig. 7.13 in cui ogni bistabile commuta sempre in sincronismo con l'arrivo dell'impulso di ingresso senza che la rete logica di intreconnessione introduca ritardi di propagazione fra i diversi bistabili.

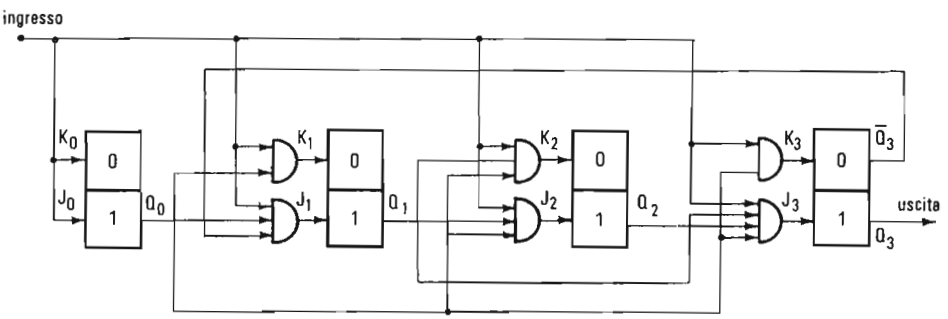


Fig. 7.13 - Esempio di contatore decimale in codice BCD-1248 con rete logica senza comando di reazione.

7.6. SCHEMI LOGICI PER I REGISTRI A SCORRIMENTO .

I registri a scorrimento sono utilizzati sia come registri di memoria temporanea, sia per compiere moltiplicazioni e divisioni facendo il trasferimento per colonne di un numero verso sinistra o verso destra.

Il trasferimento avviene spostando ogni bit dal bistabile iniziale a quello adiacente a sinistra o a destra; se il numero è binario uno spostamento verso sinistra di una colonna, cioè verso le cifre più significative, equivale ad una moltiplicazione per due, mentre uno spostamento verso destra, cioè verso le cifre meno significative, equivale ad una divisione per due.

E' ovvio che se il numero è decimale codificato binario, con ogni cifra decimale che occupa quattro bistabili, occorrerà uno spostamento a destra o a sinistra di quattro colonne di bistabili per moltiplicarlo o dividerlo per dieci.

TABELLA 7.7

Bistabile	Q_3	Q_2	Q_1	Q_0
Peso binario	2^3	2^2	2^1	2^0
1° impulso di scorrimento	0	0	0	0
2° impulso di scorrimento	1	0	0	0
3° impulso di scorrimento	0	1	0	0
4° impulso di scorrimento	1	0	1	0
Numero binario trasferito nel registro dopo 4 impulsi di scorrimento : 1 0 1 0				

Consideriamo ad esempio il numero binario 1 0 1 0. Esso può essere memorizzato in un registro a 4 bistabili con trasferimento in parallelo, oppure in un registro a scorrimento con trasferimento in serie bit dopo bit. La sequenza di Tabella 7.7 illustra il procedimento: i bit successivi nel tempo vengono inviati al bistabile Q_3 e ad ogni impulso di scorrimento essi vengono trasferiti al bistabile adiacente verso destra.

Ogni tipo di bistabile si presta ad essere connesso per formare un registro a scorrimento.

In fig. 7.14 è mostrato uno schema con bistabili R-S: ad ogni impulso di orologio le cifre presentate agli ingressi del bistabile Q_3 vengono memorizzate in Q_3 e poi trasferite nei bistabili adiacenti. Le cifre vengono presentate contemporaneamente all'ingresso S in forma vera e all'ingresso R in forma complementata.

L'impulso per il comando di scorrimento deve avere nello schema logico di fig. 7.14 una durata minima da permettere il trasferimento del bit di ingresso al bistabile Q_3 ma per altro verso, questa durata non può essere maggiore del tempo di propagazione attraverso i bistabili altrimenti il bit già immagazzinato in Q_3 può trasferirsi anche in Q_2 e così via. Queste limitazioni contrastanti nella durata dell'impulso di scorrimento fanno sì che lo

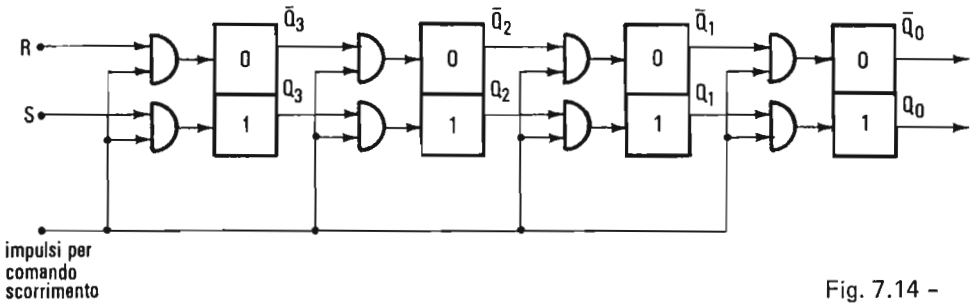


Fig. 7.14 -

schema 7.14 non abbia grandi margini di sicurezza nel funzionamento e perciò viene poco usato.

Al suo posto si preferisce lo schema logico di fig. 7.15, in cui si usano due bistabili per ogni bit ed il comando di scorrimento viene dato con due treni di impulsi leggermente sfasati nel tempo sui due ingressi C_1 e C_2.

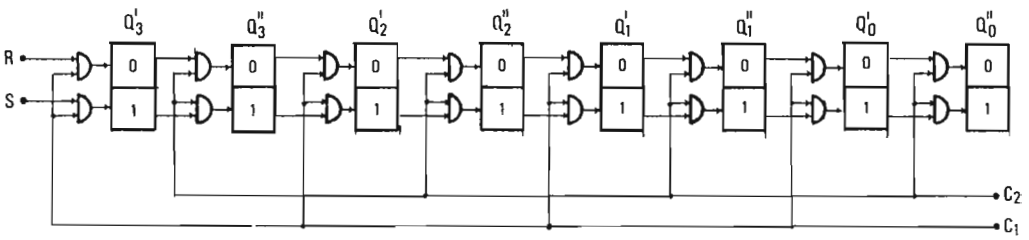


Fig. 7.15 -

Gli impulsi di comando C_2 sono leggermente ritardati rispetto agli impulsi C_1, ma il ritardo è sempre inferiore al periodo di bit.

Ad ogni impulso di comando C_1 i bit d'ingresso vengono immagazzinati in Q'_3 e quelli già memorizzati nei bistabili Q" trasferiti negli adiacenti Q'; al successivo impulso C_2 i bit memorizzati nei bistabili Q' vengono trasferiti nei bistabili Q". Sicché i bistabili Q" ripetono l'informazione dei Q' ed essendo abilitati al trasferimento solo con gli impulsi C_2, interrompono la propagazione attraverso la catena dei bistabili durante gli impulsi C_1. **Quando due bistabili sono utilizzati per memorizzare un singolo bit, quello di ingresso Q' viene detto "master" (padrone), mentre quello di uscita Q" viene detto "slave" (schiavo).**

Come già accennato nel paragrafo 6.5,oggi la **combinazione di due bistabili funzionanti come "master-slave" viene considerata come un singolo elemento bistabile.** Ciò è anche dovuto al fatto che i costruttori di circuiti integrati mettono a disposizione moduli con bistabili "master-slave" in cui gli impulsi C_2 sono generati internamente con opportuno ritardo degli impulsi di ingresso C_1. In questa maniera l'insieme dei bistabili master-slave si presenta effettivamente con le connessioni esterne di entrata e di uscita tipiche di un singolo bistabile.

7.7. SCHEMI LOGICI PER I CIRCUITI DI DECODIFICA .

Come abbiamo già visto, **ad un numero binario di n bit possono essere associati 2^n configurazioni o superstati diversi. Un circuito che riceva in ingresso gli n bit su 2 n fili - cioè ogni bit venga presentato nella sua forma vera ed in quella complementata - e dia 2^n uscite,** ognuna corrispondente ad uno dei superstati che possono essere assunti dalle variabili di ingresso, **è noto col nome di "circuito decodificatore".**
Ad esempio, con due variabili binarie A e B possiamo avere 4 superstati: un circuito che dia 4 uscite, in modo che ad ogni superstato assunto in ingresso si abbia un segnale 1 nell'uscita corrispondente e 0 in tutte le altre è riportato in fig. 7.16.

TABELLA 7.8 PER LA DECODIFICA DI 2 VARABILI BINARIE

Variabili binarie				Numero del superstato	Porta logica per l'uscita
A	$\bar{A}$	B	$\bar{B}$		
0	1	0	1	0	$\bar{A} \cdot \bar{B}$
1	0	0	1	1	$A \cdot \bar{B}$
0	1	1	0	2	$\bar{A} \cdot B$
1	0	1	0	3	$A \cdot B$

Le quattro uscite sono caratterizzate dalle seguenti funzioni logiche :

$u_0 = \bar{A} \cdot \bar{B}$ $\quad u_1 = A \cdot \bar{B}$ $\quad u_2 = \bar{A} \cdot B$ $\quad u_3 = A \cdot B$

corrispondenti a quattro circuiti di AND, ognuno a due ingressi. Se questi AND sono realizzati con diodi, l'intero circuito può essere presentato a forma di matrice come in fig. 7.16 (b).

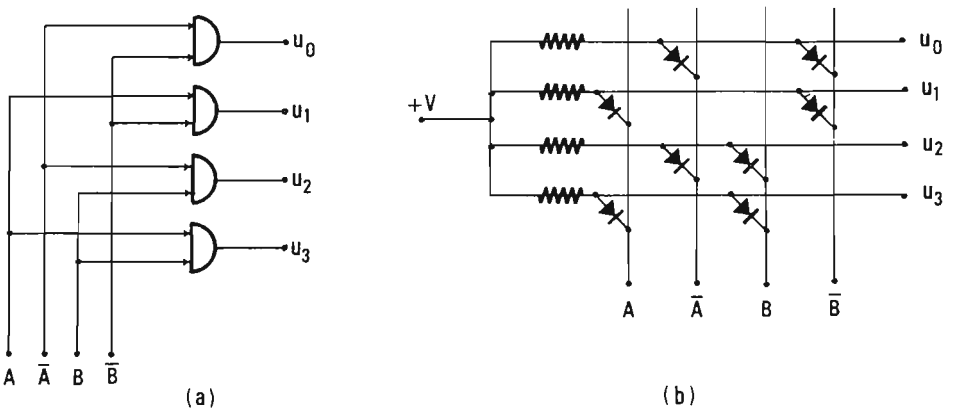


Fig. 7.16 - (a) (b) - Schema logico e schema elettrico di una matrice di decodifica per 2 variabili binarie.

Seguendo lo stesso procedimento, **per un numero n di bit** si vede che **occorrono 2^n circuiti di AND, ognuno con n ingressi: corrispondentemente la matrice a diodi richiederà n x 2^n diodi.**

Così per 4 bit che hanno $2^4 = 16$ superstati, occorreranno 4 x 16 = 64 diodi se si segue lo schema di fig. 7.16.

$$U_0 = \bar{A}\,\bar{B}\,\bar{C}\,\bar{D} \qquad U_8 = \bar{A}\,\bar{B}\,\bar{C}\,D$$
$$U_1 = A\,\bar{B}\,\bar{C}\,\bar{D} \qquad U_9 = A\,\bar{B}\,\bar{C}\,D$$
$$U_2 = \bar{A}\,B\,\bar{C}\,\bar{D} \qquad U_{10} = \bar{A}\,B\,\bar{C}\,D$$
$$U_3 = A\,B\,\bar{C}\,\bar{D} \qquad U_{11} = A\,B\,\bar{C}\,D$$
$$U_4 = \bar{A}\,\bar{B}\,C\,\bar{D} \qquad U_{12} = \bar{A}\,\bar{B}\,C\,D$$
$$U_5 = A\,\bar{B}\,C\,\bar{D} \qquad U_{13} = A\,\bar{B}\,C\,D$$
$$U_6 = \bar{A}\,B\,C\,\bar{D} \qquad U_{14} = \bar{A}\,B\,C\,D$$
$$U_7 = A\,B\,C\,\bar{D} \qquad U_{15} = A\,B\,C\,D\ .$$

Tuttavia le 16 uscite, corrispondenti ai suddetti 16 AND a 4 ingressi, possono essere ottenute con più economia se prima si associano le variabili AB in modo da formare le funzioni :

$$X_0 = \bar{A}\,\bar{B} \qquad X_1 = A\,\bar{B} \qquad X_2 = \bar{A}\,B \qquad X_3 = A\,B$$

poi si associano le variabili CD per formare le analoghe funzioni :

$$Y_0 = \bar{C}\,\bar{D} \qquad Y_1 = C\,\bar{D} \qquad Y_2 = \bar{C}\,D \qquad Y_3 = C\,D\ .$$

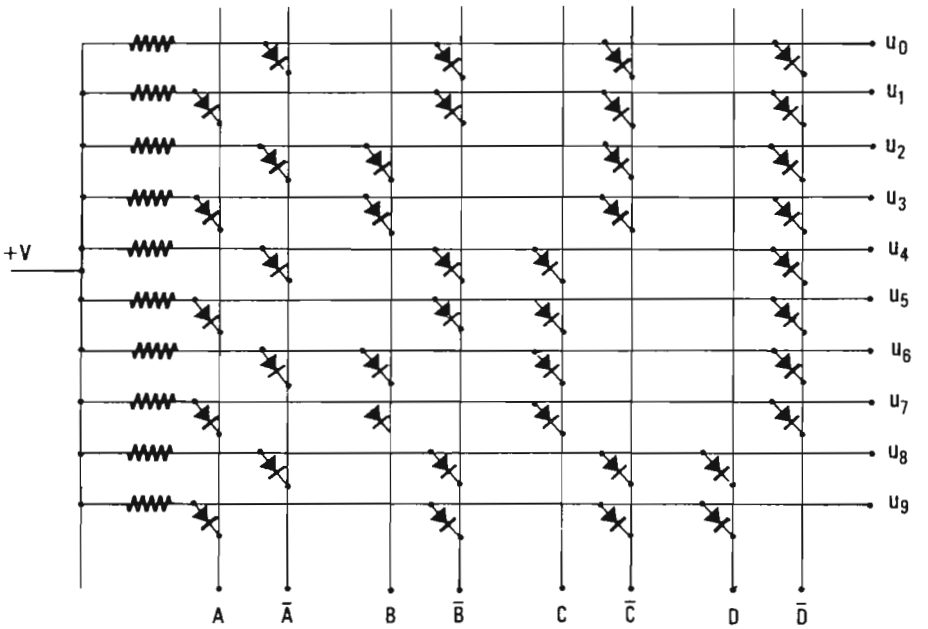


Fig. 7.17 - Schema elettrico di una matrice a diodi semplificata per 4 variabili binarie.

Quindi si combinano con 16 circuiti di AND a due ingressi le uscite X ed Y come segue :

$$
\begin{array}{llll}
U_0 = X_0 Y_0 & U_4 = X_0 Y_1 & U_8 = X_0 Y_2 & U_{12} = X_0 Y_3 \\
U_1 = X_1 Y_0 & U_5 = X_1 Y_1 & U_9 = X_1 Y_2 & U_{13} = X_1 Y_3 \\
U_2 = X_2 Y_0 & U_6 = X_2 Y_1 & U_{10} = X_2 Y_2 & U_{14} = X_2 Y_3 \\
U_3 = X_3 Y_0 & U_7 = X_3 Y_1 & U_{11} = X_3 Y_2 & U_{15} = X_3 Y_3
\end{array}
$$

La generazione delle X_i richiede 8 diodi ed altri 8 ne occorrono per generare le Y_i; le 16 uscite U_i richiedono ancora 32 diodi, sicchè in totale sono sufficienti con questo procedimento 48 diodi invece di 64.

Gli stessi schemi possono essere seguiti nel decodificare le uscite dei bistabili con codici B C D come quelli riportati in Tabella 7.6.

Se si segue il procedimento a matrice con diodi, basta non includere le uscite relative ai superstati proibiti. Nel caso del codice BCD-1248 la matrice a diodi risulta quella riportata in fig. 7.17.

Capitolo 8

SCHEMI CIRCUITALI DI PORTE LOGICHE .

8.1. CRITERI GENERALI DI PROGETTO .

I criteri di progetto e le tecniche costruttive della strumentazione e dei calcolatori digitali, complessi quanto si voglia, possono essere descritti partendo da pochi e ben scelti circuiti elementari noti con il nome di **circuiti logici.** L'intero sistema risulta alla fine composto da questi circuiti ripetuti un numero notevole di volte.
Poichè la manipolazione delle informazioni viene effettuata con operazioni su impulsi elettrici o treni di impulsi, occorre che i segnali siano ben definiti nel tempo e nella forma. Spesso un segnale deve attraversare numerosi circuiti prima che siano compiute tutte le operazioni. Inoltre, attraverso le successive trasmissioni, il segnale può venire attenuato e deformato nei fronti di salita in modo da non essere ulteriormente utilizzabile. **Si deve perciò provvedere a riformare il segnale periodicamente proprio per mantenerlo ben definito nel tempo e nella forma (pulse reshaping).** A questo fine in un elaboratore si generano impulsi di riferimento con forma d'onda standard e alla frequenza di un oscillatore centrale; la frequenza dell'oscillatore determina la velocità con cui l'elaboratore effettua le sue operazioni ed è detta frequenza d'orologio (**clock frequency**). **Gli impulsi d'orologio possono essere inviati nei punti opportuni dell'elaboratore perchè coincidano con i segnali deformati e ne ristabiliscano la forma e la definizione nel tempo.** Un altro impegnativo problema di progetto consiste nello studiare i circuiti logici elementari di partenza ed i tipi di connessione in modo da raggiungere **il massimo grado di fidatezza nel funzionamento (reliability).** Questo

problema è tanto più importante in quanto l'elaboratore di dati sotto forma digitale può funzionare in due soli modi: correttamente o erroneamente. Non vi sono situazioni intermedie come, per esempio, nel caso di un ricevitore radio che può dare una ricezione ancora utile sebbene distorta e rumorosa.

I parametri che influenzano l'operazione di un circuito sono soprattutto la non-uniformità, la instabilità e le tolleranze nel valore dei componenti elettronici, nella tensione di alimentazione, nell'ampiezza ed in generale nella forma dei segnali di comando.

La richiesta che si pone è quella di avere dei circuiti che funzionino correttamente al variare dei parametri in un intervallo che consenta le tolleranze più larghe possibili.

Ad esempio, considerando il bistabile di fig. 8.1 (a) e prendendo come parametri la resistenza R_1 e la resistenza R_2 possiamo ricavare un grafico come in fig. 8.1 (b); se i parametri scelti sono la tensione di alimentazione V_{co} e l'ampiezza dell'impulso di trigger V_{in}, otteniamo il grafico di fig. 8.1 (c). Ciascuna coppia di parametri corrisponde ad un punto nel piano, ed i punti che cadono nella zona tratteggiata sono le combinazioni di valori che fanno lavorare correttamente il bistabile. Ovviamente si sceglie il punto in cui sono consentite le maggiori tolleranze nel valore dei due parametri.

In generale, però, il comportamento di un circuito non dipende dalla scelta dei parametri presi a coppie, ma contemporaneamente da tutti i para-

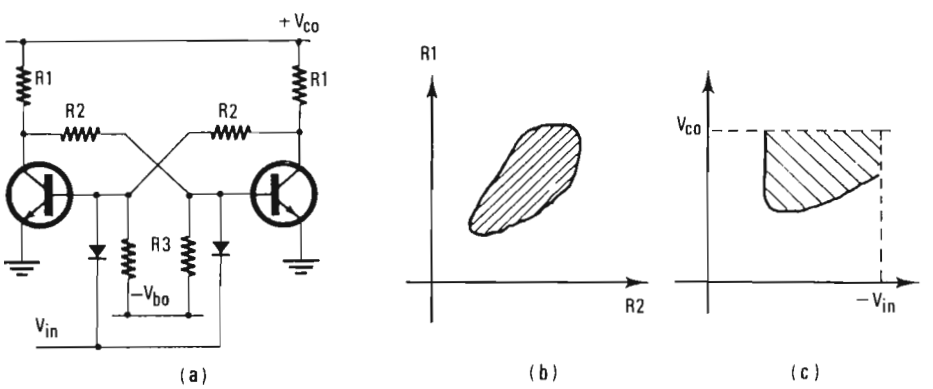


Fig. 8.1 -

metri che ne determinano il funzionamento. Perciò invece di un grafico bidimensionale si avrà a che fare con un grafico a N dimensioni, se N sono i parametri, e **si sceglierà il punto che consente la massima tolleranza al fine di rimanere in condizioni di sicurezza anche per gli altri parametri.** Anche quando il circuito è stato progettato con questi criteri, c'è da aspettarsi che il valore dei parametri possa variare lentamente nel tempo sino a causare un'avaria dell'intero circuito. E' allora desiderabile che i componenti, il cui valore è al limite di quello consentito, vengano individuati e sostituiti prima che provochino un cattivo funzionamento.
Per ottenere questo si adottano le cosiddette **operazioni di controllo marginale (marginal checking).** In linea di principio esse sono molto semplici: si introduce volutamente in uno dei parametri del circuito una variazione tale che, se tutti i parametri hanno il valore fissato nel progetto, il circuito continua a funzionare correttamente mentre, se uno di essi si avvicina al limite, consentito dalle tolleranze, il circuito funziona male. Si può individuare così il componente da sostituire, ma più spesso si sostituisce l'intero circuito elementare che contiene il componente in avaria. **Infatti i circuiti elementari vengono costruiti con un sistema a moduli estraibili (plug-in), in modo da poter essere facilmente intercambiabili.**

8.2. LE FAMIGLIE DI PORTE LOGICHE .

Le cifre binarie 0 ed 1 possono essere associate, come è stato detto, **con le condizioni di interdizione e di conduzione di un transistore**: una di queste condizioni può essere definita come stato 1, ed automaticamente l'altra rappresenterà lo stato 0. Per convenzione, anche al fine di evitare ambiguità nei diversi tipi di transistori e di circuiti logici è d'uso riferirsi più che alla condizione del transistore, al livello di tensione associato al bit: così si **chiama "logica positiva" quella in cui lo stato 1 è rappresentato dal livello di tensione più positivo e lo stato 0 dal livello più negativo; mentre si dice "logica negativa" quella in cui lo stato 1 è associato al livello di tensione più negativo.**
E' opportuno sottolineare che i due livelli di tensione devono essere distin-

ti, ma non è necessario che essi abbiano un valore ben definito: per costruire reti logiche, **collegando insieme più porte logiche in parallelo o in cascata, è necessario che i due livelli 0 ed 1 abbiano fra loro una differenza apprezzabile da parte degli stessi circuiti logici**; se la differenza fra i due livelli è maggiore del predetto minimo valore apprezzabile, i circuiti continueranno a funzionare correttamente. **Gli stati 1 e 0 vengono perciò meglio definiti come livelli di tensione che potranno variare entro una banda di valori, cioè come livelli di tensione variabile entro previsti limiti di tolleranza**, come indicato in fig. 8.2.

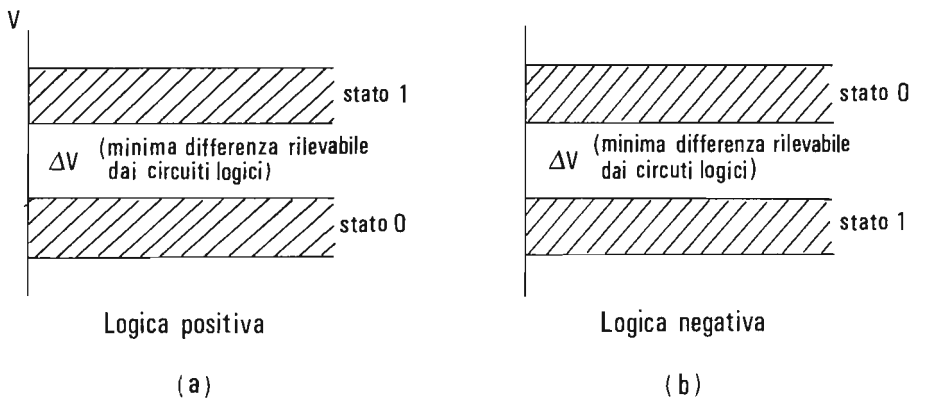


Fig. 8.2 -

Come si è visto nei precedenti capitoli, **i sistemi di elaborazione dei dati in forma digitale sono basati sui circuiti logici di base AND, OR, NOT e sugli elementi bistabili.**

Diverse famiglie di circuiti logici sono state progettate, già prima che apparissero i circuiti integrati. Esse vengono denominate con sigle che indicano il tipo di elemento circuitale usato ed il tipo di connessione, come ad esempio :

- **Logica DCTL**: logica a transistori con connessione diretta (Direct-Coupled-Transistor-Logic);
- **Logica RTL**: logica a resistenza e transistori (Resistor-Transistor-Logic) che ha come variante anche la logica RCTL (Resistor-Capacitor-Transistor-Logic);
- **Logic DTL**: logica a diodi e transistori (Diode-Transistor-Logic).

Con l'avvento dei circuiti integrati sono state concepite ulteriori nuove famiglie, in cui uno o più circuiti logici elementari vengono realizzati sullo stesso supporto monolitico di semiconduttore :

- **Logica TTL**: logica a transistori (Transistor-Transistor-Logic) nota anche con la sigla T^2 L;
- **Logica CMS**: logica per commutazione di corrente (Current-Mode-Switch);
- **Logica ECL**: logica per connessione ad emettitore (Emitter-Coupled--Logic).

Così come le prime logiche a componenti discreti trovano oggi la loro realizzazione in famiglie di circuiti integrati, così anche le nuove logiche concepite per essere realizzate direttamente con circuiti integrati, possono essere attuate con elementi discreti.
Tuttavia l'uso di componenti integrati elimina tutto il lavoro necessario per progettare il circuito logico e riduce di molto anche il lavoro per l'assemblaggio delle varie porte logiche.
Questa tendenza ad usare moduli logici su circuiti integrati, pone l'accento più sulle caratteristiche di entrata e di uscita del modulo piuttosto che sui componenti entro il modulo usati per realizzare il particolare schema circuitale: è compito perciò del progettista curare certe desiderate caratteristiche di entrata e di uscita in modo da facilitare il progetto dei sistemi logici concepiti assemblando in modo diverso i moduli logici di base.
A questo fine si usa definire **i parametri di fan-in e di fan-out* per indicare il numero massimo di porte logiche collegabili in ingresso o in uscita ad una singola porta logica: il parametro di fan-out indica il numero massimo di porte logiche che l'uscita del modulo considerato può comandare.**

(*) Fan-out equivale a "capacità di pilotaggio".

8.3. LOGICA A DIODI .

Consideriamo il circuito di fig. 8.3 (a). Se applichiamo nell'ingresso A un segnale V_A a due livelli 0 e + V_1, otteniamo in uscita una tensione V_u data da :

$$V_u = V_A + V_D \tag{8.1}$$

dove V_D è la tensione di caduta di capi del diodo polarizzato in senso diretto.

Altri diodi possono essere aggiunti al circuito base, come in fig. 8.3 (b), per ottenere più di un ingresso. Applicando a questi ingressi A, B, C segnali che variano sempre fra i due livelli 0 e V_1, possiamo ottenere in uscita la risposta di un circuito AND o di un circuito OR a seconda che si usi una logica positiva o negativa.

Infatti, se il livello + V_1 rappresenta lo stato 1, si vede che l'uscita U é al livello positivo solo se l'ingresso A e l'ingresso B e l'ingresso C sono tutti e tre contemporaneamente a + V_1, perciò possiamo scrivere :

$$U = A \cdot B \cdot C. \tag{8.2}$$

Viceversa se adottiamo una logica negativa con la tensione zero che rappresenta lo stato 1, allora vediamo che l'uscita resta vincolata alla tensione più bassa, anche con un solo ingresso a zero: cioè l'uscita è in 1 se l'ingres-

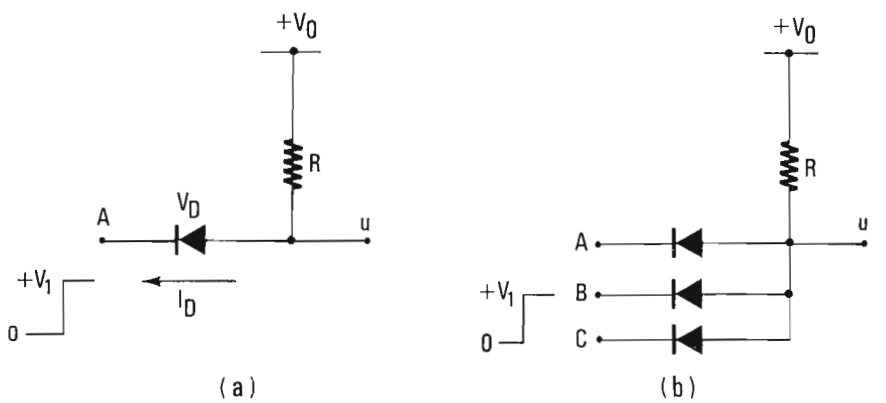


Fig. 8.3 -

so A o l'ingresso B o l'ingresso C è in 1, possiamo scrivere :

(8.3) $U = A + B + C.$

I diodi possono essere al germanio o al silicio: l'unica differenza si avrà nella caduta diodica V_D, giacchè i diodi al germanio presentano una caduta fra 0,2 e 0,3 Volt per corrente diretta variabile fra 0,1 e 10 mA, mentre per i diodi al silicio la caduta può variare rispettivamente fra 0,6 e 0,7 Volt. **Nei circuiti di AND e di OR a diodi occorre allora tener conto degli spostamenti di livello fra entrata ed uscita a causa della caduta diodica**: tali spostamenti, come si è visto, sono più sensibili con componenti al silicio. **Per funzionare correttamente questi circuiti devono avere una resistenza R di carico abbastanza grande rispetto alla resistenza diretta dei diodi, ma non troppo grande per non introdurre con le capacità parassite C_p delle costanti di tempo RC_p tali che risultino più grandi del minimo intervallo di tempo fra le commutazioni degli stati 0 e 1.** Infatti, nel circuito equivalente di fig. 8.4 si vede che il fronte d'onda positivo nel segnale di uscita non è determinato dal tempo di salita del segnale di ingresso, ma dalla costante di tempo RC_p.

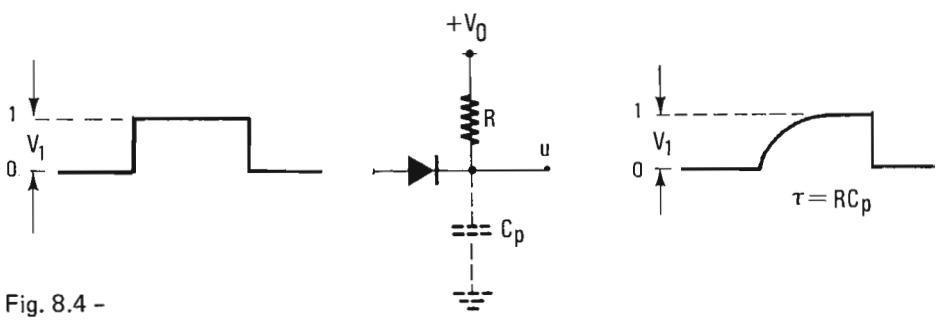


Fig. 8.4 -

Usando un tipo di logica si puó ottenere un circuito di AND o di OR solo scambiando il segnale della tensione di alimentazione e la polarità di connessione dei diodi come indicato in fig. 8.5.

Sebbene le porte logiche a diodi siano molto semplici, occorre tuttavia adottare particolari criteri di progetto per le reti logiche che abbiano più circuiti di questo tipo in cascata senza stadi di isolamento fra l'uno e il successivo.

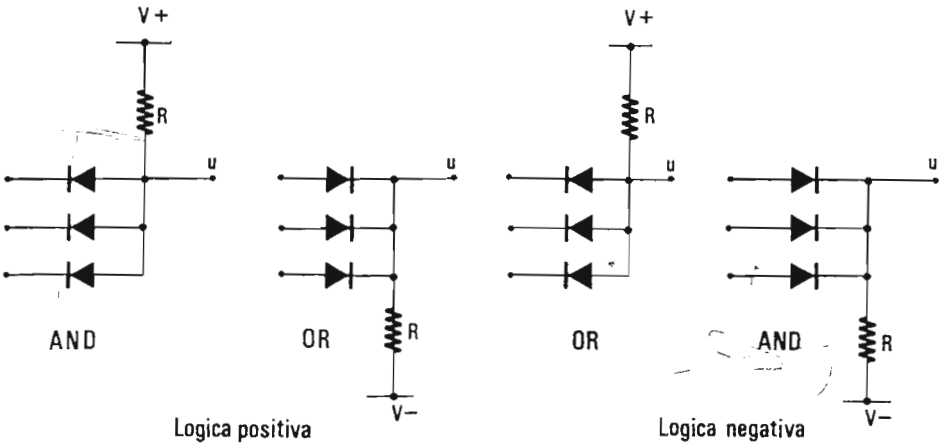


Fig. 8.5 -

Non si incontrano particolari difficoltà nel costruire una successione di tutti AND o di tutti OR. Quando invece si ha una successione alternata di AND e OR, ogni porta logica assorbe corrente dalla precedente. Inoltre tale assorbimento varia per le diverse possibili combinazioni dei segnali di ingresso. **E' necessario quindi dimensionare opportunamente le resistenze di carico e le tensioni di alimentazione dei circuiti in cascata affinchè i livelli di tensione rimangano sempre distinti e riconoscibili nei successivi stadi in cascata.**

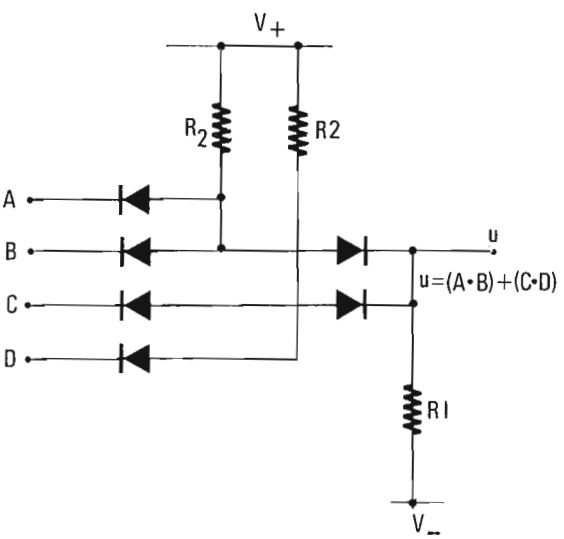


Fig. 8.6 -

Come sempre consideriamo due circuiti di AND alimentati a V_+ che comandano gli ingressi di un OR alimentato a V_- come in fig. 8.6. La logica positiva è scelta in modo che il livello minimo V_1 dello stato 1 ed il livello massimo V_0 dello stato 0 siano $V_+ > V_1 > V_0 > V_-$.
Le resistenze R_1 ed R_2 devono essere proporzionate in modo che al valore degli stati di ingresso si abbia in uscita un livello $> V_1$ per lo stato 1 ed un livello $\leqslant V_0$ per lo stato 0.
Detta i la corrente che fluisce in R_1 ed R_2 quando i diodi degli ingressi A e B sono interdetti, il circuito funziona correttamente se si ha :

$$(8.4) \qquad \begin{cases} R_2 i \leqslant V_+ - V_1 \\ i \geqslant \dfrac{V_1 - V_-}{R_1} \end{cases} .$$

Le due resistenze devono perciò soddisfare la relazione :

$$(8.5) \qquad R_2 \leqslant \frac{V_+ - V_1}{V_1 - V_-} R_1 .$$

Basta notare che con A = B = C = D = 1, il livello di uscita diventa più positivo, e perciò lo stato 1 è ancora più facilmente riconoscibile.
Con analoghe considerazioni, si possono trovare le relazioni per una sequenza di tre circuiti in cascata AND-OR-AND, e per successioni di ordine ancora maggiore.

8.4. LOGICA DCTL.

In una delle prime versioni di circuiti logici a transistori, **il collettore di un transistore veniva connesso direttamente alla base dello stadio successivo e perciò la famiglia dei circuiti logici progettata con questo criterio è stata chiamata a "logica con transistori ad accoppiamento diretto" meglio nota con la sigla DCTL,** dalle iniziali della direzione inglese "Direct Coupled Transistor Logic".
Consideriamo ad esempio lo schema di fig. 8.7.Poichè i transistori T_1, T_2 e T_3 sono degli stadi invertitori, il livello positivo o più elevato applicato

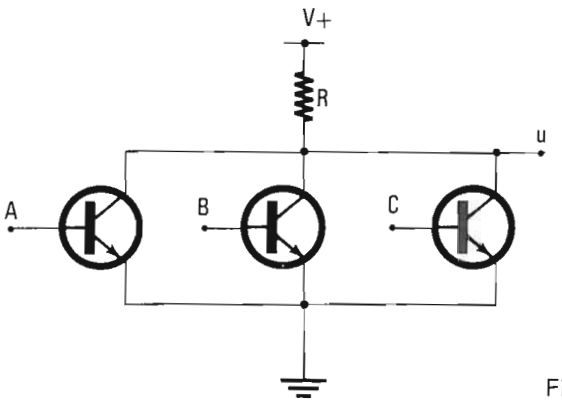


Fig. 8.7 -

in ingresso risulterà in uscita come il livello meno positivo o più basso, perciò **ogni transistore singolarmente compie l'operazione NOT. La connessione in parallelo di più transistori compie la funzione logica di OR seguita dal NOT se si usa la logica positiva**: basta che il livello positivo sia applicato ad un singolo transistore perchè si abbia conduzione e caduta di tensione attraverso R. Perciò la funzione logica che descrive l'operazione del circuito con logica positiva è la seguente :

$$u = \overline{A + B + C} \quad .$$

Mentre con logica negativa il circuito si comporta come circuito di AND e l'uscita soddisfa la relazione :

$$u = \overline{A \cdot B \cdot C} \quad .$$

Lo schema viene anche chiamato NOR dalla contrazione NOT-OR, oppure circuito NAND da NOT-AND a seconda della logica usata.

La resistenza R è scelta in modo da portare il singolo transistore, quando è in conduzione, nella regione di saturazione.

Nella logica DCTL i carichi di fan-in e di fan-out non sono indipendenti. Consideriamo ad esempio la fig. 8.8 (a) con i transistori T_1 e T_2 interdetti mentre T_3 è in saturazione: la corrente che fluisce in R_1 deve essere sufficiente a comandare T_3 in saturazione e a fornire le correnti di perdita di collettore dei transistori T_1 e T_2. Se altri transistori vengono collegati in parallelo a T_1 e T_2, la somma di tutte le correnti di perdita non deve aumentare tanto da ridurre la corrente di base di T_3 fino a portarlo fuori saturazione. Ulteriori transistori possono invece essere collegati in uscita, per aumentare il fan-out come indicato in fig. 8.8 (b): in R_1 deve allora scorrere sia la corrente richiesta per portare in saturazione tutti i transisto-

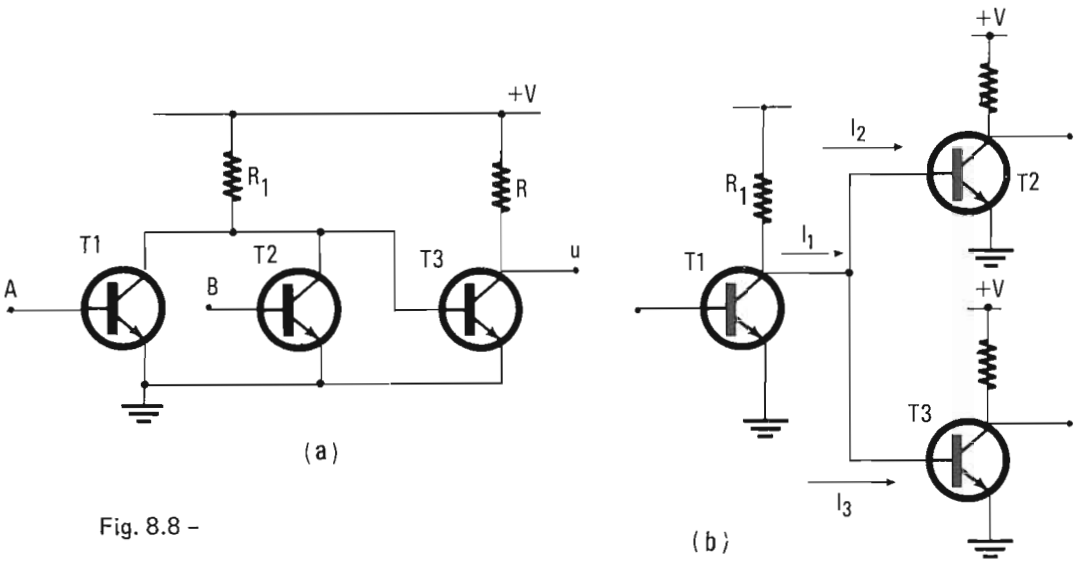


Fig. 8.8 -

ri di fan-out sia la corrente di perdita di tutti i transistori di fan-in.

Due inconvenienti hanno limitato fin dall'inizio l'uso dei circuiti DCTL: il primo è **l'effetto di storage nei transistori in saturazione** che rallenta la velocità operativa; il secondo è dovuto alla **connessione diretta fra collettore e base** che non consente di equilibrare la corrente di comando per i diversi transistori di fan-out.

Infatti **transistori anche dello stesso tipo possono presentare differenti guadagni di corrente**: perciò se i transistori non sono scelti e selezionati con parametri sufficientemente uguali, si può verificare che un transistore di fan-out assorba troppa corrente da non consentire ad un altri di raggiungere la saturazione. Infine la logica DCTL è particolarmente svantaggiosa nella ricerca di avarie perchè, se diversi transistori sono collegati in parallelo, è possibile individuare un elemento in cortocircuito solo disconnettendo ad uno ad uno i diversi transistori.

8.5. LOGICA RTL .

La logica RTL è stata quella più usata prima dell'introduzione dei circuiti integrati. L'elemento base consiste di un transistore e di un certo numero di resistori, come indicato in fig. 8.9.

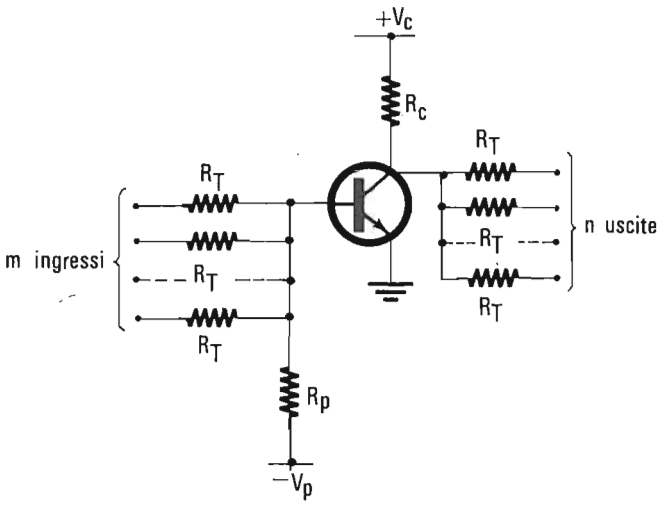


Fig. 8.9 -

E' progettato in modo che il transistore sia interdetto se e solo se tutti gli m ingressi sono a tensione zero o quasi zero, mentre se uno o più di un ingresso va a tensione positiva allora si deve fornire alla base una corrente sufficiente per mandare il transistore in saturazione.

Nella connessione di più circuiti di questo genere gli m ingressi vanno ai collettori degli stadi precedenti mentre le n uscite vanno alle basi degli stadi che seguono. Perciò il transistore di fig. 8.9 sarà interdetto solo se tutti gli stadi precedenti sono in saturazione mentre sarà in saturazione se uno qualsiasi o più di uno stadio precedente è interdetto.

Con logica positiva il circuito si comporta come **un OR seguito dalla operazione NOT**, da cui la denominazione di circuito NOR con cui spesso viene indicato; se viceversa si adotta una logica negativa allora si ha la funzione di AND seguita da NOT da cui la denominazione di NAND.

Le resistenze di ingresso di uno stadio sono di uscita per quello precedente e vengono perciò dette resistenze di trasduzione R_T. Una volta scelto il tipo di transistore e i parametri di fan-in m e di fan-out n, il progetto si limita a dimensionare le resistenze R_T, R_C, R_p in modo da soddisfare le due condizioni seguenti anche nei casi più sfavorevoli :

1) che il transistore sia saturato se un solo ingresso è a tensione positiva;

2) che il transistore sia interdetto se tutti gli ingressi sono quasi a massa.

Il caso peggiore per la condizione 1) si ha quando il transistore T_1 nello stato di interdizione deve comandare n successivi circuiti alla saturazione,

ognuno dei quali ha i rimanenti m-1 ingressi quasi a massa (vedi fig. 8.10 (a)). Con buona approssimazione si può dire che la corrente di base di T_2

$$I_b = \frac{1}{n} \frac{V_c}{R_c + R_T/n} - \frac{V_p}{R_p} \tag{8.6}$$

deve essere tale da produrre una corrente di collettore $I_c = \frac{V_c}{R_c}$.

Se riteniamo valida la relazione $I_c < \beta_n I_b$ anche in condizioni di saturazione, allora deve essere soddisfatta la relazione :

$$I_b = \frac{V_c}{n R_c + R_T} - \frac{V_p}{R_p} \geqslant \frac{V_c}{\beta_n R_c} \quad . \tag{8.7}$$

Per soddisfare la condizione 2), si considerino tutti gli m ingressi di fig. 8.10 (b) connessi ad altrettanti stadi in saturazione: il transistore deve essere interdetto e quindi la corrente di collettore non può essere maggiore della corrente inversa di collettore I_{cbo}.

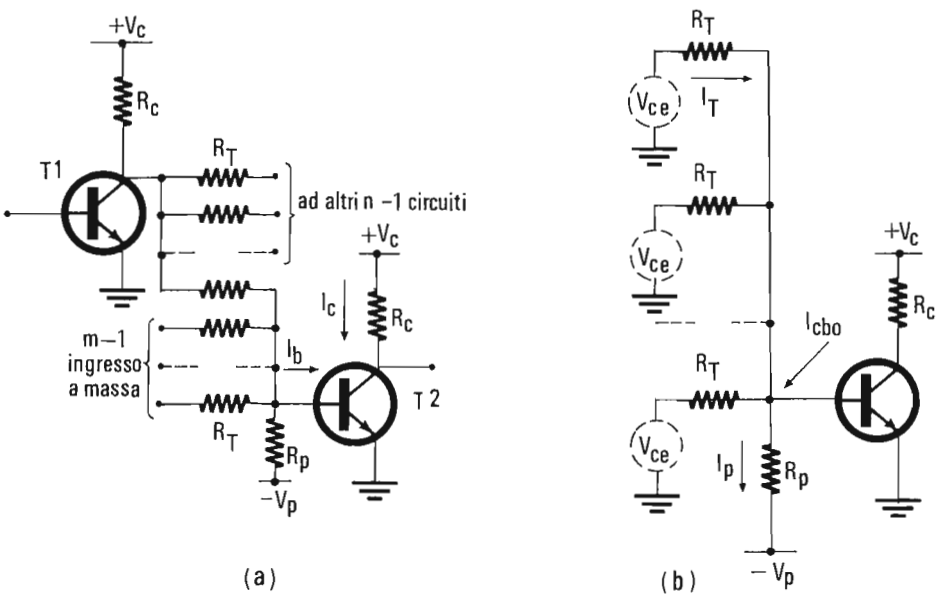


Fig. 8.10 -

La corrente I_p è pari alla somma delle m correnti I_T più la corrente I_{cbo}. Affinchè il transistore resti interdetto deve perciò essere :

$$(m\, I_T + I_{cbo})\, R_p \leqslant V_p$$

cioè :

$$m \frac{V_{ce}}{R_T} + I_{cbo} \leqslant \frac{V_p}{R_p} \quad . \tag{8.8}$$

Si hanno così due relazioni con le tre incognite R_T, R_c, R_p: si procede assegnando ad esempio un valore ad R_p e calcolando mediante le precedenti due equazioni i valori di R_T ed R_c.
Metodi di progetto più elaborati, in cui si tiene conto anche delle tolleranze nei valori delle resistenze, delle tensioni di alimentazione e dei parametri dei transistori sono noti in letteratura.
Questo tipo di circuito per la sua semplicità ed economicità viene tuttora usato specialmente dove non si richiedono elevate velocità di commutazione, cioè in piccole unità di programmazione e di controllo di processi industriali.
Una variante dello schema di fig. 8.9 è quello che prevede un condensatore in parallelo ad ogni resistenza R_T: il circuito prende allora la denominazione RCTL (Resistor-Capacitor-Transistor-Logic). Questi condensatori vengono detti di "speed-up" perchè migliorano la velocità di risposta al comando di commutazione del transistore.
Gli svantaggi di questi circuiti sono: la sensibilità al rumore ad alta frequenza che è generato alla base del transistore a causa del condensatore; oltre ad uha interazione fra gli ingressi e le uscite sempre a causa dell'accoppiamento capacitivo.

8.6. LOGICA DTL .

I circuiti logici a diodi di paragrafo 8.3 possono essere combinati con transistori per formare **"porte logiche DTL"** (Diode-Transistor-Logic). L'uscita di una porta a diodi è applicata alla base di un transistore con emettitore a massa: il transistore amplifica il segnale e ne sposta il livello di tensione per comandare uno stadio successivo come in fig. 8.11. I diodi possono essere collegati a seconda della logica scelta secondo lo schema di fig. 8.11 per compiere sia la funzione NAND che la funzione NOR. Le funzioni logiche del circuito di fig. 8.11 sono identiche a quelle di fig. 8.9. Un'analisi comparativa fra i due schemi mostra, **a parità di fan-in, che**

la logica DTL permette di raggiungere un valore di fan-out maggiore rispetto ai circuiti RTL.

Per altro nella logica DTL occorre tener presente il tempo di recupero nei diodi quando vengono comandati all'interdizione con fronti d'onda molto rapidi per funzionare a elevata velocità. Infatti quando un diodo è polarizzato direttamente le cariche iniettate nella giunzione migrano per diffusione fra i due terminali del diodo stesso.

Applicando un segnale a gradino la corrente nel diodo si inverte istantaneamente e la caduta di tensione ai suoi capi diminuisce solo di poco: bisogna attendere un tempo T_r in cui le cariche, che prima diffondevano nella giunzione, vengano rimosse. **Ciò dà luogo ad una corrente inversa nel diodo durante tutto il tempo di recupero T_r.**

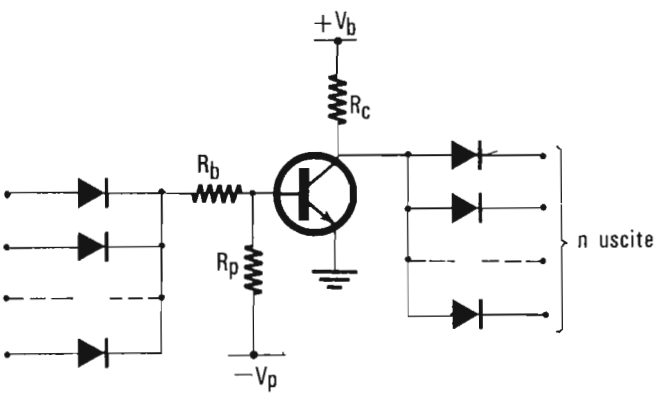


Fig. 8.11 -

Nel circuito di fig. 8.11 può perciò capitare che se due diodi vengono istantaneamente interdetti con fronti di salita rapidissimi rispetto alle costanti di tempo in gioco e ai tempi di recupero dei diodi, si abbia durante il tempo T_r una corrente inversa di valore tale da ridurre la corrente di base del transistore fino ad interdirlo. All'uscita del collettore si potrà in questo caso avere, come disturbo, un picco di tensione molto rapido della durata dei nanosecondi, se la costante di tempo data dalla resistenza e dalla capacità viste dal terminale di collettore non riesce ad integrare questo impulso spurio.

8.7. LOGICA TTL .

La logica TTL, anche nota con le sigle T^2 L, e TCL (Transistor-Coupled--Logic), costituisce uno degli sviluppi più recenti nel campo dei circuiti logici: lo schema base è ripostato in fig. 8.12 ed **utilizza un transistore a molti emettitori come elemento di accoppiamento fra i diversi stadi a transistori.**

Il numero degli emettitori può variare da uno fino a circa 8 ed a causa di questo elemento a molti emettitori questa logica è generalmente realizzata sotto forma di circuiti integrati, sicchè il progetto circuitale dei moduli viene fatto direttamente presso i costruttori di elementi a semiconduttore.

Operando con una logica positiva si vede che nel circuito di fig. 8.12 (a), se uno o più di un ingresso A, B, C è al livello basso (0 logico), la corrente di base che fluisce nel nodo N viene assorbita dai terminali d'ingresso che sono appunto nello stato 0, ed il transistore T_2 rimane interdetto. Se invece A e B e C sono interdetti cioè sono a livello positivo 1, la corrente nel nodo N fluisce nella base di T_2 portandolo in conduzione. **Il transistore a molti emettitori compie perciò una funzione logica di AND che è equivalente a quella di una porta a diodi,** tanto che si può immaginare per analogia un circuito a diodi come quello indicato in fig. 8.12 (b). Questa analogia mette in evidenza che la funzione della porta è quella di NAND per logica positiva e di NOR per logica negativa.

La differenza fondamentale fra i due schemi è dovuta all'azione di transistore fra base e collettore di T_1 che elimina rapidamente le cariche immagazzinate nella regione di base di T_2.

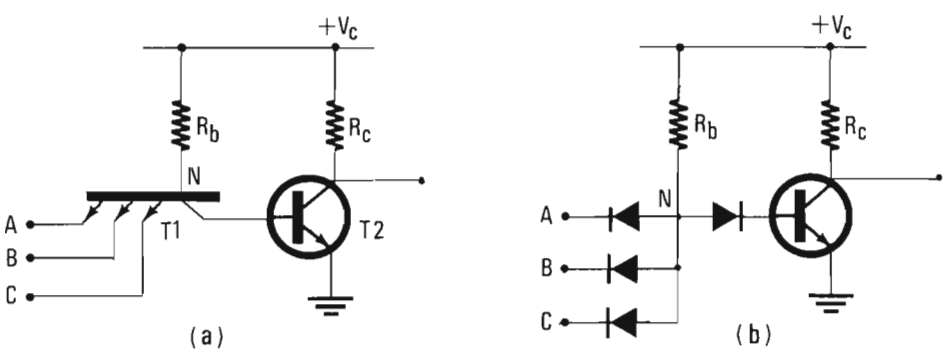


Fig. 8.12 -

Questa rapida rimozione della carica di base di T_2 consente alla logica TTL di raggiungere le velocità di operazione più elevate rispetto a tutte le altre famiglie logiche che usano transistori saturati.

Per analizzare meglio il comportamento dello schema circuitale di fig. 8.12 (a), immaginiamo il transistore T_1 comandato in ingresso dalle uscite di altrettanti circuiti analoghi: si possono schematizzare i due stati 0 e 1 con l'aiuto delle figure 8.13 (a) e (b).

Tutto il funzionamento fa perno sul fatto che T_1 rimane sempre in saturazione e che nel passaggio da uno stato all'altro la corrente di base di T_1 viene commutata una volta su T_0 e l'altra volta su T_2.

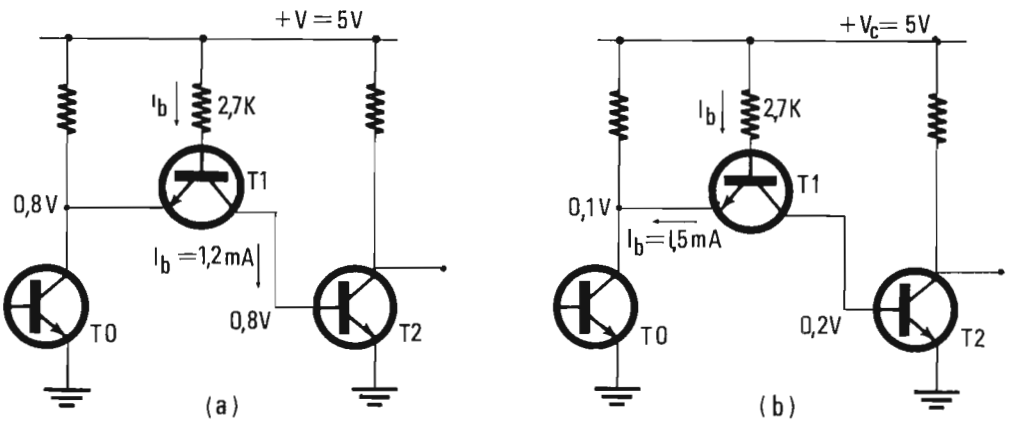


Fig. 8.13 - (a) T_0 interdetto
T_1 in saturazione inversa
T_2 in saturazione

(b) T_0 in saturazione
T_1 in saturazione diretta
T_2 interdetto

Per rendere più evidente l'azione di commutazione della corrente ed il cambiamento dei livelli di tensione nei circuiti di fig. 8.13 (a) riferiamoci ad un valore di $V_c = +5$ Volt, $R_b = 2{,}7$ KΩ e ad un transistore ad esempio del tipo 2N709.

Prima di svolgere l'analisi conviene ricordare che in un transistore al silicio in conduzione la tensione V_{be} è dell'ordine di 800 mV mentre la tensione V_{ce} in saturazione diretta ($I_e \simeq 0$ $I_b \simeq I_c$) è dell'ordine di 100 mV, ed in saturazione inversa ($I_e \simeq I_b$ $I_c \simeq 0$) è dell'ordine di 10 mV.

Nello schema di fig. 8.13 (a) dove T_0 è interdetto troviamo interdetta anche la giunzione emettitore-base di T_1 ed in conduzione diretta la giun-

zione base-collettore di T_1 : cioè T_1 è in saturazione inversa con $I_{e1} = 0$ $I_{b1} = I_{c1}$.
In queste condizioni si ha :

$$V_{ce1} = 10\,mV\ (I_{e1} \simeq 0\ \ I_{b1} \simeq I_{c1})$$
$$V_{ce0} = V_{ce1} + V_{be2} = 10\,mV + 800\,mV \simeq 0{,}8\,V$$
$$I_{b1} = \frac{V_c - (V_{bc1} + V_{bc2})}{R_b} = \frac{5 - 0.8 - 0.8}{2{,}7 \times 10^3} \simeq 1{,}2\,mA\ .$$

In fig. 8.13 (b) troviamo invece T_0 in saturazione. La corrente I_{b1} fluisce allora nell'emettitore di T_1 e la tensione di base di T_2 è insufficiente a mantenere T_2 in conduzione, perciò si ha :

$$V_{ce0} \simeq 100\,mV$$
$$V_{ce1} \simeq 100\,mV\ \ (\text{per } I_c \simeq 0\ \ I_{c1} \simeq I_{b1})$$
$$V_{be2} \simeq 200\,mV$$
$$I_{b1} \simeq \frac{V_c - (V_{ce0} + V_{bc1})}{R_b} = \frac{5 - 0{,}1 - 0{,}8}{2{,}7 \times 10^3} \simeq 1{,}5\,mA\ .$$

Come è stato già detto, **la caratteristica principale di questo schema circuitale è l'alta velocità di commutazione.** La ragione è dovuta al fatto che la corrente I_{b1} è sempre circa la stessa in entrambi gli stati e perciò la carica di base rimane circa costante durante il ciclo di commutazione.
Il grado di fan-out dello schema di base 8.12 (a) può essere aumentato con lo schema di fig. 8.14 in cui i transistori T_3 e T_4 sono stati messi per ottenere un'uscita a bassa impedenza qualunque sia il livello di tensione: per bassi livelli, l'impedenza è data dalla resistenza di saturazione del transistore T_3 che può essere di circa 30 Ω; per alti livelli, l'impedenza d'uscita è quella dell'inseguitore ad emettitore T_4 in serie con la resistenza del diodo D_1.

La resistenza R_2 è inserita per limitare l'assorbimento di corrente di T_4 ed il diodo D_1 per introdurre un'ulteriore caduta di tensione in modo da impedire che T_4 conduca quando T_2 è in saturazione: infatti con T_3 in saturazione la tensione di collettore di T_2 è pari alla tensione V_{be} di T_3 più la tensione V_{ce} di T_2, sicchè la somma della tensione V_{be} di T_4 e della cadu-

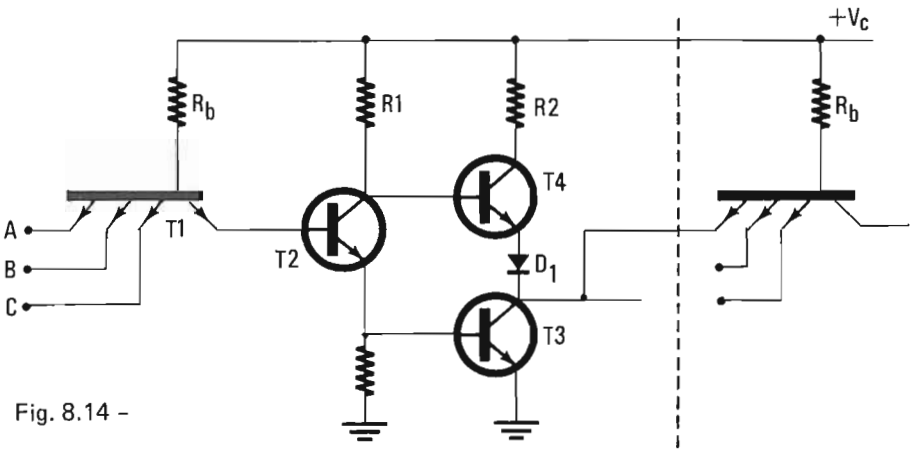


Fig. 8.14 -

ta al capi del diodo D_1 è sufficientemente elevata da ridurre a valori trascurabili la corrente in T_4.

8.8 LOGICA PER COMMUTAZIONE DI CORRENTE CMS .

Una importante innovazione nel campo delle logiche non saturate è stata l'introduzione dell'interruttore per commutazione di corrente riportato in fig. 8.15.

Al variare del livello di tensione all'ingresso A si vede che la corrente di emettitore I_e viene commutata dal transistore T_2 a T_1 e viceversa. Questa corrente è determinata essenzialmente dalla resistenza R_e e dalla tensione $-V_e$. La tensione di collettore è data da :

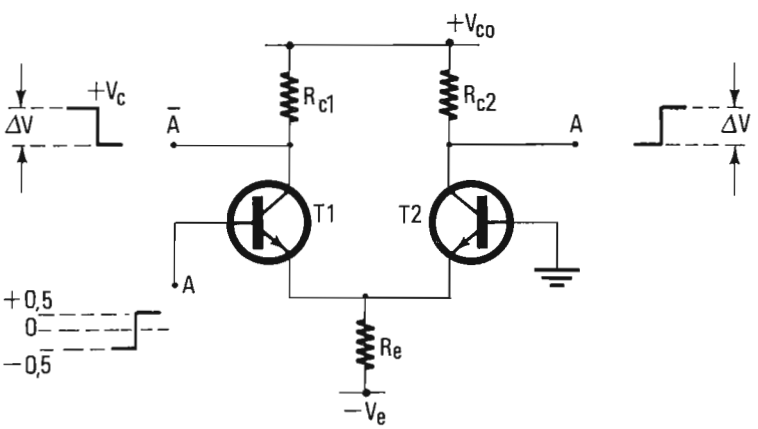


Fig. 8.15 -

$$V_c = V_{co} - \alpha_n I_e R_c$$

e quindi la variazione di livello di tensione all'uscita è la seguente :

$$\Delta V_c = \alpha_n I_e R_c.$$

I valori di R_e con cui si fissa I_e e di R_c con cui si fissa il salto di tensione in uscita, sono facilmente scelti in modo che i transistori siano mantenuti fuori saturazione.

La porta logica con più ingressi è riportata in fig. 8.16: per logica positiva da un'uscita OR e l'altra NOR, mentre per logica negativa dà un'uscita AND e l'altra NAND.

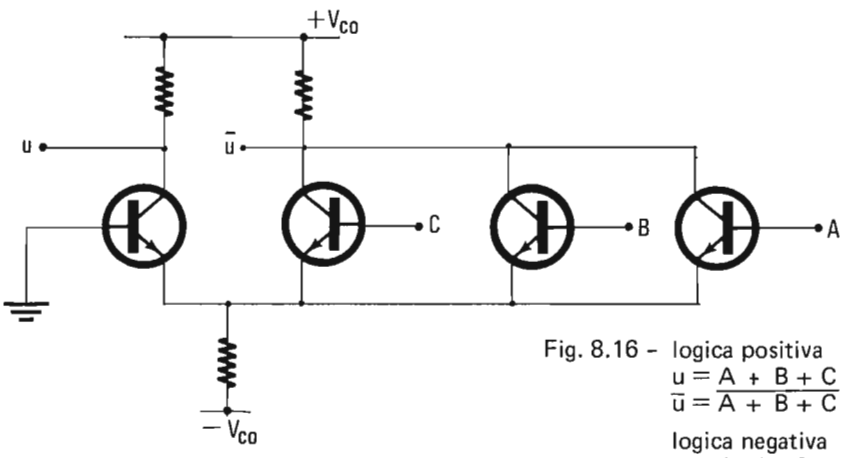


Fig. 8.16 - logica positiva
$u = A + B + C$
$\bar{u} = \overline{A + B + C}$
logica negativa
$u = A \,.\, B \,.\, C$
$\bar{u} = \overline{A \,.\, B \,.\, C}$

Più circuiti uguali del tipo 8.16 non possono essere direttamente collegati in continua poichè fra entrata ed uscita vi è uno spostamento di livelli di tensione. Si possono però trovare opportuni accorgimenti come in fig. 8.17 dove l'accoppiamento in continua è reso possibile dall'uso di transistori NPN e PNP e da opportune tensioni di alimentazione e di polarizzazione.

La possibilità di un collegamento in continua fra porte tutte eguali del tipo 8.16 è ottenibile qualora si portino i transistori in saturazione, come mostrato in fig. 8.18.

Trascurando in prima approssimazione la tensione V_{ce} di saturazione rispetto alla tensione V_{be} e V_{bc} si vede che la corrente di emettitore

$$I_e = \frac{2{,}4 - 0{,}22}{300} \simeq 7{,}3 \text{ mA}$$

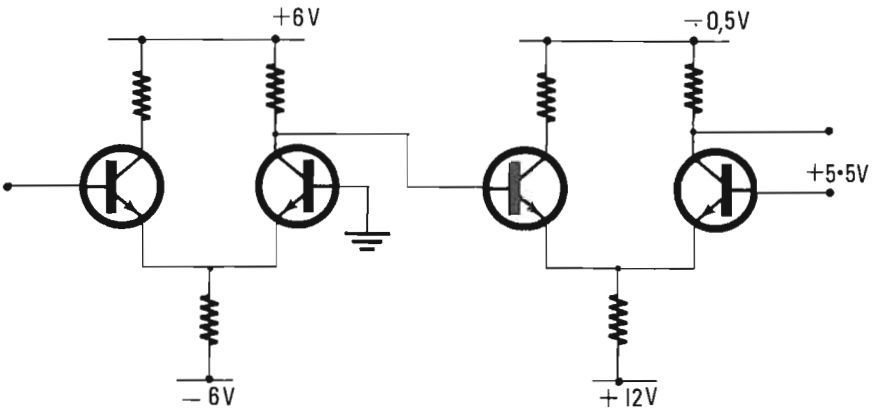


Fig. 8.17 -

produce una caduta su R_1 di circa 0,4 V cioè fa passare V_{c1} da + 0,22 Volt a -0,22 Volt. Portando l'ingresso A negativo la stessa corrente passa in T_2 portandolo in saturazione. In effetti si ha in questa condizione una corrente leggermente inferiore perchè la base di T_2 è a massa, mentre quando conduce T_1 la sua base è a + 0,22 Volt; per compensare questa differenza di polarizzazione, si fa R_2 leggermente maggiore di R_1. **Si raggiunge così la situazione di riprodurre in uscita gli stessi livelli di tensione che in entrata e ciò consente la connessione in cascata di più porte logiche con accoppiamento in continua.**

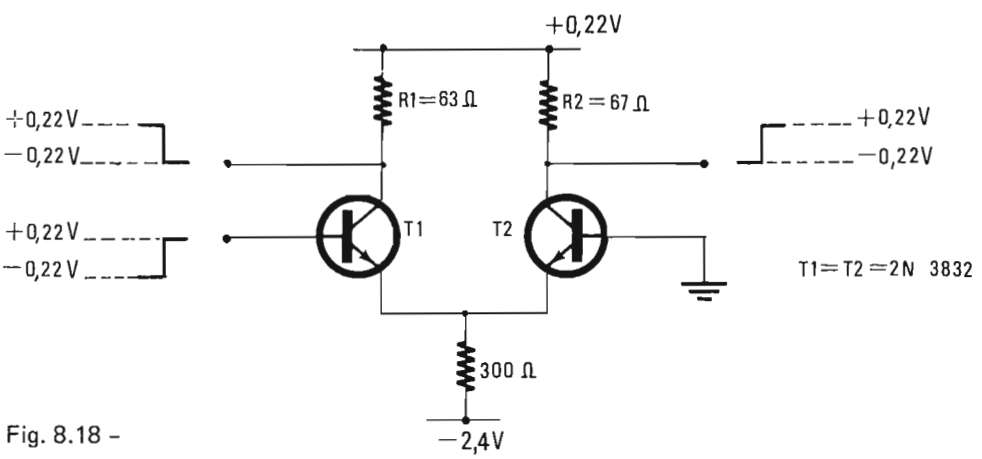


Fig. 8.18 -

8.9. LOGICA ECL

Un ulteriore miglioramento della logica CMS è ottenuto con la porta ECL (Emitter-Coupled-Logic). Gli inseguitori ad emettitore messi in uscita consentono un maggiore fan-out ed inoltre permettono di adattare più facilmente i livelli per la connessione in continua grazie alla ulteriore caduta di tensione V_{be} che introducono.

In un recente modulo logico, realizzato come componente integrato, la configurazione circuitale è quella riportata in fig. 8.19. Lo schema standard prevede fino a 6 ingressi. Sono anche previste più uscite OR e NOR per aumentare il fan-out. Infine, per rendere molto semplice l'assemblaggio di più porte, la tensione di polarizzazione dell'elemento CMS viene realizzata nell'interno del modulo stesso in modo da aver bisogno di una sola tensione esterna.

Con la logica ECL c'è un aumento della velocità di commutazione che è però pagata con una maggiore potenza dissipata ed un aumento del numero di componenti.

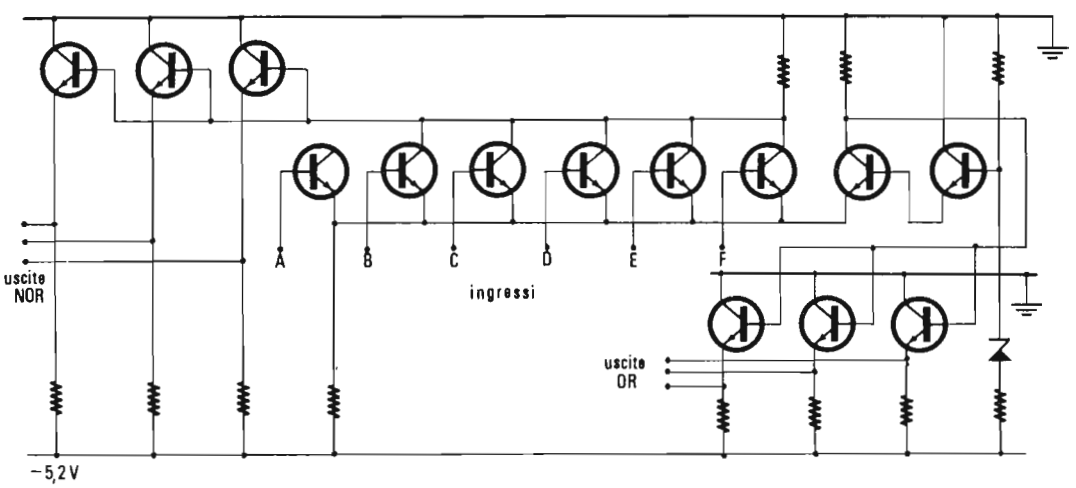


Fig. 8.19 -

8.10. PORTE LOGICHE A TRANSISTORI MOSFET.

E' possibile con i transistori MOSFET realizzare porte logiche a circuito integrato utilizzando esclusivamente gli elementi MOS poichè essi possono essere collegati o come interruttori o come resistori o come amplificatori.
In fig. 8.20 sono riportati gli schemi di circuiti AND e OR a logica positiva, realizzati esclusivamente con transistori MOSFET a canale n.
Se consideriamo il circuito di fig. 8.20 (a) vediamo che i transistori in serie Q_2, Q_3, Q_4, si comportano come interruttori ed hanno il transistore Q_1 connesso a diodo come resistenza di carico verso la tensione di alimentazione $+V_O$.
L'insieme dei quattro elementi da Q_1 a Q_4 formano un circuito di NAND; basta che uno degli ingressi A o B o C sia a zero affinché venga interrotto il flusso di corrente e la tensione sull'elettrodo di sorgente di Q_1 rimanga nello stato 1 positivo; mentre se tutti gli ingressi sono in 1, la tensione di questo elettrodo va verso massa e cioè nello stato zero.
Gli altri due transistori Q_5 e Q_6 costituiscono invece uno stadio invertitore che riporta l'uscita ad avere il valore di AND rispetto alle entrate: il transistore Q_6 costituisce l'elemento amplificatore-invertitore, mentre Q_5 connesso a diodo costituisce la relativa resistenza di carico.

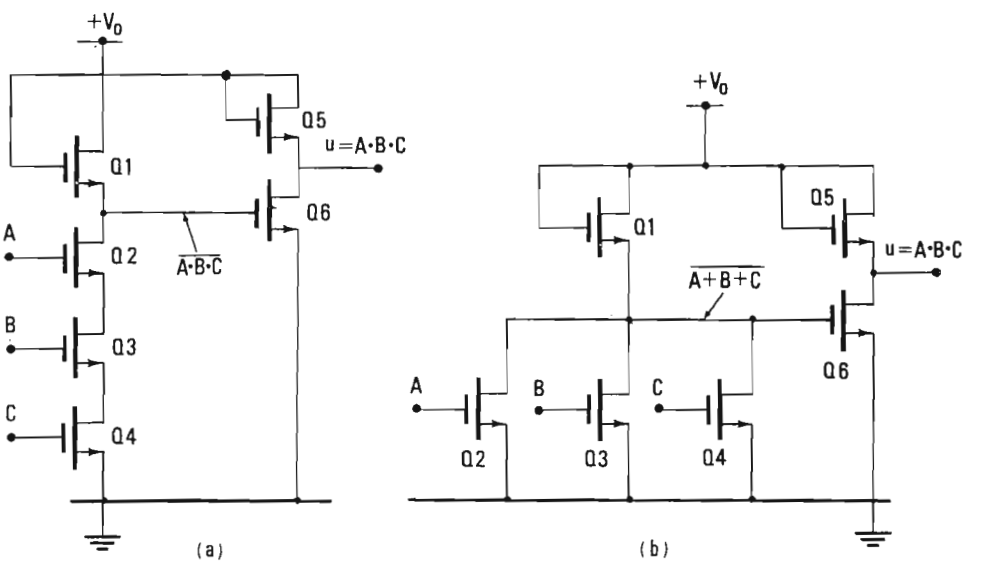
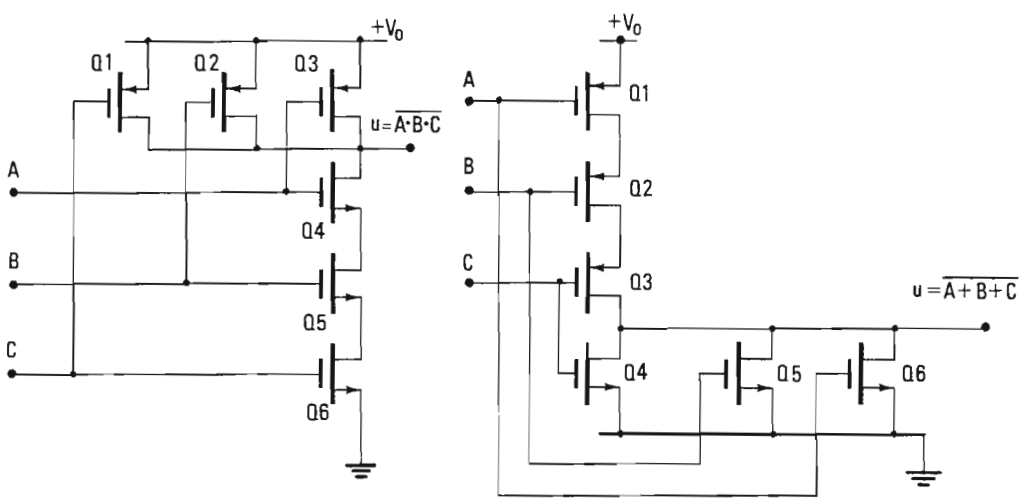


Fig. 8.20 - (a) Porta AND con transistori MOS a canale di tipo n. - (b) Porta OR con transistore MOS a canale di tipo n.

Se i tre interruttori Q_2, Q_3, Q_4 invece di essere disposti in serie vengono messi in parallelo, allora si forma un circuito con il segnale NOR sull'elettrodo-sorgente di Q_1 e con l'uscita finale OR. Infatti basta in questo caso che sia in 1 uno qualsiasi degli ingressi A o B o C affinchè dal terminale a tensione + V_0 al terminale di massa si chiuda il flusso di corrente attraverso Q_1.

Usando transistori MOSFET di tipo complementare, come è stato descritto con lo schema di Fig. 2.37 nel paragrafo 2.4.5, **è possibile compiere le funzioni NAND e NOR con la minima dissipazione di potenza giacchè la rete degli interruttori viene connessa in modo che quando si chiudono i transistori con canale p, risultino invece aperti i transistori con canale n e viceversa.**

Questo è quanto avviene negli schemi di Fig. 8.21 (a) e (b) che rappresentano rispettivamente un circuito NAND e un circuito NOR. Con i livelli dei segnali di ingresso a + V_0 per lo stato 1 ed a massa per lo stato 0, si vede che nello schema di Fig. 8.21 (a) l'uscita è vincolata a + V_0 quando almeno un ingresso è a massa e viceversa risulta vincolata a massa se tutti gli ingressi sono in 1. In entrambe le situazioni non vi è praticamente flusso di corrente fra la tensione + V_0 e massa: quando va in saturazione uno dei transistori Q_1, Q_2, Q_3, si trova interdetto il corrispondente transistore nel grup-



(a)— porta NAND con transistori Mosfet complementari

(b)— porta NOR con transistori Mosfet complementari

Fig. 8.21 - (a) (b) - Porte logiche formate con transistori MOSFET complementari per ridurre al minimo la dissipazione di potenza.

po Q_4, Q_5, Q_6; e viceversa quando questi ultimi sono tutti in saturazione, si trovano interdetti tutti i transistori Q_1, Q_2 e Q_3.
Rovesciando le connessioni e cioè mettendo in serie i transistori MOSFET di tipo p ed in parallelo quelli di tipo n come in Fig. 8.21 (b)si ottiene analogamente uno schema NOR. Anche in questo caso la tensione di uscita si porta a $+V_0$ oppure a massa senza che venga assorbita corrente giacchè, quando sono chiusi gli interruttori con canale n, risultano aperti quelli con canale p e viceversa.

8.11. PORTE LOGICHE CONNESSE A BISTABILE

Lo schema logico del bistabile R–S può essere costruito usando due moduli NOR collegati come in figura 8.22. Gli ingressi di ogni modulo vengono usati per i comandi di Set e di Reset.
Questo schema logico del bistabile R–S può anche essere ricavato dall'equazione caratteristica (6.15):

$$Q(n+1) = Q(n)\,\overline{R} + S$$

La funzione (6.15) può essere inizialmente realizzata con lo schema di fig. 8.22 (a), il quale si trasforma con l'aggiunta di due moduli invertitori nell'equivalente schema di fig. 8.22 (b); da questo, ricordando la relazione di De Morgan: A . B = A + B, si perviene allo schema di fig. 8.22 (c).

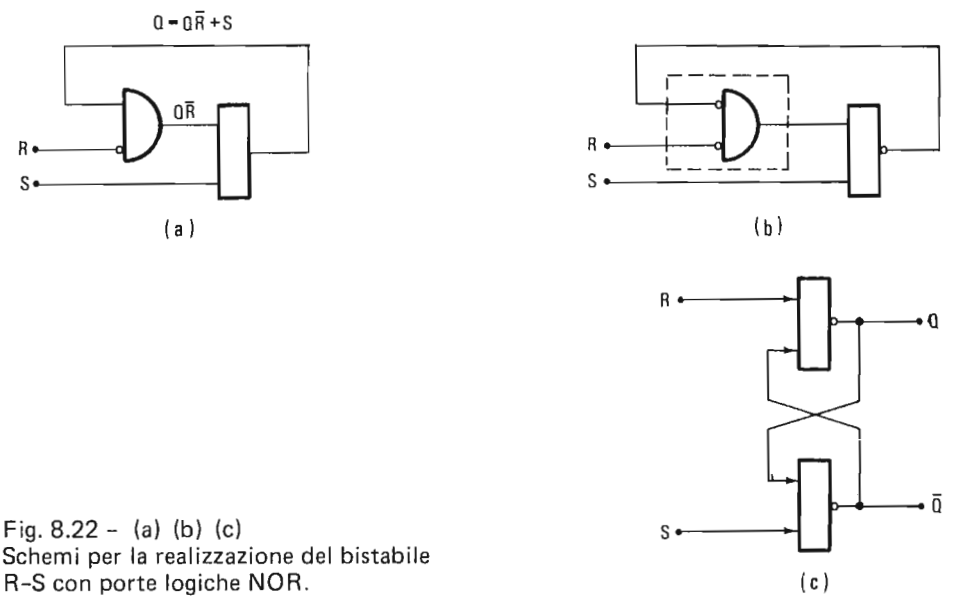


Fig. 8.22 - (a) (b) (c)
Schemi per la realizzazione del bistabile R-S con porte logiche NOR.

Quando il bistabile deve essere commutato in sincronismo con un impulso di orologio, questo viene posto in AND con i comandi di Set e di Reset. In questo modo si ottiene anche che le fluttuazioni dei segnali d'ingresso di R ed S non interferiscano sullo stato del bistabile (fig. 8.23) in assenza dell'impulso di sincronismo (clock).

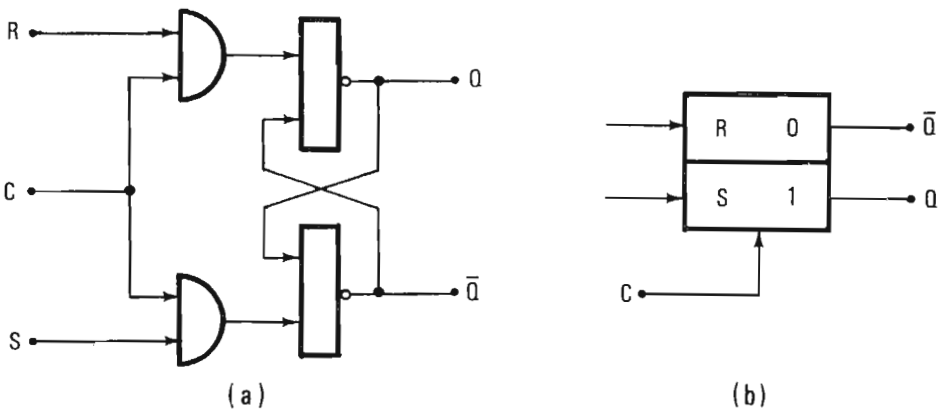


Fig. 8.23 - (a) Bistabile R-S con impulso di orologio (clock)
(b) Simbolo del bistabile R-S

Si può tuttavia verificare che, durante l'applicazione dei segnali di Set e di Reset, in coincidenza con l'impulso di orologio, le uscite del bistabile non siano univocamente definite proprio perchè esse condizionano altri circuiti logici, le cui uscite a loro volta determinano i valori degli ingressi R-S del bistabile considerato. Per interrompere ogni possibile anello di interferenza, sono stati perciò progettati i cosidetti bistabili Master-Slave (padrone-servo), costituiti da due bistabili disaccoppiati come in fig. 8.24.

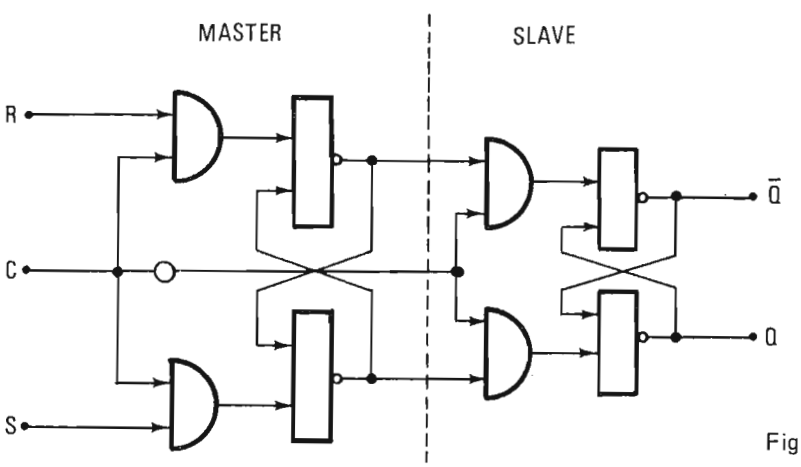


Fig. 8.24

L'insieme funziona in modo che il bistabile Master commuti secondo il comando R–S in coincidenza con il fronte d'onda iniziale dell'impulso di orologio: in questa fase lo stato del bistabile Slave rimane inalterata.
Durante il fronte d'onda finale dell'impulso di orologio, applicato con un circuito NOT agli ingressi del bistabile Slave, si abilita il trasferimento dello stato delle uscite del bistabile Master alle uscite del bistabile Slave. Così facendo l'uscita del bistabile Master–Slave risulta commutata solo alla fine e non durante l'applicazione dell'impulso di orologio.
Collegando opportune porte logiche al bistabile R–S si ottengono anche gli altri tipi di bistabile discussi nel paragrafo 6.5.
Considerando l'equazione caratteristica del bistabile J–K, $Q\ (n+1) = [Q\overline{K} + \overline{Q}J]\ (n)$, si ottiene lo schema di fig. 8.25 (a).

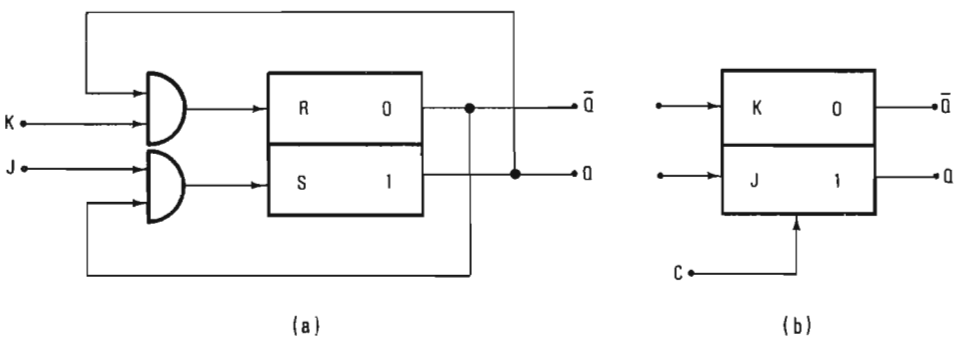


Fig. 8.25(a) - Schema del bistabile J-K; (b) Simbolo del bistabile J-K.

In esso la condizione J = 1, K = 1 non è più indefinita giacchè il segnale di commutazione passa solo nel circuito di AND che ha l'altro ingresso collegato all'uscita $Q o \overline{Q}$ che si trova in 1.
Se si considera l'equazione caratteristica del bistabile D, $Q\ (n+1) = Q\ (n)\ D + \overline{Q}\ (n)\ D = D\ (n)$, si ottiene lo schema di fig. 8.26 (a).

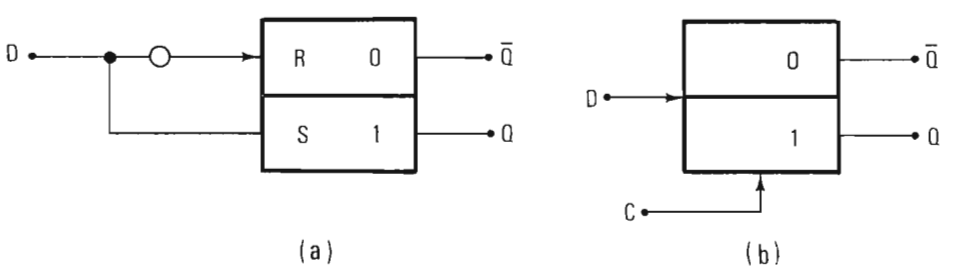


Fig. 8.26 (a) - Schema del bistabile D; (b) - Simbolo del bistabile D.

Si osserva che l'uscita Q ripete il valore del segnale D alla fine della commutazione: se D = 1 si ha S = 1 e quindi Q = 1; se D = 0 si ha S = 0 ed R = 1 e quindi Q = 0.
Considerando l'equazione caratteristica del bistabile T, Q (n + 1) = $[\bar{T}Q + T\bar{Q}]$ (n) si ottiene lo schema di fig. 8.27 (a).

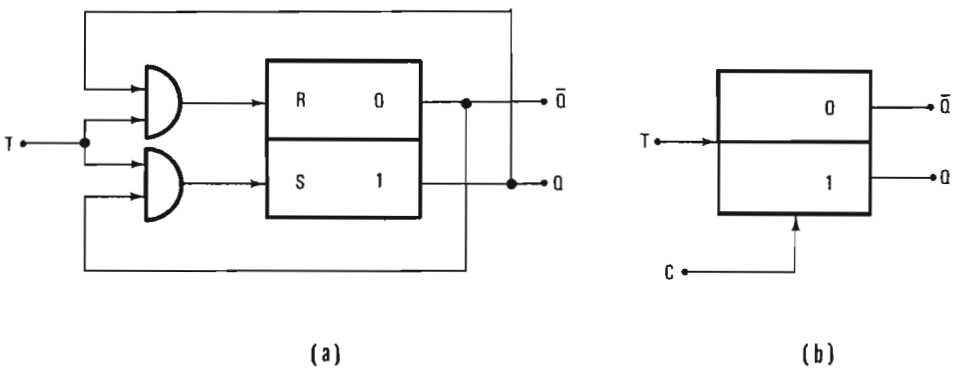


Fig. 8.27 (a) - Schema del bistabile T; Simbolo del bistabile T.

Lo schema di fig. 8.27 (a) è praticamente equivalente a quello del bistabile J–K in cui si sono collegati insieme gli ingressi J e K;

Capitolo 9

CIRCUITI DI PORTA LINEARE E COMMUTATORI ELETTRONICI.

I circuiti di porta lineare vanno distinti dai circuiti di porta logica perchè destinati a compiere operazioni differenti su segnali di natura diversa. Come abbiamo visto nei precedenti capitoli, le **porte logiche operano su segnali a due livelli** e forniscono in uscita un segnale di tensione in funzione di predeterminate combinazioni logiche dei livelli presenti ai vari ingressi.

La porta lineare opera invece su un segnale analogico, variabile cioè con continuità entro un determinato intervallo di valori; ha generalmente un solo ingresso ed una sola uscita per il suddetto segnale analogico e viene comandato su un terzo terminale, detto ingresso di controllo, sul quale si applica un impulso rettangolare, la cui durata stabilisce l'intervallo di tempo durante il quale la porta resta aperta. **In detto intervallo di tempo il segnale analogico, presente in ingresso, viene trasmesso e riprodotto, senza alterazioni di forma, sul terminale di uscita.**

Tutto questo giustifica le denominazioni di **"porta di trasmissione", "circuito di campionamento", oppure "porta analogica a selezione temporale" con cui si vuole anche indicare il circuito di porta lineare.** Le porte lineari vengono diffusamente usate nei convertitori analogico-numerici o numerico-analogici, nei voltmetri numerici, ed in tutte le strumentazioni di misura e di analisi in cui le sorgenti di informazione od i sensori delle variabili fisiche forniscono segnali sotto forma analogica, che vengono poi elaborati sotto forma numerica o viceversa.

9.1. SCHEMI DI PRINCIPIO PER IL FUNZIONAMENTO DELLE PORTE LINEARI.

In fig. 9.1 sono riportati gli schemi di principio per la realizzazione di una porta lineare prendendo a riferimento il modo di funzionare di un interruttore ideale, messo in serie od in parallelo sul cammino del segnale. In fig. 9.1 (a) l'interruttore S_1, posto in serie fra entrata e uscita, è normalmente aperto e si chiude solo durante l'intervallo in cui si vuole la trasmissione del segnale. In fig. 9.1 (b) l'interruttore, posto in parallelo ai

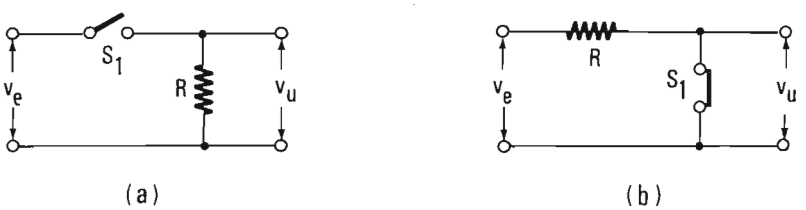


Fig. 9.1 - (a) (b) - Schemi di principio per il funzionamento delle porte lineari. L'interruttore, posto in serie sulla via del segnale, va comandato in chiusura quando si vuole la trasmissione del segnale; deve essere invece comandato in apertura se è posto in parallelo come in (b).

morsetti di entrata e di uscita, è normalmente chiuso e si apre con il comando di controllo solo durante l'intervallo di trasmissione. Ovviamente questa seconda configurazione può essere adottata solo per porte lineari usate singolarmente e non connesse in parallelo per formare un commutatore a più vie e ad un solo polo d'uscita, giacchè in questo caso l'uscita si troverebbe sempre cortocircuitata a massa dagli interruttori normalmente chiusi.

9.2. PORTE LINEARI A DIODI.

Il più semplice circuito di porta lineare è quello formato da un diodo polarizzato normalmente all'interdizione con una tensione $-V_n$ e che viene portato in regione di conduzione con un impulso rettangolare positivo applicato al terminale di controllo, come in fig. 9.2.
In teoria questo impulso rettangolare dovrebbe avere un'ampiezza tale da portare il terminale di controllo dalla tensione $-V_n$ alla tensione zero, in modo che il segnale V_e positivo trovi il diodo polarizzato direttamente e venga trasmesso in uscita.

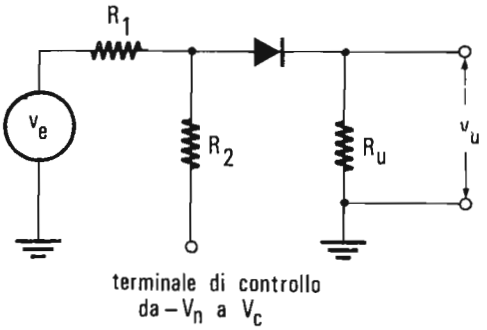


Fig. 9.2 - Schema di porta con un singolo diodo che trasmette solo segnali unipolari positivi.

In pratica, a seconda delle applicazioni, l'impulso di controllo può avere un'ampiezza alquanto minore od anche maggiore di V_n.

Nel caso in cui l'ampiezza è leggermente minore di V_n, il comando di controllo lascia il diodo interdetto ad una tensione leggermente negativa: viene così trasmessa solo la parte più positiva del segnale e si può eliminare un rumore sovrapposto alla linea di base della tensione di ingresso. **Nel caso in cui l'ampiezza è maggiore di V_n**, il diodo viene portato decisamente entro la zona di conduzione: la trasmissione del segnale è allora più lineare perchè il diodo viene portato a funzionare oltre i valori della tensione di impennata V_γ vicino all'origine, in cui appunto la caratteristica non è lineare, ma contemporaneamente il segnale in uscita appare sovrapposto ad un piedistallo rettangolare, dovuto alla porzione del segnale di controllo che oltrepassa lo zero.

Come si può facilmente intuire, a fronte dell'estrema semplicità , questo circuito offre notevoli svantaggi: la non completa linearità, il funzionamento per segnali di una sola polarità, le interferenze fra segnali di controllo e segnale d'ingresso, ed infine una trasmissione attenuata dovuta principalmente al rapporto di partizione delle due resistenze R_1 ed R_2 (si trascura l'effetto di R_u che in genere è sempre molto maggiore di R_1 ed R_2).

Alcuni di questi inconvenienti possono essere superati con la **porta bidirezionale a due diodi**, riportata in fig. 9.3.

Come si vede è stato aggiunto in parallelo al circuito di fig. 9.1 un secondo circuito analogo ma con il diodo D_2 invertito e con il terminale di controllo polarizzato in modo complementare al primo. Si deve notare che le tensioni di comando V_c, per l'apertura della porta, fanno condurre ai due

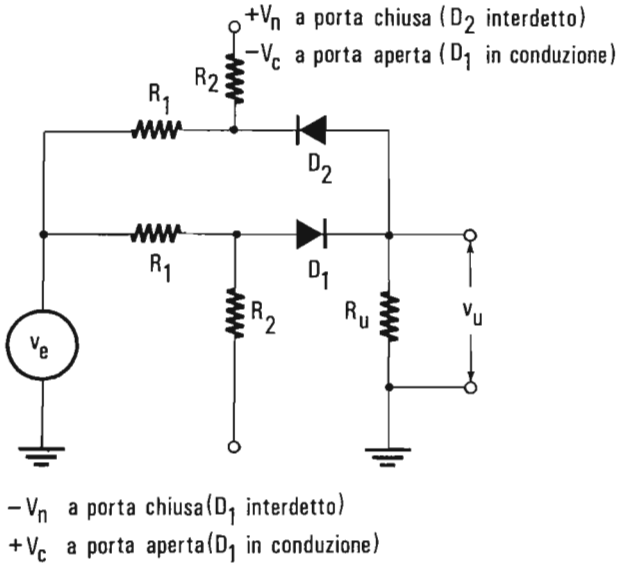


Fig. 9.3 - Porta lineare con due diodi per segnali bipolari.

diodi una corrente $I_c = V_c/R_2$; tuttavia, a condizione che i diodi abbiano le stesse caratteristiche, data la simmetria del circuito, il terminale di uscita rimane alla tensione zero, cioè le tensioni V_c non fanno passare corrente in R_u: non vi è quindi in uscita il piedistallo dovuto all'impulso di controllo.

Il segnale v_e può variare positivamente o negativamente e viene sempre trasmesso in uscita: in pratica la tensione v_e sbilancia la corrente nei due diodi e la differenza fra la corrente in D_1 ed in D_2 fluisce in R_u.

Per assicurare un funzionamento lineare occorre che al variare di v_e la corrente nei diodi dovuta a V_c non si riduca mai a zero od a valori trascurabili; di solito perciò il valore di V_c viene scelto pari a circa il doppio del valore massimo che può assumere il modulo di v_e.

Rimane in questo circuito l'attenuazione del segnale dovuta ai partitori formati da R_1 ed R_2 che può essere praticamente superata se le due resistenze R_1 si sostituiscono con altrettanti diodi come in fig. 9.4.

Quando le tensioni di controllo sono ai livelli $+V_c$ e $-V_c$ tutti e quattro i diodi sono in conduzione: considerando i diodi identici e con resistenza trascurabile, la corrente in ognuno di essi è $V_c/2R_2$ e la tensione in uscita dovuta a v_e è zero. La sorgente di ingresso è connessa in uscita attraverso due cammini paralleli, ciascuno formato da due diodi in serie.

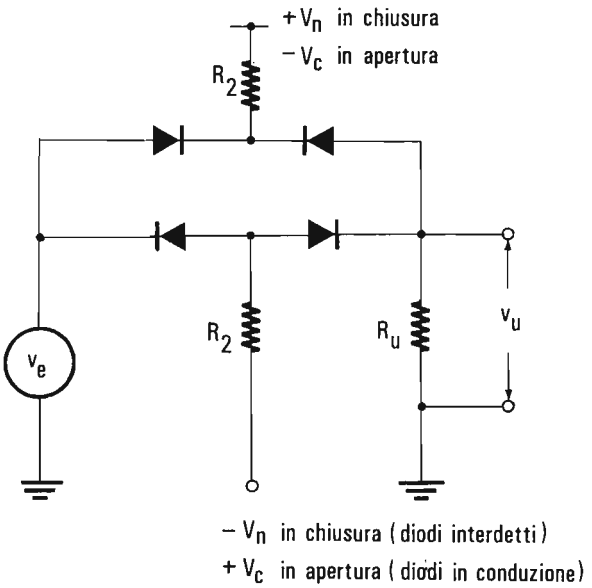


Fig. 9.4 - Porta lineare con quattro diodi per funzionamento bipolare e senza attenuazione.

Al variare di v_e in senso positivo o negativo la corrente nei diodi si sbilancia e fluisce in R_u. Trascurando la resistenza interna del generatore v_e e la resistenza dei diodi in conduzione, si vede che non si ha più attenuazione fra entrata ed uscita. Affinchè questa condizione possa essere approssimata, in pratica occorre che, al variare di v_e, la corrente nei diodi vari molto poco in modo da avere un comportamento lineare e una resistenza diodica che rimanda sempre la stessa. Questo significa che la tensione V_c deve essere grande rispetto al valore di fondo scala di v_e: infatti con il circuito di fig. 9.4, il valore di V_c viene scelto quattro o cinque volte maggiore di $|v_e|_{max}$.

9.3. PORTE LINEARI A TRANSISTORI BIPOLARI.

I transistori bipolari, usati in regime di saturazione, hanno trovato una larga applicazione come interruttori elettronici per porte lineari. Infatti, se si esaminano le caratteristiche statiche nella zona di saturazione, si vede che la tensione V_{ce} tra collettore ed emettitore si riduce a valori molto piccoli dell'ordine delle decine di mV o addirittura dei mV a seconda del punto di

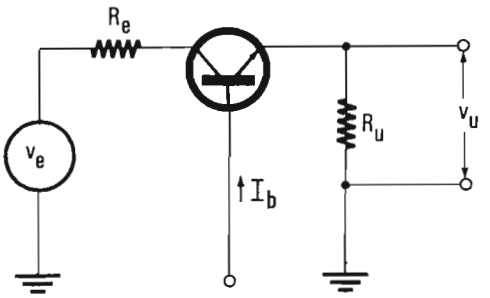


Fig. 9.5 - Semplice schema di transistore interruttore comandato dall'interruttore alla saturazione per funzionare come porta lineare.

lavoro (vedasi fig. 2.23).
Nello schema più semplice i terminali di collettore ed emettitore vengono usati come elettrodi di contatto per l'entrata e l'uscita, mentre il terminale di base funziona come elettrodo di controllo in grado di comandare il transistore all'interdizione o in saturazione.
Dalle equazioni di Ebers e Moll si può ottenere la seguente equazione caratteristica, valida per un transistore ideale nella zona di saturazione:

$$V_{ce} = \pm V_T \ln \frac{\alpha_i \left(1 - \frac{I_c}{I_b} \frac{1-\alpha_n}{\alpha_i}\right)}{1 + \frac{I_c}{I_b} (1 - \alpha_i)} \quad . \tag{9.1}$$

Essa si può ricavare dalle equazioni (2.15) con opportune trasformazioni e supponendo che sia $I_{co}/I_b \ll 1$ ed $I_{eo}/I_b \ll 1$.
Si può osservare che **le prestazioni di un transistore come interruttore per porta lineare dipende soprattutto dalla geometria e dalla costituzione fisica delle giunzioni che condizionano i valori di α_i ed α_n da cui dipende il valore più o meno piccolo della tensione residua V_{ce} fra entrata ed uscita (*).**
Ad esempio, quando $\alpha_i \simeq \alpha_n \simeq 1$ allora valgono le approssimazioni :

$$I_c/I_b \cdot (1 - \alpha_i) \ll 1; \quad I_c/I_b (1 - \alpha_n) \ll 1 ;$$

ed il logaritmo della (9.1) si può sviluppare in serie arrestandosi al primo termine :

(*) U. Pellegrini, G. Strini: "Circuito di porta lineare per commutatore rapido transistorizzato con segnali a basso livello" – Alta Frequenza - No. 7 - Vol. XXXI - 1962 - pag. 422-433. U. Pellegrini, G. Strini: "I transistori in regime di saturazione ed il loro uso come interruttori" - Atti del Convegno annuale dell'Associazione Elettrotecnica ed Elettronica Italiana - Stresa - Ottobre 1963.

$$(9.2) \quad V_{ce} = \pm V_T \left[(\alpha_i - 1) - \frac{I_c}{I_b} \left(\frac{1}{\alpha n} - \alpha_i \right) \right] .$$

Questo è quanto si verifica nei transistori simmetrici bidirezionali in cui le giunzioni di emettitore e di collettore sono quasi identiche sicchè $\alpha_i \simeq \alpha_n$ ed il transistore può essere usato ugualmente sia in connessione diretta che in connessione invertita (cioè con il collettore funzionante come emettitore e viceversa).

Si può così controllare che **nei transistori simmetrici la tensione V_{ce}, a parità di corrente di collettore, è almeno di un ordine di grandezza inferiore rispetto ai transistori normali, e ciò li fa preferire nelle applicazioni per porta lineare.**

Tuttavia, nello schema di fig. 9.5, la corrente I_b si richiude sulle resistenze R_e ed R_u, e perciò contribuisce a determinare una tensione di piedistallo dovuta al segnale di controllo. Nel caso molto frequente in cui $R_e \ll R_u$, tale piedistallo vale $V_p = R_e I_b$: poichè non si può ridurre I_b al di sotto dei valori necessari per mantenere il transistore in saturazione, si riduce il piedistallo mantenendo R_e più piccola possibile.

Una connessione simmetrica bidirezionale fra entrata ed uscita la si ottiene usando due transistori normali non simmetrici, collegati in modo invertito l'uno rispetto all'altro come in fig. 9.6. Inoltre il comando di controllo applicato con accoppiamento a trasformatore, riduce a valori trascurabili la tensione di piedistallo, giacchè le correnti di base si richiudono sul secondario del trasformatore attraverso la connessione degli elettrodi in comune.

Si noti che la tensione residua fra entrata ed uscita è minore che nel caso di un singolo transistore, giacchè la tensione V_{ce} relativa ad un transistore appare di polarità opposta a quella dell'altro transistore sul cammino in

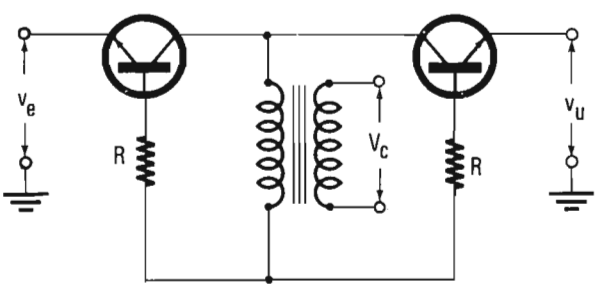


Fig. 9.6 - Schema di porta lineare con transistori asimmetrici accoppiati in modo invertito per realizzare una connessione simmetrica bidirezionale fra entrata ed uscita.

serie entrata-uscita, e perciò tendono a compensarsi.
Fino a qualche anno fa era necessaria una procedura laboriosa per scegliere transistori con caratteristiche identiche, sottoporli agli stessi processi di invecchiamento onde raggiungere i minimi valori della tensione residua fra entrata ed uscita. Oggi vengono invece costruiti, come componenti standard per queste applicazioni, **i transistori a doppio emettitore** la cui geometria costruttiva è riportata in fig. 9.7.

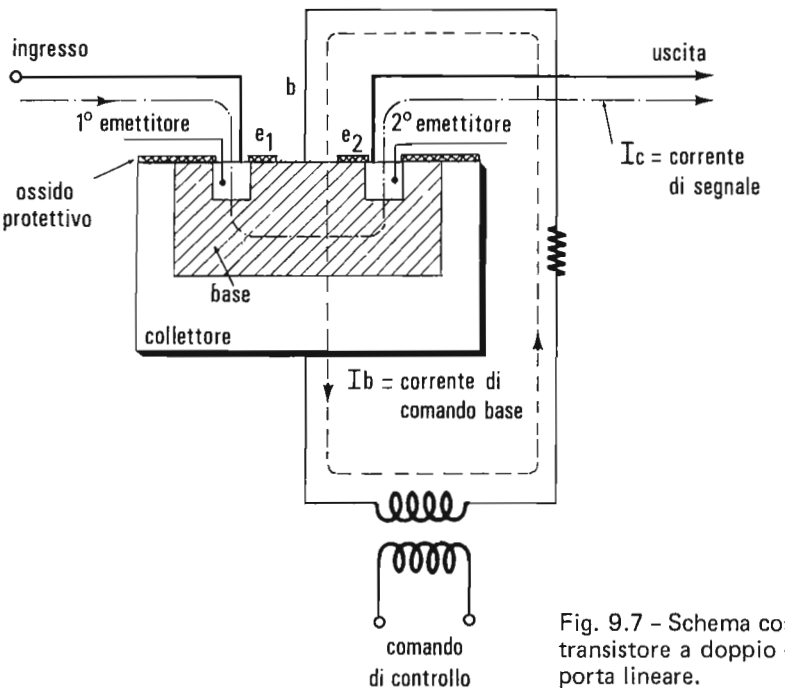


Fig. 9.7 - Schema costruttivo di un transistore a doppio emettitore per porta lineare.

Con questo componente si migliora soprattutto la stabilità delle caratteristiche dell'interruttore in funzione delle variazioni termiche, in quanto il numero delle giunzioni da quattro nel gate a due transistori, si riduce a tre nel gate a doppio emettitore, ed esse risultano termicamente collegate perchè sono tutte formate nello stesso blocco semiconduttore. Anche il numero di termocoppie lungo il cammino del segnale scende da 10 a 4, il che contribuisce ulteriormente a diminuire ed a rendere più stabile la tensione di offset.
Se infine si considera la particolare geometria, si osserva che il percorso seguito dalla corrente del segnale è ortogonale a quello della corrente di

comando per la commutazione del transistore: **si elimina cioè il percorso comune che entrambe le correnti sono costrette a seguire nel punto di connessione dei collettori quando il gate è attuato con due transistori.** Ciò riduce sia le interferenze fra i due segnali di correnti, sia la resistenza di trasferimento $R_t = \frac{\Delta V_{ce}}{I_b}$.

9.4. PORTE LINEARI CON TRANSISTORI MOSFET .

I transistori MOSFET sono oggi i componenti più usati nell'applicazione come interruttori per porta lineare.

Questa preferenza è dovuta al fatto che vi è un completo isolamento in continua fra la corrente del segnale analogico da trasmettere, ed il segnale di controllo applicato all'elettrodo di gate: infatti, come abbiamo visto nel paragrafo 2.4, il **MOSFET ha il gate completamente isolato in continua ed è comandato in tensione.**

Altre caratteristiche vantaggiose sono l'assenza della tensione di piedistallo, la bassa corrente di perdita all'interdizione, ed un rapporto molto più elevato delle resistenze in chiusura ed in apertura.

Il circuito di porta lineare a MOSFET è molto semplice perchè basta usare come elettrodi d'ingresso e di uscita quelli di drenaggio e di sorgente, ed applicare all'elettrodo di gate un impulso rettangolare per il comando di controllo, che faccia commutare il MOSFET dall'interdizione alla conduzione portandolo nella regione ohmica di fig. 2. 34.

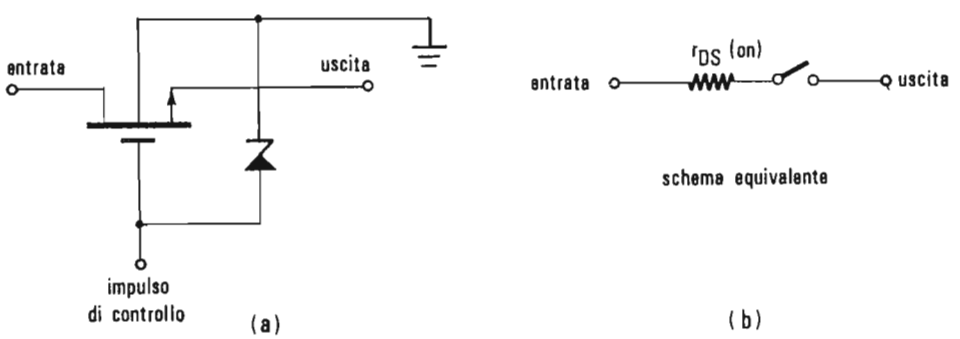


Fig. 9.8 - (a) (b) - Transistore MOSFET usato come interruttore per porta lineare.

Nello schema di fig. 9.8 si osservi che il diodo Zener posto fra elettrodo di **gate** e l'elettrodo di **substrato**, è stato posto con l'unica funzione di proteggere il transistore onde evitare che, deposizioni di cariche sull'elettrodo di gate oppure sovratensioni sul cammino del segnale formino tensioni elevate che provochino una scarica nel sottile strato di ossido su cui è depositato il gate.
Per comandare l'elettrodo di gate un possibile schema di circuito generatore del segnale di controllo è riportato in fig. 9.9 (a). Il segnale logico di apertura e chiusura viene amplificato e portato ad un livello di + 15 V con il transistore T_2 interdetto, oppure al livello di -15V con T_2 in saturazione. Escursioni così ampie sono necessarie per evitare che la resistenza fra entrata ed uscita della porta lineare vari sensibilmente in apertura ed in chiusura. Con MOSFET interdetto, la tensione gate-sorgente o gate-drenaggio può variare fino quasi a zero senza che la resistenza fra entrata ed uscita scenda al disotto di 100 MΩ. In conduzione invece occorre che la tensione gate-sorgente non scenda al disotto di circa 6V affinché la resistenza r_{DS} (on) si mantenga costante e vari solo di qualche ohm intorno ad un valore tipico di 100 ohm.

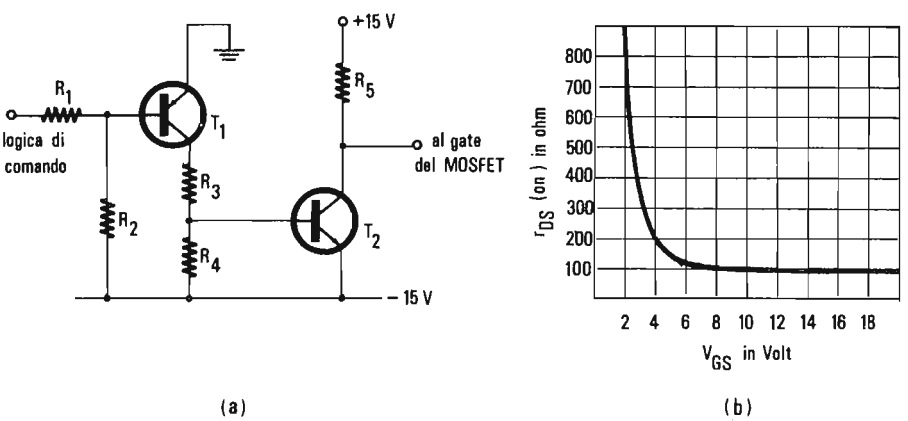


Fig. 9.9 - (a) Schema di circuito per il comando di gate nella porta di Fig. 9.8 - (b) Andamento della resistenza del MOSFET in conduzione nella regione ohmica.

9.5. CIRCUITI ALLUNGATORI O DI TENUTA .

Spesso nei **circuiti impulsivi,** specialmente nelle applicazioni tipiche della fisica nucleare, **occorre trasmettere non tanto la forma di un impulso quanto il valore di picco dell'impulso stesso.** E' questo ad esempio il caso in cui si fanno misure di energia con rivelatori nucleari proporzionali: l'impulso fornito dal rivelatore ha un'ampiezza di picco proporzionale all'energia della particella rivelata. **Occorre allora trasmettere questo valore di picco e mantenerlo per tutto il tempo in cui se ne esegue la conversione analogico-numerica.**

Per questo si usano porte lineari che seguono l'impulso d'ingresso finchè si raggiunge il valore di picco, come in fig. 9.10 (a), e poi lo mantengono ad esempio come carica di un condensatore, come in fig. 9.10 (b).

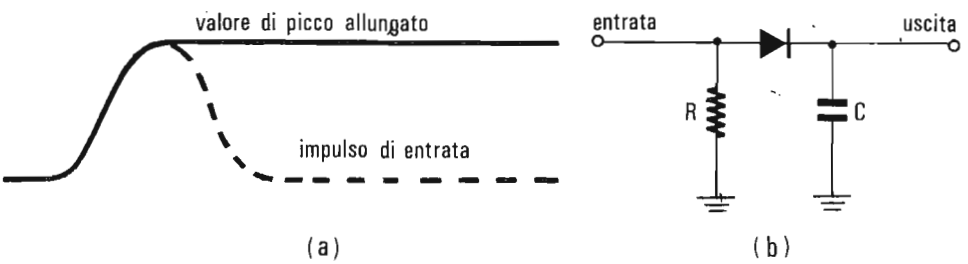


Fig. 9.10 - (a) Operazione di allungamento del valore di picco di un impulso e (b) Schema di principio di circuito allungatore.

Quando il segnale di entrata sale verso valori positivi il diodo conduce e carica il condensatore; quando il segnale comincia a scendere il diodo s'interdice perchè il condensatore, se è isolato o connesso ad una elevata resistenza in uscita, mantiene il valore massimo della tensione raggiunta durante l'impulso. Lo schema di principio di fig. 9.10 (b) va però opportunamente completato tenendo presente che :

- si deve correggere le non linearità del diodo;
- si deve alimentare il diodo, durante la carica del condensatore, con un generatore di tensione a bassa resistenza interna;
- si deve mantenere l'uscita collegata a circuiti ad elevata resistenza d'ingresso, in modo che non assorbano corrente dal condensatore durante il tempo di tenuta.

Si giunge così a schemi del tipo riportato in fig. 9.11.

I transistori T_1 e T_2. formano un amplificatore differenziale: durante il fronte d'onda positivo dell'impulso sull'altro ingresso di questo amplificatore, cioè sulla base di T_2, viene riportato il segnale di entrata con la spira di reazione che si chiude attraverso T_3, il diodo D e il transistore T_4.

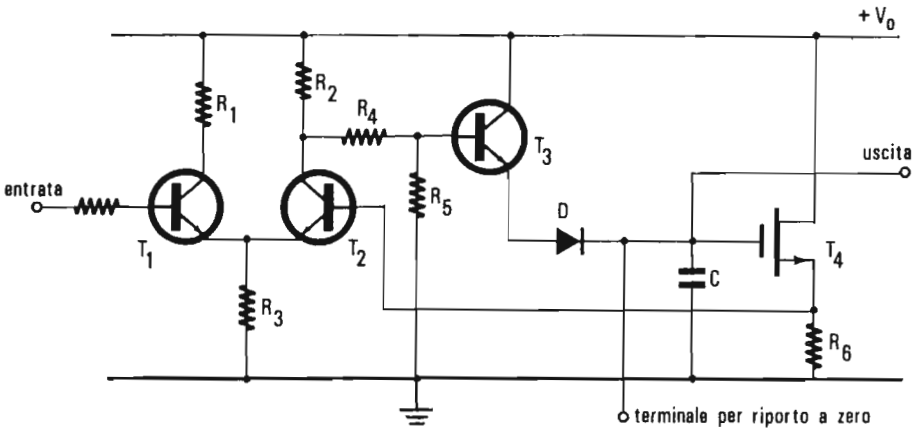


Fig. 9.11 - Circuito allungatore per il valore di picco di impulsi positivi.

La carica del condensatore C avviene perciò attraverso il diodo D inserito in una spira reazionata che corregge le non linearità del diodo stesso. Il transistore T_3, che funziona come inseguitore ad emettitore, è inserito per ottenere una bassa impedenza durante la carica. Il transistore MOSFET T_4 è scelto per raggiungere la più elevata resistenza d'uscita onde ridurre al minimo l'assorbimento di corrente.

9.6. COMMUTATORI ELETTRONICI PER SEGNALI ANALOGICI A MOLTE VIE.

Quando nei sistemi di acquisizione e di elaborazione di dati si ha a che fare con più sorgenti di segnali analogici, **si adotta la tecnica di acquisire i segnali campionandoli sequenzialmente nel tempo e di convertire quindi ogni campione in forma numerica sulla quale si compie la successiva elaborazione.** Ciò si ottiene mettendo più porte lineari in parallelo, ciascuna con l'ingresso connesso alla corrispondente sorgente del segnale analogico

e collegando insieme le uscite di tutte le porte. Su quest'unico terminale si presentano in successione temporale i campioni dei segnali relativi alle varie sorgenti, i quali vengono poi inviati all'ingresso del convertitore analogico-numerico. **Si forma così un commutatore elettronico per segnali analogici, o multiplexer analogico a tante vie quante sono le porte lineari e ad un solo polo d'uscita.**

In queste applicazioni occorre che ogni porta lineare sia adattata al tipo di segnale fornito dal corrispondente sensore analogico. Si suole distinguere i segnali in quelli ad alto livello, quando variano in un intervallo con fondo scala dell'ordine dei Volt (0 ÷ 1 V, 0 ÷ 5 Volt oppure 0 ÷ 10 V), ed in quelli a basso livello quando l'intervallo è nel campo delle decine di millivolt (0 ÷ 10 mV, 0 ÷ 100 mV): **a seconda dei casi possono diventare critiche le caratteristiche di linearità di trasmissione, oppure di stabilità del livello di zero, oppure d'interferenze e di rumore.**

E' noto che il commutatore può essere formato con porte lineari costituite da altrettanti interruttori elettromeccanici, ma questo è consentito solo quando i segnali analogici variano molto lentamente in modo da non richiedere che si oltrepassi per ciascuno l'ordine di circa cento campionamenti al secondo. Si ricordi infatti che, secondo il teorema del campionamento di Nyquist, un segnale deve essere campionato ad una frequenza almeno doppia rispetto alla frequenza massima contenuta nel segnale stesso. **L'esigenza di acquisire segnali rapidi può essere perciò soddisfatta solo con commutatori elettronici i quali, realizzati oggi con componenti allo stato solido, offrono un ingombro ed un consumo ridotto e presentano anche una affidabilità ed una durata maggiore.**

Ognuno dei circuiti descritti nei paragrafi precedenti può essere perciò usato per formare un commutatore lineare a più vie. Tuttavia i vantaggi già illustrati per le porte con i transistori MOSFET, uniti al fatto che oggi è possibile costruire circuiti integrati i quali, su una singola piastrina, raggruppano insieme più porte MOSFET, hanno fatto sì che questi componenti si affermassero definitivamente su tutti gli altri.

In fig. 9.12 si riporta lo schema del circuito integrato MEM-2009 che su una singola piastrina raggruppa sei interruttori: i numeri riportati sugli ingressi e sull'uscita corrispondono ai numeri con cui la casa costruttrice individua i diversi terminali del circuito integrato.

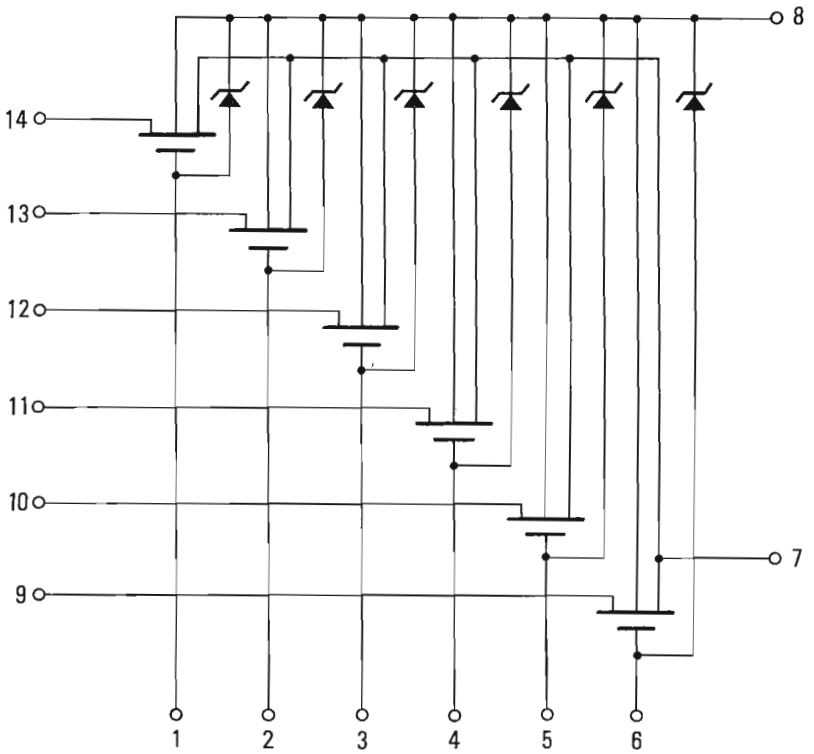
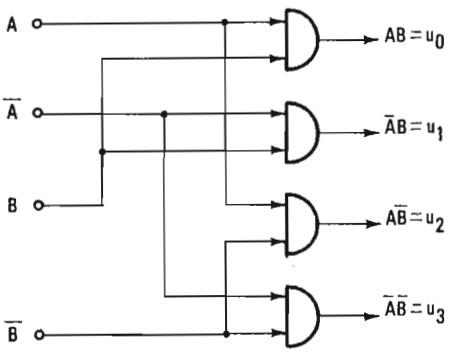


Fig. 9.12 - Schema circuitale di un Multiplexer integrato a MOSFET del tipo MEM-2009 della General Instrument.

Quando si hanno commutatori a molte vie, ciascuna delle quali deve venire aperta e chiusa con una frequenza propria, occorre progettare le reti di comando dei circuiti di porta lineare in modo da avere le opportune sequenze temporali degli impulsi di controllo. Ciò si ottiene con le cosidette **matrici sequenziali** che servono a comandare il commutatore elettronico come descritto nei paragrafi che seguono.

9.7. MATRICI SEQUENZIALI PER IL COMANDO A FREQUENZA DI COMMUTAZIONE UNICA.

Cominciamo dal caso elementare in cui si debbano generare impulsi tutti alla stessa frequenza. A questo scopo. ricordiamo la matrice di decodifica del paragrafo 7.7. Nel caso di 4 uscite lo schema logico e la tabella della verità a tempi successivi sono riportati in fig. 9.13 (a) e (b).



(a)

A	B	$AB=u_0$	$\overline{A}B=u_1$	$A\overline{B}=u$	$\overline{A}\,\overline{B}$	
1	1	1	0	0	0	tempo 1
0	1	0	1	0	0	tempo 2
1	0	0	0	1	0	tempo 3
0	0	0	0	0	1	tempo 4

(b)

Fig. 9.13 -

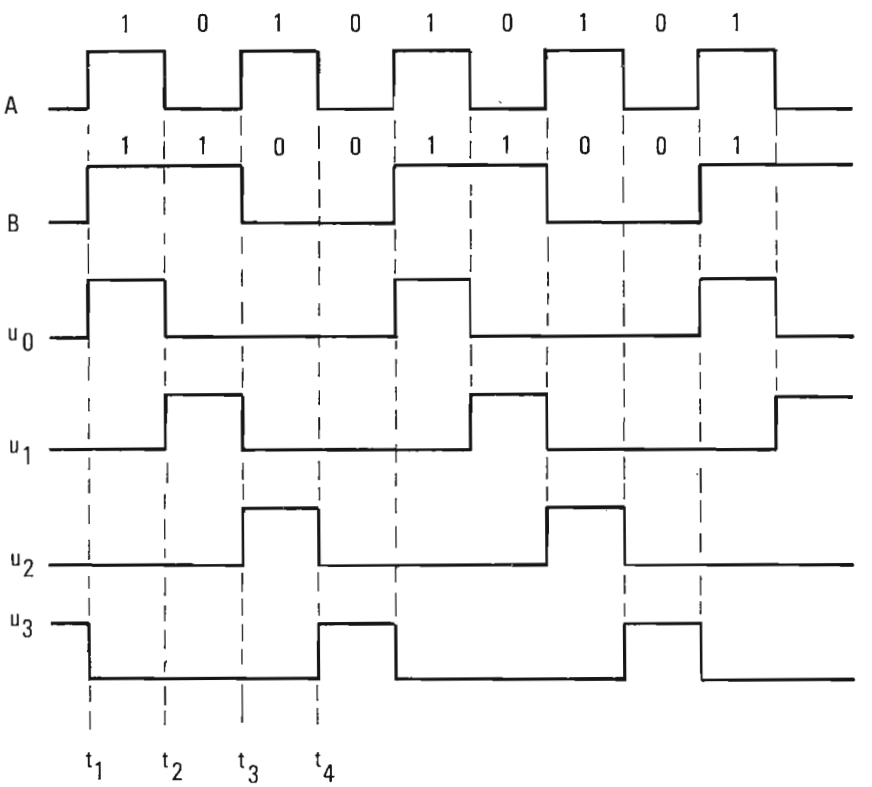


Fig. 9.14 -

Vediamo così che possiamo avere 4 impulsi sequenziali alle 4 uscite u se ai tempi t_1, t_2, t_3, t_4 mandiamo degli impulsi secondo la tabella delle A e B come riportato in fig. 9.14.
Si vede subito che la A è una semplice onda quadra mentre l'onda B corrispondente si può ottenere con un bistabile pilotato dalla forma d'onda A. Per comodità circuitale, generalmente si parte da una forma d'onda di orologio a frequenza doppia di quella della A, ricavando dalle uscite di un bistabile sia la A che la $\overline{A}$ e poi da questa con un secondo bistabile la B e la $\overline{B}$. Se invece di 4 si vuole 8 uscite, ed in generale 2^n, si possono aggiungere tanti bistabili e circuiti di "AND", in modo da formare una matrice come in fig. 9.15, e così si procede per ottenere 16, 32, 64, ecc. uscite.
In tutti i casi si ottengono 2^n impulsi sequenziali in uscita, ciascuno su uno dei 2^n fili di uscita.
Si è già visto però che questa matrice a piramide impiega un grande numero di componenti, e si è fatto l'esempio di 16 uscite quando si sono studiate le matrici di selezione d'indirizzi.

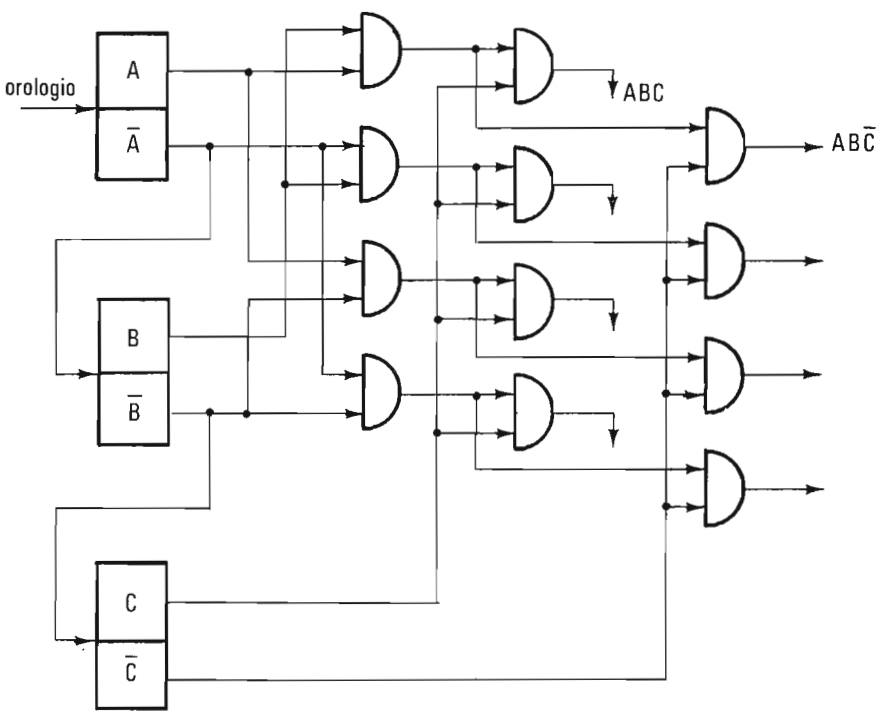


Fig. 9.15 -

Si è visto che per ottenere le 16 uscite occorre generare tutti i possibili AND logici elementari delle 4 variabili A B C D. Ma a suo tempo abbiamo visto che per avere un minimo numero di elementi è conveniente generare prima le funzioni :

$$X_1 = AB \qquad Y_1 = CD$$
$$X_2 = \overline{A}B \qquad Y_2 = \overline{C}D$$
$$X_3 = A\overline{B} \qquad Y_3 = C\overline{D}$$
$$X_4 = \overline{A}\overline{B} \qquad Y_4 = \overline{C}\overline{D}$$

e da queste le funzioni U d'uscita mediante l'operazione :

$$U = XY$$

cioè, circuitalmente, per il comando delle 16 uscite sequenziali si procede con lo schema presentato, per semplicità di notazione, come in fig. 9.16 (a) .

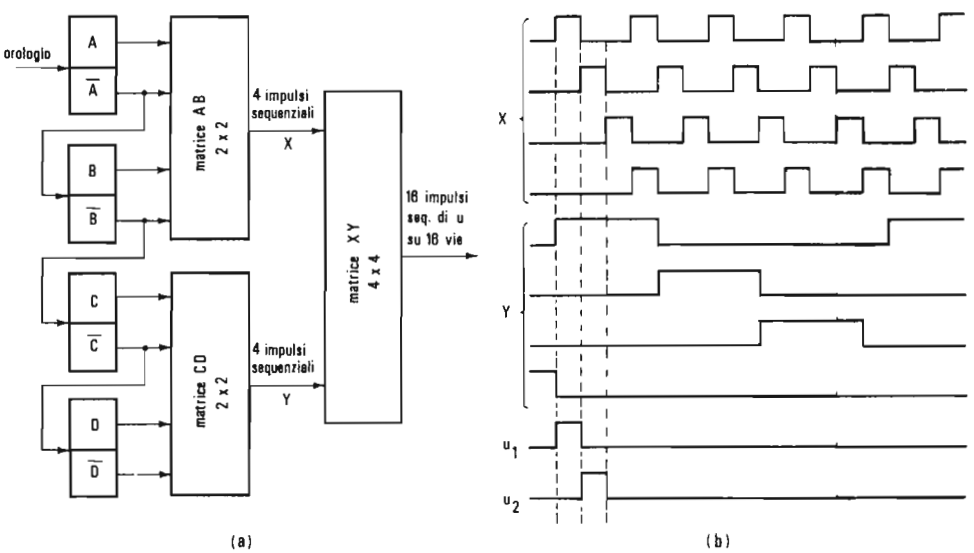


Fig. 9.16 -

Non è necessario che le matrici siano quadrate, possono essere anche rettangolari. Ad esempio, secondo il precedente criterio una matrice a piramide può essere rappresentata come in fig. 9.17.

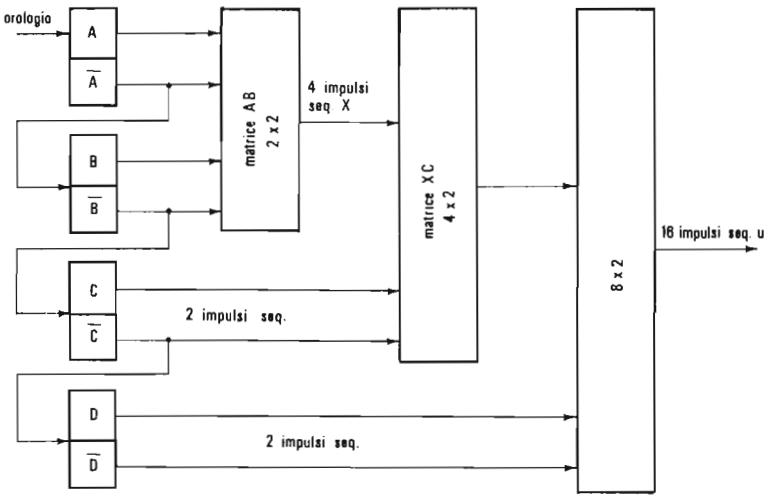


Fig. 9.17 -

9.8. MATRICI SEQUENZIALI PER FREQUENZE DI SUPERCOMMUTAZIONE E DI SUBCOMMUTAZIONE.

Tutti questi schemi ora visti danno un numero di uscite pari a 2^n. Vogliamo ora vedere qualche metodo per avere un numero di úscite diverso da 2^n. Consideriamo un circuito contatore d'impulsi: se il fattore di demoltiplicazione è n, si possono ottenere n impulsi sequenziali.
Poichè si può fare un contatore su qualsiasi base mediante una reazione nella catena dei bistabili, si vede che è possibile avere un qualsiasi numero di impulsi sequenziali.
Per numero n molto grande di uscite, non conviene usare un contatore molto lungo, ma conviene usarne due e collegarli ad una matrice rettangolare. Così ad esempio per 20 uscite si può usare lo schema di fig. 9.18. Questo metodo è del tutto generale e permette di ottenere dalla matrice un numero qualsiasi di uscite, purchè n non sia un numero primo.
Vediamo ora quali metodi si possono usare per generare impulsi a diverse frequenze. Negli schemi che abbiamo visto precedentemente, tutte le uscite hanno la stessa frequenza.

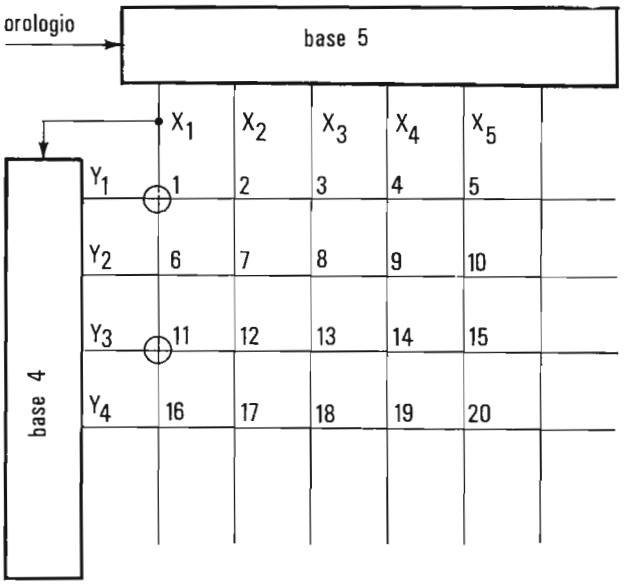


Fig. 9.18 -

Consideriamo l'ultimo schema. Chiamiamo **frequenza fondamentale o frequenza prima quella degli impulsi di uscita nei nodi della matrice.** Se le uscite sono 20, la frequenza prima sarà 1/20 della frequenza di orologio. Supponiamo di volere un canale in cui gli impulsi siano a frequenza doppia di questa fondamentale: ovviamente, in questo caso avrò 19 canali invece di 20, poichè il numero totale d'impulsi a frequenza prima non può variare. Inoltre, devo fare in modo che gli impulsi in questo canale a frequenza doppia siano tutti egualmente distanziati (come in fig. 9.19).

Supponiamo ad esempio di mandare le uscite corrispondenti ai canali 1 ed 11 ad un circuito di "OR": all'uscita dell'"OR" si ha un numero d'impulsi doppio, anche egualmente distanziati, perchè tra 1 ed 11 ci sono 9 altri

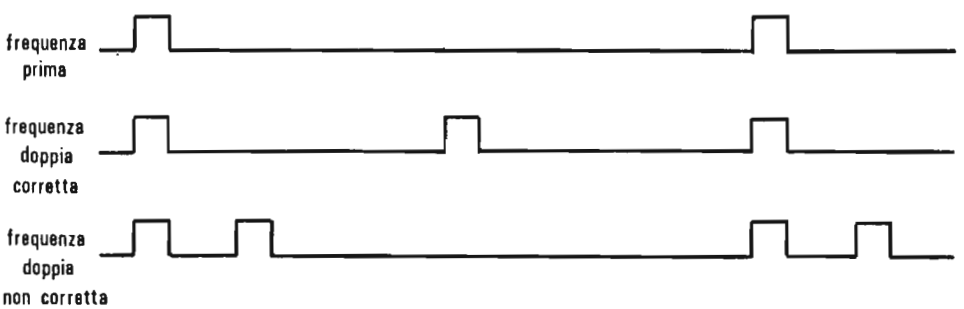


Fig. 9.19 -

impulsi ed altrettanti tra 11 ed 1 del ciclo restante.
Se si vogliono 5 uscite a frequenza doppia, possono mettersi 5 circuiti di "OR" ma, in questo caso è facile controllare che conviene mettere un solo circuito di "OR" tra le uscite Y_1 ed Y_3 e mandare questo ai 5 "AND" della prima riga (fig. 9.20).

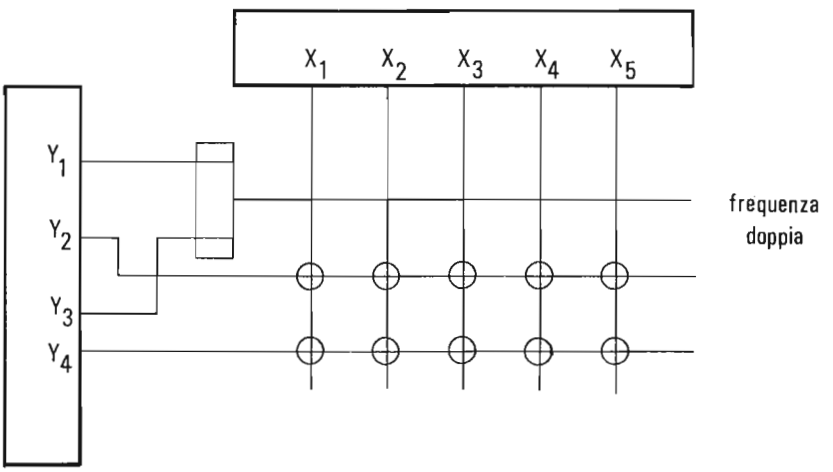


Fig. 9.20 -

Analogamente si può procedere per frequenze diverse, ottenendo gruppi di canali a diverse frequenze di campionamento. Naturalmente ci sono condizioni di compatibilità ed occorrerà scegliere opportunamente il numero di righe e colonne della matrice principale o "prima".
Le uscite corrispondenti direttamente alla matrice "prima" vengono chiamate uscite prime.
Le uscite aventi frequenza multipla delle uscite "prime" si dicono supercommutate.
Supponiamo ora di volere delle uscite a frequenza sottomultipla della prima. In questo caso, il numero di canali sarà maggiore del numero di impulsi a frequenza prima, poichè se si divide per 3 la frequenza di 1 uscita, si possono avere 3 uscite a questa frequenza sottomultipla, come nell'esempio di fig. 9.21.

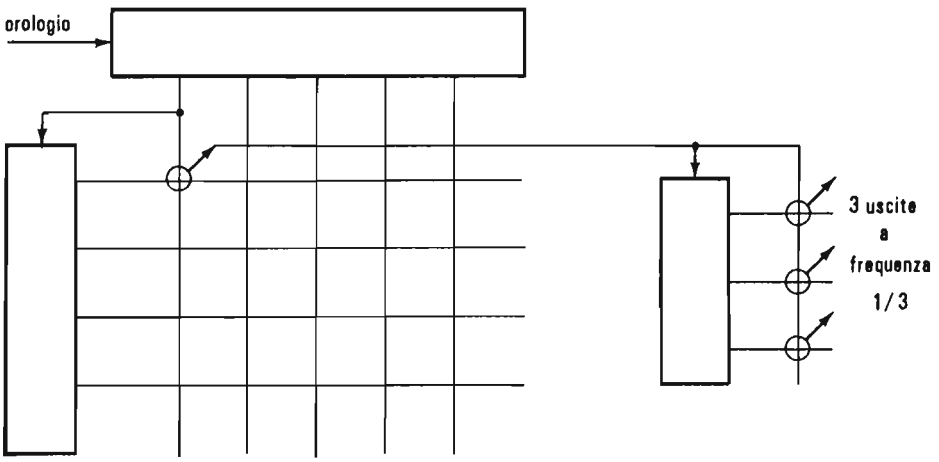


Fig. 9.21 -

Si hanno così uscite a frequenza $\frac{1}{3}$. Queste uscite si dicono subcommutate rispetto alla frequenza fondamentale.

Il numero delle uscite supercommutate e subcommutate dipende dal numero di variabili e dalla frequenza con cui ognuna deve essere campionata.

Capitolo 10

CONVERTITORI NUMERICO-ANALOGICI E ANALOGICO-NUMERICI.

I circuiti per convertire i segnali analogici in segnali codificati sotto forma digitale, e viceversa, sono diventati di grande importanza nei moderni sistemi di strumentazione perchè la interconnessione di varie apparecchiature che comunicano fra loro richiede mezzi adatti a tradurre i segnali da una forma all'altra.

In generale si deve considerare che nei sistemi di misura e di controllo le uscite analogiche dei sensori forniscono segnali i quali debbono essere tradotti in forma numerica per subire le successive elaborazioni con i calcolatori digitali; e viceversa le istruzioni ed i dati dei calcolatori e di tutta la moderna strumentazione digitale devono essere trasformati in segnali analogici per comandare gli ingressi dei controllori e degli attuattori, i quali dispongono prevalentemente solo di entrate per segnali analogici.

Una alternativa a questi sistemi di strumentazione ibrida, che comprende contemporaneamente unità analogiche e digitali, è quella di sistemi tutti digitali: oggi infatti, si vanno concentrando molti sforzi di ricerca per sviluppare nuovi sensori con uscite digitali e nuovi controllori con ingressi digitali. Tuttavia, nonostante qualche risultato ottenuto in connessione con i programmi di ricerca spaziale, questa alternativa resta per ora soprattutto come una tendenza di ricerca piuttosto che come pratica attuazione.

10.1. CONVERTITORI NUMERICO-ANALOGICI.

Per definizione un convertitore numerico-analogico accetta al suo ingresso un segnale numerico, sotto forma di una parola di n bit, e converte questa parola in un segnale analogico di tensione o di corrente.

Il circuito può essere costruito in modo da poter accettare la parola digitale nel codice che interessa, come ad esempio un codice BCD, o un codice binario. In quest'ultimo caso, se la parola è di n-bit, l'uscita unipolare del convertitore fornisce una tensione data dalla seguente espressione :

$$(1.10) \qquad V_u = V_R (a_1 \cdot 2^{-1} + a_2 \cdot 2^{-2} + a_3 \cdot 2^{-3} + \ldots\ldots + a_n \cdot 2^{-n})$$

dove V_R è una tensione analogica fissa di riferimento ed i coefficienti da a_1 ad a_n sono uguali a zero se il corrispondente bit è zero, mentre valgono 1 se il bit è uno.

Gli elementi essenziali che formano un convertitore numerico-analogico sono indicati nello schema a blocchi di Fig. 10.1.

Il registro di bistabili riceve come entrata la parola di n-bits. Ogni bistabile determina la chiusura o meno di un interruttore lineare verso la tensione di riferimento in modo da collegare ad essa un corrispondente resistore della rete a pesiera.

Questi resistori sono dimensionati in modo da contribuire a determinare la giusta tensione di uscita, come mostreremo nel paragrafo seguente.

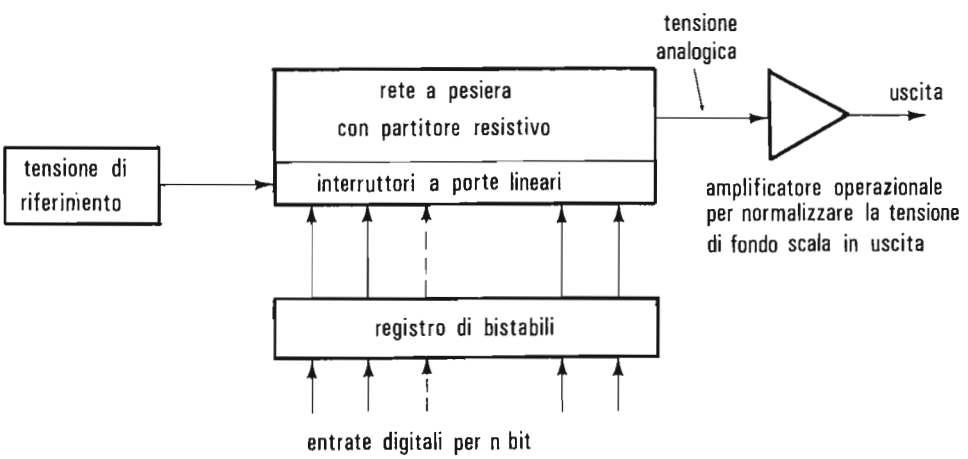


Fig. 10.1 - Schema a blocchi funzionale di un convertitore numerico - analogico in cui, sono mostrate le unità operative di base.

Il peso del bit più significativo (BPS) è $V_R/2$, e si scende a valori sempre più bassi fino ad arrivare al peso del bit meno significativo (BMS) che vale $V_R/2^n$.
Quando tutti i bit sono in 1, e perciò tutti gli interruttori sono collegati a V_R, la tensione di uscita della rete a pesiera è data da :

$$(10.2) \qquad V_u = V_R \sum_{1}^{n} {}_p \; 2^{-p} = V_R (1 - 2^{-n}).$$

L'amplificatore operazionale d'uscita è posto per due motivi: il primo è quello di disporre di un'uscita a bassa impedenza in grado di essere collegata a qualsiasi carico esterno senza perturbare la tensione formatasi nella rete a pesiera; il secondo è quello di poter normalizzare la tensione di uscita e far diventare il termine V_R, che compare nella (10.2), pari ad un valore che sia esattamente una potenza di 2 come ad esempio 10, 240 Volt. Questo lo si fa per avere il peso del bit meno significativo (BMS) pari esattamente ad una certa frazione di Volt: così se il convertitore è a 10 bit ($2^{10} = 1.024$), il BMS avrà esattamente il peso di 10 mV (10,240 Volt/ /1024); mentre se il convertitore è a 12 bit ($2^{12} = 4096$), il BMS sarà pari a 2,5 mV.

10.1.1. Rete a pesiera con resistenze scalate per valori binari.

Esaminiamo il caso semplice di una rete a pesiera per un convertitore a quattro bit, realizzata come nello schema di Fig. 10.2.
Gli interruttori collegano le resistenze alla tensione zero oppure a V_R a seconda che il corrispondente bit sia zero oppure 1.
Si vede facilmente che la resistenza equivalente della rete a pesiera, vista a sinistra del punto D, è pari a 4 R indipendentemente dalla posizione dell'interruttore S4. Così la resistenza equivalente a sinistra del punto C è

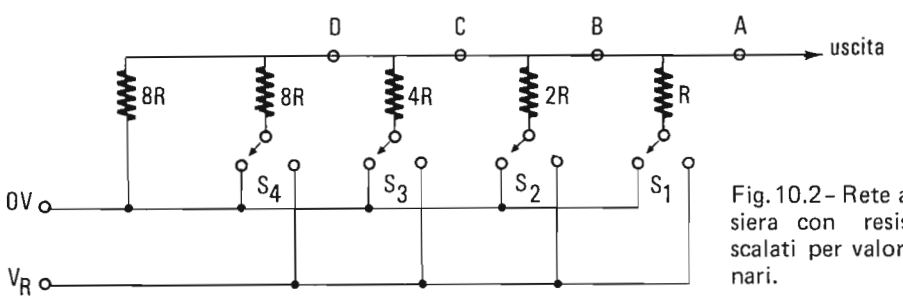


Fig. 10.2 - Rete a pesiera con resistori scalati per valori binari.

pari a 2 R indipendentemente dalle posizioni di S4 ed S3. A sinistra del punto B la resistenza equivalente è pari ad R e infine tutta la rete a pesiera ha una resistenza equivalente, vista dall'uscita, pari a R/2.
Perciò quando S_1 è collegato a V_R e tutti gli altri interruttori sono collegati a zero, la tensione di uscita sarà $V_R/2$. Se invece S_2 è collegato a V_R e tutti gli altri sono a zero compreso S_1, allora la tensione d'uscita, calcolata con le resistenze equivalenti del partitore, sarà pari a $V_R/4$.
Procedendo per analogia avremo con il solo S_3 verso V_R una uscita pari a $V_R/8$. Ed infine con il solo S_4 verso V_R avremo il valore $V_R/16$.
Per una configurazione generica di valori binari in entrata, ogni interruttore contribuirà con il peso ora calcolato a determinare la tensione di uscita della pesiera, come indicato nella tabella seguente:

Posizione degli interruttori				Tensione d'uscita come frazioni di V_R
S_1	S_2	S_3	S_4	
0	0	0	0	0
0	0	0	1	1/16
0	0	1	0	2/16 (1/8)
0	0	1	1	3/16 (1/8 + 1/16)
0	1	0	0	4/16
0	1	0	1	5/16 (1/4 + 1/16)
0	1	1	0	6/16 (1/4 + 1/8)
0	1	1	1	7/16 (1/4 + 1/8 + 1/16)
1	0	0	0	8/16 (1/2)
1	0	0	1	9/16 (1/2 + 1/16)
1	1	1	1	15/16 (1/2 + 1/4 + 1/8 + 1/16)

Lo schema di Fig. 10.2, generalizzato per convertire n bits, viene completato ponendo in uscita un amplificatore operazionale per i motivi dianzi accennati.
Scegliendo la resistenza di reazione R_F pari a 5 KΩ il peso del bit più significativo (BPS) diventa pari a 5 Volt, il successivo bit verrà 2,5 Volt e

così via fino al BMS.
Il valore di R_F può essere regolato intorno a questo valore in modo da poter variare il valore di fondo scala della tensione di uscita. Infatti, come è stato visto nel paragrafo 3.2, l'uscita dell'amplificatore operazionale è data da :

$$V_{u\,(f.s.)} = V_R \cdot \frac{R_F}{R/2} \qquad (10.3)$$

dove R/2 è la resistenza equivalente della pesiera. Il valore dato dalla (10.3) si riferisce ovviamente al caso in cui tutti gli interruttori sono in 1.

10.1.2. Reti a pesiera con resistenze a due soli valori.

La rete a pesiera prima descritta richiede solo un resistore per bit, ma comporta anche lo svantaggio di avere un valore diverso per ogni bit. L'intervallo dei valori può essere perciò molto grande all'aumentare del numero dei bit : non è facile allora mantenere precisi i rapporti fra tutte le resistenze; diventa anche difficile raggiungere una corretta compensazione per le variazioni di questi valori a causa dell'invecchiamento dei resistori o di effetti termici.

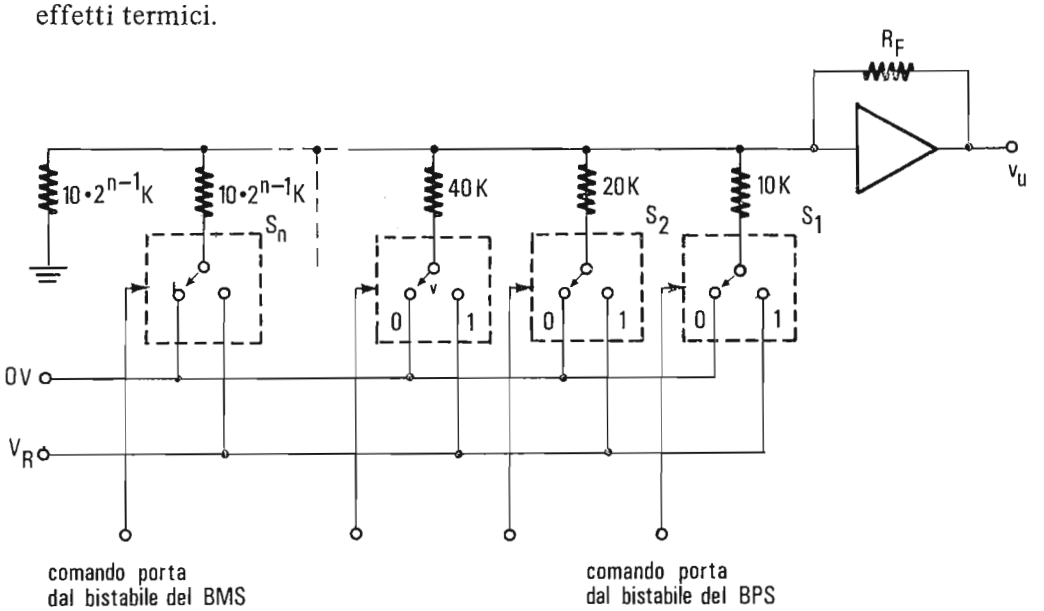


Fig. 10.3 - Rete a pesiera completata dall'amplificatore operazionale di uscita per normalizzare il valore di fondo scala e disaccoppiare la rete a pesiera del carico esterno.

Perciò la rete a pesiera più usata oggi è quella riportata in Fig. 10.4 che usa due resistenze per bit, ma in cui è possibile fissare due soli valori per tutte le resistenze.
Per capire il funzionamento della rete dobbiamo considerare un peso alla volta e poi applicare il criterio di sovrapposizione come nel paragrafo precedente.

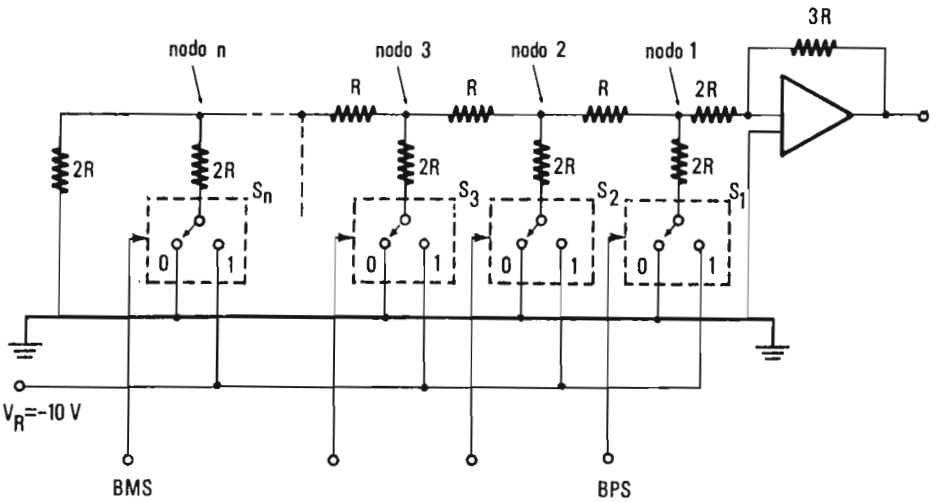


Fig. 10.4 - Rete a pesiera con due soli valori di resistenze.

Nel procedere si tenga presente che la resistenza equivalente vista a destra o a sinistra di ogni nodo è sempre pari a 2 R; sicchè la corrente I, che fluisce nella resistenza 2 R quando il corrispondente interruttore è collegato alla tensione V_R, si divide ugualmente in 1/2 a destra e a sinistra, come indicato in Fig. 10.5 (a).
Supponiamo ora che il BPS sia in 1, perciò con S_1 collegato a V_R, e che tutti gli altri bit siano a zero.
Il partitore equivalente al nodo 1 appare come in Fig. 10.5 (b), sicchè la tensione a questo nodo è pari a $V_R/3$. Il guadagno dell'amplificatore operazionale per la tensione che si presenta nel nodo 1 è dato dal rapporto fra le resistenze 3R/2R. Perciò la tensione di uscita è :

$$(10.4) \qquad V_1 = (V_R/3)\ (3R/2R) = V_R/2.$$

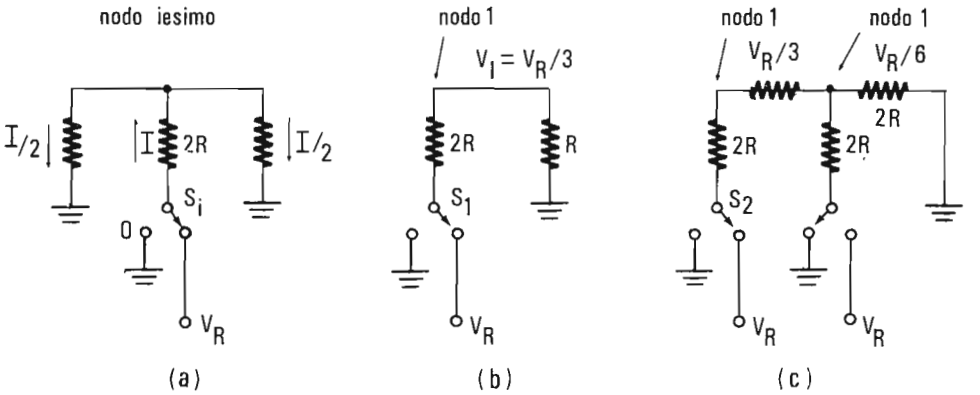


Fig. 10.5 - Schemi equivalenti per il calcolo delle tensioni al nodo 1 quando si chiudono gli interruttori in S_i.

Il circuito equivalente nel nodo 2 mostra analogamente che, quando S_2 è in 1 e tutti gli altri interruttori sono in zero, la tensione al nodo 2 deve essere anch'essa pari a $V_R/3$ come calcolato prima.
Il contributo di questa tensione nel nodo 1 viene però dimezzato a causa del rapporto di partizione della rete equivalente mostrata in Fig. 10.5 (c). Sicchè la tensione al nodo 1 dovuta alla chiusura dell'interruttore S_2 verso V_R è pari a $V_R/6$.
Il peso con cui S_2 contribuisce alla tensione d'uscita è dunque :

$$V_2 = (V_R/6)\ (3R/2R) = V_R/4. \tag{10.5}$$

Procedendo per analogia si vede che l'interruttore corrispondente al BMS contribuisce con un peso pari a $V_R/16$.

10.2. METODI DI CONVERSIONE ANALOGICO-NUMERICA.

Per definizione un convertitore analogico-numerico accetta in ingresso un segnale analogico e fornisce in uscita un'informazione numerica codificata, costituita da una parola di n bit. Esistono diversi metodi per eseguire questo tipo di conversione: tutti però possono essere descritti ricorrendo allo schema a blocchi generale di Fig. 10.6.

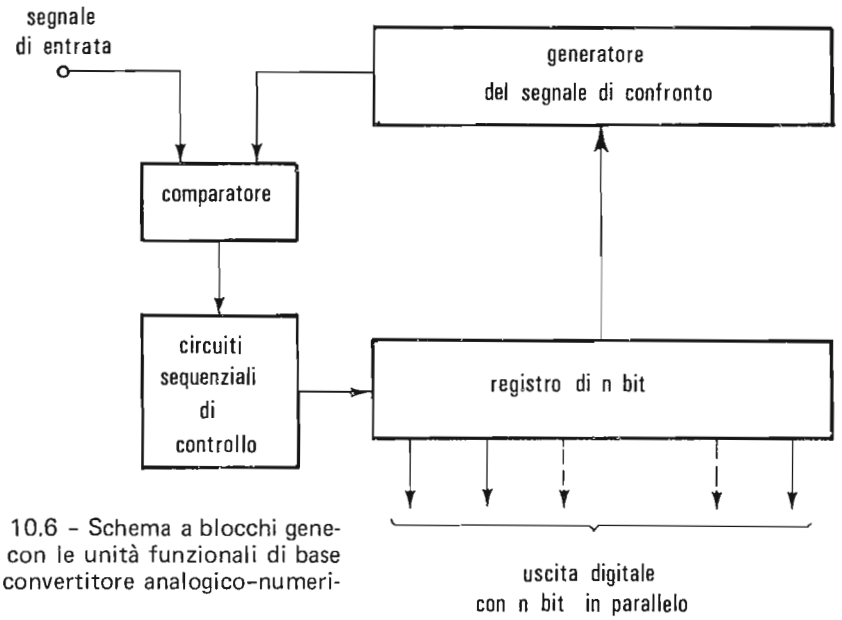


Fig. 10.6 - Schema a blocchi generale con le unità funzionali di base del convertitore analogico-numerico.

Qualunque sia il metodo di conversione adottato, **l'elemento chiave del convertitore rimane il circuito comparatore, che confronta il segnale di ingresso con un segnale generato localmente e rivela quale dei due è più grande fino a che il segnale locale non diventa uguale a quello d'ingresso.** Come vedremo in seguito il **generatore locale del segnale di confronto può essere realizzato con un circuito a rampa lineare che fornisce una tensione variabile linearmente entro tutto l'intervallo di variazione del segnale di ingresso; oppure può essere formato dalla rete a pesiera di un convertitore numerico-analogico comandata dallo stesso registro d'uscita.**
Infine i **circuiti sequenziali di controllo** sono costituiti da un insieme di circuiti logici i quali, a seconda che il segnale d'uscita del comparatore è positivo o negativo, danno gli opportuni comandi per il posizionamento dei bistabili del registro d'uscita e per determinare l'inizio e la fine della conversione.

10.2.1. Convertitore A-N del tipo a rampa lineare con conversione ampiezza-tempo.

In questo metodo di conversione, illustrato in Fig. 10.7, la tensione di ingresso è confrontata con la tensione di una rampa lineare in modo da ot-

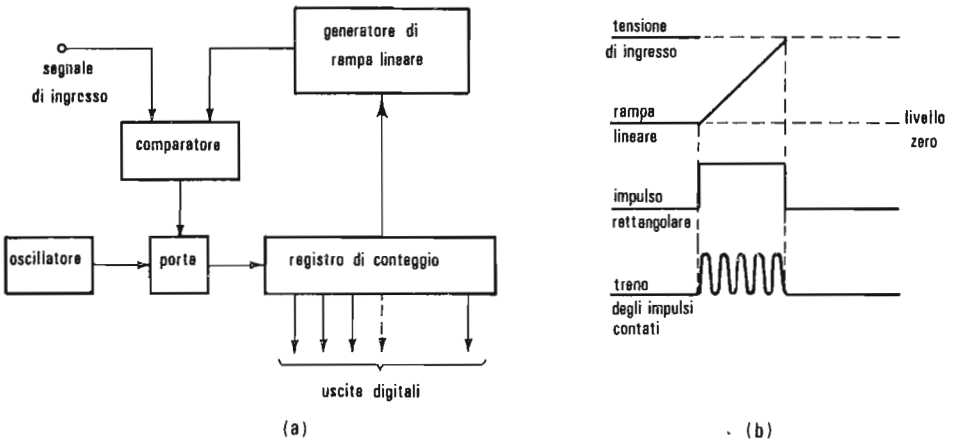


Fig. 10.7 - (a) (b) - Schema a blocchi del convertitore a rampa lineare (a) e sequenza delle forme d'onda per la conversione A → N (b).

tenere un impulso rettangolare che inizia quando inizia la rampa e finisce quando la tensione di rampa uguaglia la tensione di ingresso.

La durata di questo impulso rettangolare è perciò proporzionale al valore della tensione d'ingresso.

Se un registro di bistabili conta i periodi di un oscillatore compresi entro la durata dell'impulso, avremo che il numero contato sarà proporzionale al valore della tensione d'ingresso.

Avendo effettuato la conversione A→ N mediante una conversione ampiezza-tempo, e dividendo questo tempo in tanti intervalli in base al periodo di un oscillatore, si vede che il dato numerico, fornito dal registro dopo la conversione, corrisponde al valore della tensione d'ingresso con una accuratezza determinata dalla pendenza della rampa e dalla durata del periodo dell'oscillatore: questi due parametri determinano perciò la **"costante di proporzionalità nella conversione A→ N"**, cioè definiscono quanti mV corrispondono al passo elementare di conversione o al bit meno significativo (BMS).

E' bene anche notare che il tempo necessario per eseguire la conversione non è fisso, e che perciò la rapidità con cui essa si effettua varia e cresce al crescere del valore della tensione.

10.2.2. Convertitore A→ N a pesiera con registro di conteggio.

In questo tipo di convertitore, il cui schema a blocchi è riportato in Fig. 10.8, la tensione di confronto è generata con una rete a pesiera comandata dallo stesso registro di uscita il quale, partendo da zero, conta gli impulsi di un oscillatore-orologio fino a che la tensione della pesiera non uguaglia la tensione d'ingresso.

La costante di conversione, o l'intervallo minimo di tensione che stabilisce la finezza o risoluzione della conversione, è stabilita dal valore di tensione che corrisponde al bit-meno-significativo (BMS).

Anche in questo caso però il tempo di conversione non è fisso e cresce all'aumentare del valore della tensione d'ingresso perchè il contatore parte sempre da zero all'inizio della conversione.

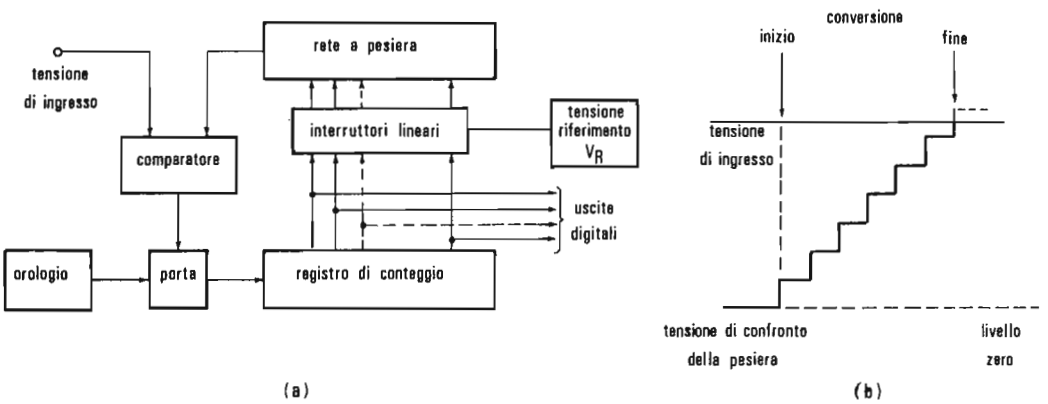


Fig. 10.8 - (a) (b) - Schema a blocchi (a) e sequenza (b) di conversione in un convertitore A → N a pesiera con contatore unidirezionale in somma.

Per questo motivo spesso lo schema di Fig. 10.8, viene trasformato come in Fig. 10.9 in cui **il registro di conteggio è bidirezionale, può cioé contare in somma o in sottrazione.** All'inizio della conversione non è allora necessario riportare il registro a zero, ma basta comandarlo a contare in somma se l'uscita del comparatore è negativa (differenza fra tensione della pesiera e tensione d'ingresso negativa), oppure in sottrazione se l'uscita del comparatore è positiva.

Così facendo, **il tempo di conversione dipende principalmente dalla differenza fra il valore di tensione convertito in precedenza, da cui si muove**

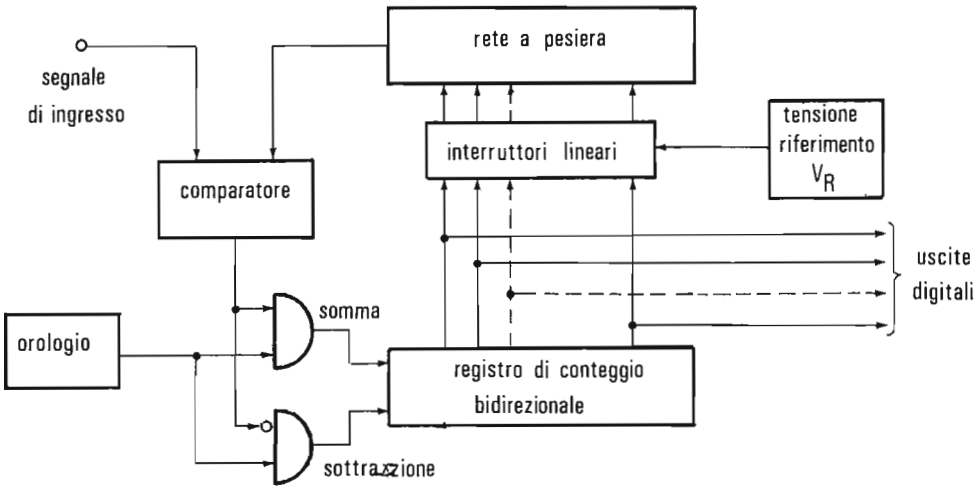


Fig. 10.9 - Convertitore A -> N a pesiera con contatore bidirezionale.

ora il registro di conteggio, ed il valore nuovo da convertire. E' chiaro come questo metodo sia vantaggioso per quanto riguarda la velocità di conversione soprattutto quando si tratta di seguire con successive conversioni una unica tensione variabile. Mentre, se il convertitore fosse posto all'uscita di un commutatore elettronico che fornisce segnali da diverse sorgenti, allora questo stesso metodo potrebbe non convenire giacchè fra una sorgente e la successiva i valori potrebbero essere molto diversi.

10.2.3. Convertitore A→ N a pesiera per successive approssimazioni.

Per raggiungere una velocità di conversione più elevata, si usa il convertitore a pesiera per successive approssimazioni. Indipendentemente dal valore del segnale d'ingresso, esso richiede un tempo pari a n periodi di orologio, se n è il numero di bit di conversione. Viceversa nei tipi di convertitore finora descritti il tempo di conversione era proporzionale al valore del segnale di ingresso in modo tale che per convertire il valore di fondo scala occorrono 2^n periodi di orologio.

Il metodo per successive approssimazioni è dunque più rapido dei precedenti ma richiede una logica più complessa e un maggior numero di circuiti: lo schema a blocchi generico è riportato in Fig. 10.10; uno schema logico con una descrizione delle sequenze delle forme d'onda è riportato in Fig. 10.11.

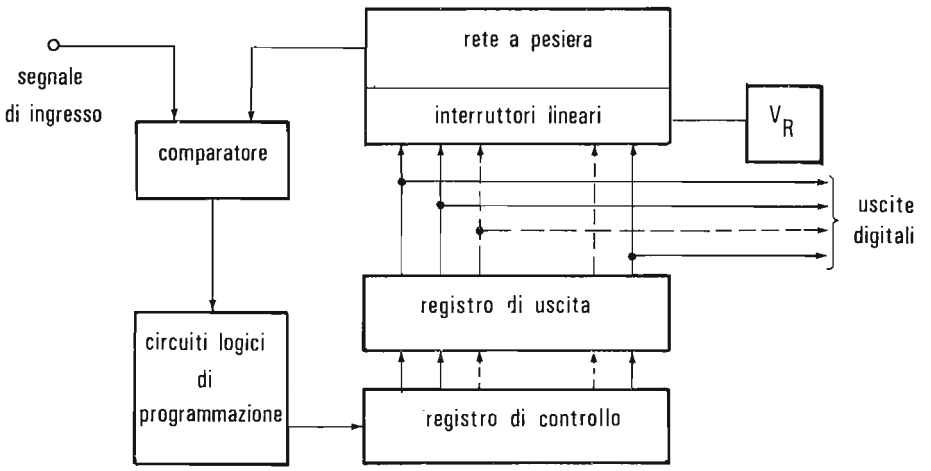
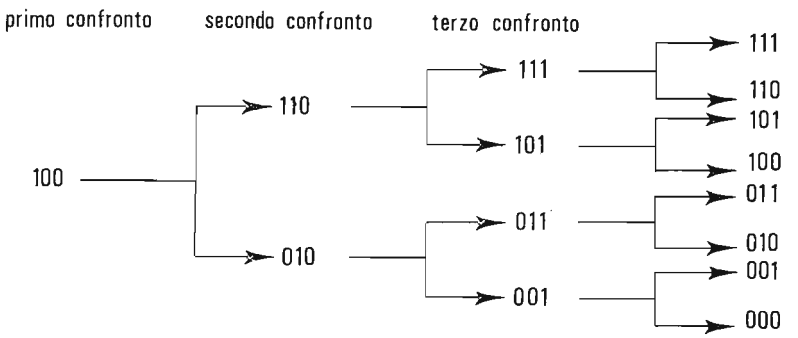


Fig. 10.10 - Schema a blocchi funzionale di un convertitore A -> N a pesiera per successive approssimazioni.

Assumendo che sia V_{fs} il valore di fondo scala, la sequenza di conversione si svolge come segue: la tensione d'ingresso E viene confrontata dapprima con il peso $V_{fs}/2$; se $E > V_{fs}/2$ il peso è mantenuto, il BPS assume il valore 1 e la sequenza prosegue confrontando E con la tensione $V_{fs}/2 + V_{fs}/4$; se invece $E < V_{fs}/2$ il peso del BPS è eliminato, il BPS assume il valore 0 e il successivo confronto è fatto solo con $V_{fs}/4$.
La sequenza dei confronti prosegue analogamente con i successivi pesi $V_{fs}/8$, $V_{fs}/16$ e così via fino al peso del BMS che vale $V_{fs}/2^n$: la successione delle decisioni binarie è illustrata nella tabella seguente in cui si mostrano i tre passi di confronto che portano agli otto possibili valori di un convertitore a soli tre bit.



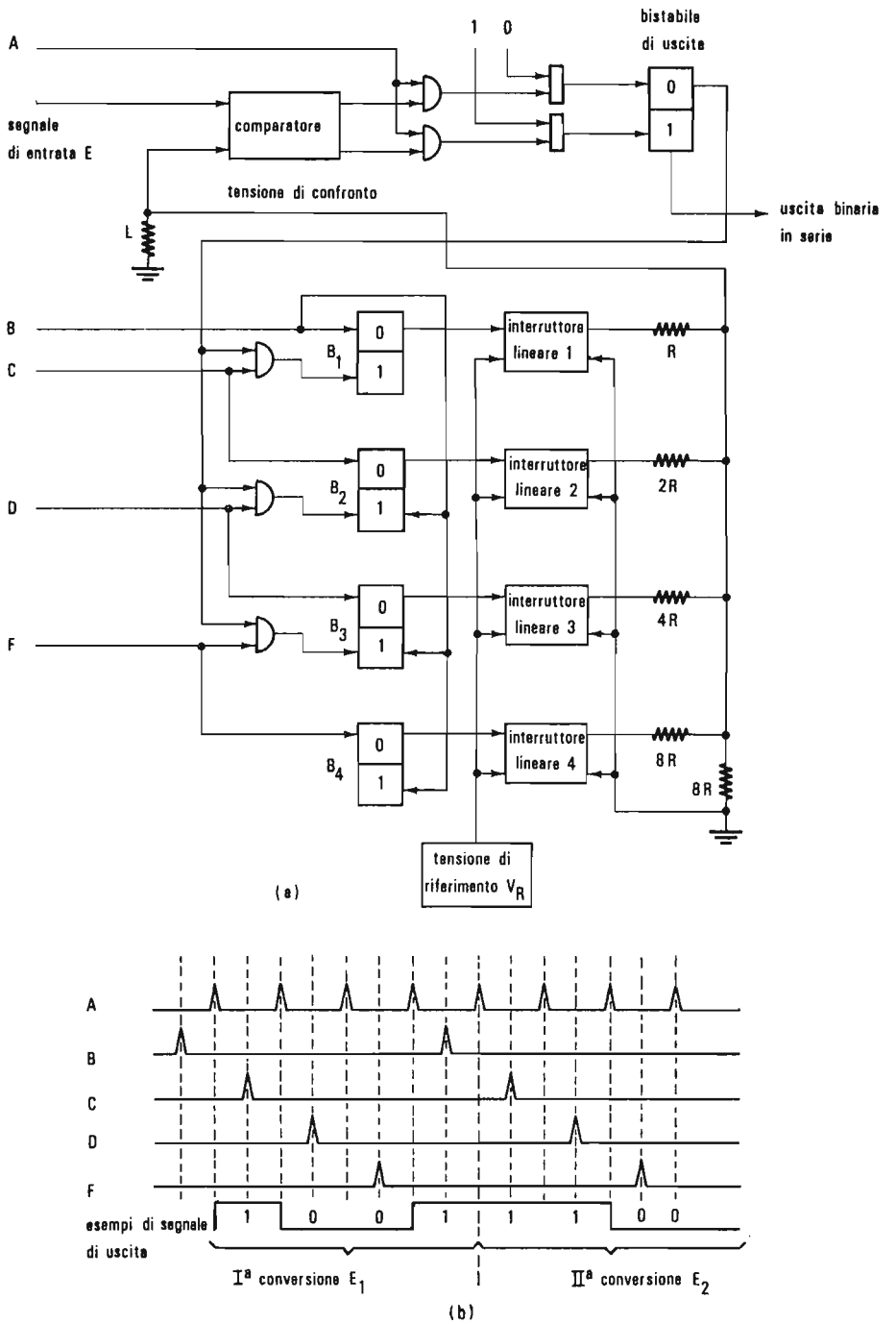


Fig. 10.11 - (a) (b) - Schema logico (a) e sequenza degli impulsi di comando conversione in un CAN a pesiera a 4 bit.

La sequenza di conversione per uno schema logico come quello riportato in Fig. 10.11 procede come segue. L'impulso B porta in 1 il bistabile B_1 e azzera tutti gli altri. Quando il bistabile è in 1 chiude il corrispondente interruttore lineare che applica la tensione V_R alla resistenza della rete a pesiera: la tensione di paragone ha perciò il valore $V_R/2$. A seconda che la differenza $E - V_R/2$ è positiva o negativa l'impulso A passa in uno o nell'altro degli AND comandati dall'uscita del comparatore, e comanda in 1 o in 0 il bistabile di uscita.
Quando si applica l'impulso C esso porta in 1 il bistabile B_2 e applica così il peso $V_R/4$ alla tensione di confronto. Ma l'uscita 0 del bistabile di uscita, che attraverso i relativi circuiti di AND comanda tutti gli ingressi di set dei bistabili di registro, stabilisce se B_1 deve rimanere in 1 o deve tornare a zero quando si applica C. La sequenza continua come prima descritto per determinare la differenza fra l'entrata E e la nuova tensione di confronto, e per determinare la posizione in cui devono rimanere i bistabili B_2 e B_3 quando arrivano gli impulsi D ed F.
Termina così l'operazione di conversione: il segnale codificato può essere prelevato come segnale binario in serie nel tempo all'uscita del bistabile d'uscita, oppure come segnale binario in parallelo su 4 fili all'uscita dei quattro bistabili di registro B_1 B_2 B_3 B_4.

10.2.4. Convertitori A→ N con molti comparatori in parallelo.

La velocità di conversione può essere ulteriormente aumentata se si usa più di un comparatore per confrontare il segnale da convertire.
E' facile immaginare, ad esempio, un convertitore con 16 comparatori in parallelo ognuno con una soglia di confronto distanziata di un valore Δ V dal comparatore adiacente: esso è in grado di convertire in un'unica fase di confronto il segnale d'ingresso con 4 bit di risoluzione. In Fig. 10.12 è riportato lo schema a blocchi generico e la disposizione delle soglie dei comparatori.
Si vede che con questo metodo si raggiunge la massima velocità di conversione a spese però della massima complessità circuitale, giacchè per un convertitore con n bit occorrono 2^n comparatori: il metodo diventa praticamente inattuabile quando n supera i 4 o 5 bit, cioè quando la conversione deve raggiungere una risoluzione sempre maggiore con un Δ V più

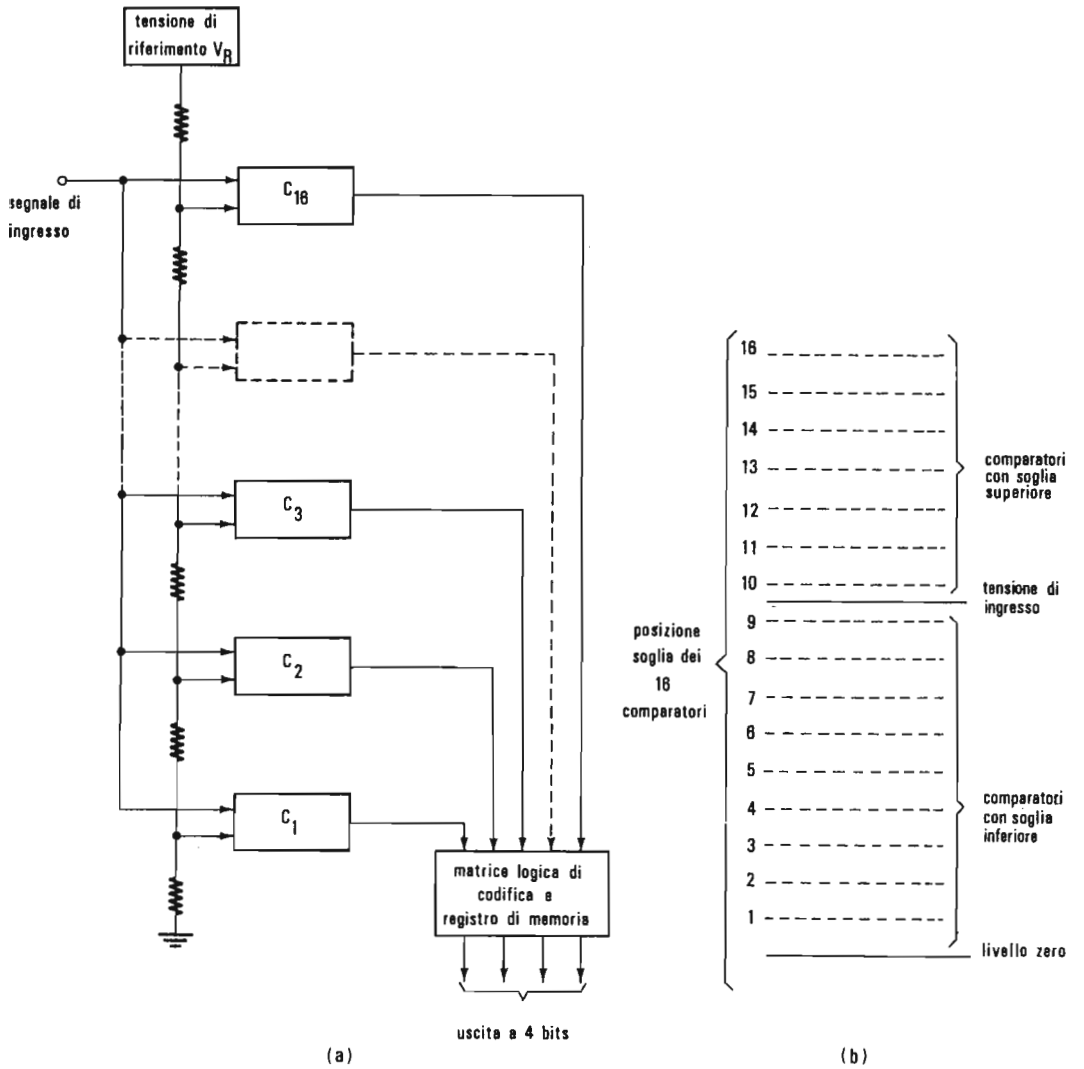


Fig. 10.12 - (a) (b) - Schema a blocchi e posizione delle soglie in un convertitore a 4 bit con $2^4 = 16$ soglie indipendenti per altrettanti comparatori.

ristretto.

Un'alternativa che riduce ancora il tempo di conversione rispetto ai casi visti nei paragrafi precedenti, ma che richiede l'uso solo di n comparatori se n è il numero dei bit di conversione, è offerta dal metodo detto di "approssimazione in parallelo".

Questo metodo può essere attuato in diverse versioni circuitali di cui una, a titolo di esempio, è riportata in Fig. 10.13. Tutte le versioni fanno però uso sempre di n comparatori.

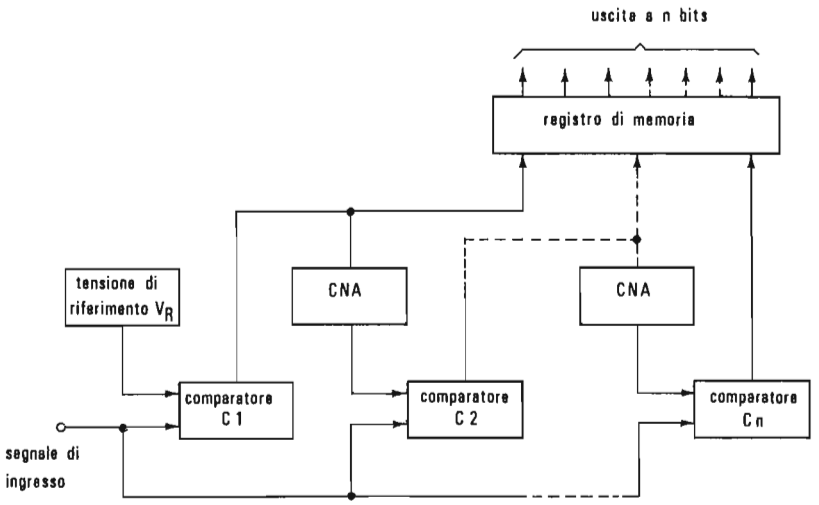


Fig. 10.13 - Schema a blocchi di un convertitore per approssimazione in parallelo con CAN.

Il segnale analogico d'ingresso entra nel primo comparatore relativo al BPS che confronta l'ingresso con $V_{fs}/2$. Se il segnale d'ingresso è maggiore di questo valore, l'uscita del comparatore applica un peso pari al BPS a tutti i convertitori numerici analogici CNA che definiscono la soglia dei successivi comparatori. Non appena il primo comparatore ha compiuto la decisione, il secondo può subito iniziare il successivo confronto.
Un'altra versione molto nota del convertitore a n comparatori per approssimazione in parallelo è quella in cui ogni unità CNA di Fig. 10.13 è rimpiazzata con un amplificatore operazionale con guadagno pari a 2 come in Fig. 10.14. Il segnale analogico d'ingresso va al primo comparatore; se è superiore a $V_R/2$ il comparatore fornisce in uscita una tensione corrispondente a $V_R/2$ che viene sottratta al segnale d'ingresso, moltiplicata per 2 e passata al successivo comparatore.
La velocitá maggiore di questi tipi, rispetto a quello visto nel paragrafo 10.2.3, è ottenuta perchè il tempo richiesto per le decisioni dei comparatori è molto ridotto. Infatti non si deve aspettare, come in Fig. 10.10, che un unico comparatore si riporti completamente in condizioni stazionarie prima di iniziare il successivo confronto. Questo contribuisce molto ad aumentare la velocità di conversione in quanto le commutazioni dei circuiti logici, dei bistabili e dei CNA, sono molto più rapide delle commutazio-

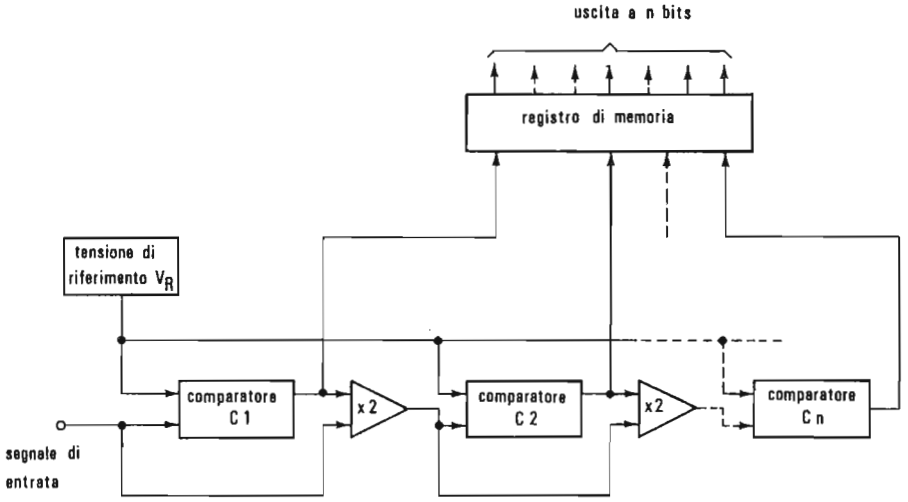


Fig. 10.14 - Schema a blocchi di un CAN per approssimazioni in parallelo con amplificatori operazionali.

ni del comparatore perchè nel comparatore per rinnovare il confronto occorre aspettare ogni volta che tutti i transienti si siano completamente esauriti.

INDICE

Pagina mancante

Pagina mancante

2.2 I Diodi . . . . . Pag. 77
2.2.1 Il diodo a giunzione . . . . . " 77
2.2.2 Curve caratteristiche del diodo a giunzione . . . . . " 79
2.2.3 Il diodo Zener . . . . . " 80
2.2.4 Il diodo Tunnel . . . . . " 82
2.3 Il transistore a giunzione . . . . . " 86
2.3.1 L'azione di transistore . . . . . " 88
2.3.2 Le equazioni di Ebers e Moll . . . . . " 89
2.3.3 Le regioni di funzionamento del transistore . . . . . " 91
2.3.4 Caratteristiche statiche e determinazione della retta di carico . " 95
2.3.5 Schemi equivalenti nella regione attiva ed a bassa frequenza . . " 98
2.3.6 Variazione dei parametri degli schemi equivalenti in funzione della frequenza . . . . . " 100
2.3.7 Tempi di commutazione nei transistori comandati da grandi segnali impulsivi . . . . . " 102
2.4 I transistori MOS . . . . . " 106
2.4.1 Generalità . . . . . " 106
2.4.2 Il FET unipolare a giunzione . . . . . " 108
2.4.3 Costituzione fisica del MOS. . . . . " 109
2.4.4 Descrizione del funzionamento del MOS . . . . . " 111
2.4.5 La tensione di soglia V_T nel transistore MOS . . . . . " 117
2.4.6 Struttura MNOS . . . . . " 119
2.4.7 Struttura "Silicon Gate". . . . . " 120
2.4.8 Strutture ottenute con diversi tagli cristallografici degli strati di silicio. . . . . " 120
2.4.9 Strutture ottenute per "Ion implantation". . . . . " 121
2.4.10 Il MOS a canale N . . . . . " 121
2.4.11 La struttura a MOS complementari C-MOS. . . . . " 123
2.4.12 Schema equivalente del transistore MOSFET . . . . . " 123
2.4.13 Il transistore MOSFET usato come interruttore per grandi segnali impulsivi. . . . . " 126

CAPITOLO III - CIRCUITI PER L'AMPLIFICAZIONE DEGLI IMPULSI

3.1 Guadagno degli amplificatori con reazione negativa . . . . . " 130
3.1.1 Fluttuazioni del guadagno in un amplificatore reazionato . . . " 131
3.1.2 Variazione della lunghezza di banda in un amplificatore reazionato . . . . . " 132
3.1.3 Variazioni dell'impedenza di uscita di un amplificatore reazionato " 133
3.1.4 Condizioni di stabilità negli amplificatori reazionati . . . . . " 134
3.2 Tecniche circuitali . . . . . " 138
3.2.1 L'amplificatore ad un singolo stadio . . . . . " 138
3.2.2 Amplificatore a più stadi con reazione globale . . . . . " 141
3.2.3 Lo stadio amplificatore con connessione tipo Darlington . . . " 144
3.2.4 L'amplificatore differenziale . . . . . " 145
3.2.5 L'amplificatore operazionale . . . . . " 149
3.2.6 Alcune applicazioni tipiche dell'amplificatore operazionale . . " 151

CAPITOLO IV - CIRCUITI PER LA FORMAZIONE DEGLI IMPULSI CON COMPONENTI NON LINEARI

4.1 Circuiti di vincolo o circuiti fissatori . . . . . Pag. 155
4.1.1 Teorema delle aree . . . . . " 157
4.1.2 Vincoli per tensioni diverse da zero . . . . . " 158
4.2 Circuiti di taglio . . . . . " 159
4.2.1 Taglio con diodi . . . . . " 160
4.2.2 Taglio con transistori . . . . . " 161
4.2.3 Taglio a due livelli indipendenti con diodi . . . . . " 164
4.2.4 Taglio a due livelli indipendenti con transistori . . . . . " 164
4.3 Discriminatori di ampiezza . . . . . " 166
4.3.1 L'amplificatore differenziale con reazione positiva ed il circuito di Schmitt . . . . . " 167
4.3.2 L'isteresi del circuito di Schmitt . . . . . " 169
4.3.3 Applicazioni del circuito di Schmitt . . . . . " 172

CAPITOLO V - CIRCUITI PER LA GENERAZIONE DEGLI IMPULSI

5.1 Generalità . . . . . " 175
5.2 Il multivibratore astabile . . . . . " 175
5.3 Multivibratore monostabile . . . . . " 181
5.4 Multivibratore bistabile . . . . . " 184
5.5 Reti di comando per il bistabile . . . . . " 190
5.6 Bistabili a MOSFET . . . . . " 192
5.7 L'oscillatore bloccato . . . . . " 194
5.7.1 Oscillatore bloccato monostabile con controllo a corrente di base " 195
5.7.2 Oscillatore bloccato monostabile con controllo a corrente di emettitore . . . . . " 198
5.7.3 Oscillatore bloccato astabile . . . . . " 200
5.7.4 Considerazioni sul tempo di salita degli impulsi dell'oscillatore bloccato . . . . . " 202
5.8 Generatori di rampa lineare . . . . . " 202
5.8.1 Il generatore di rampa con la rete di quasi-integrazione . . . . " 205
5.8.2 Il generatore di rampa tipo Bootstrap . . . . . " 206
5.8.3 Il generatore di rampa tipo Miller . . . . . " 209
5.8.4 Il generatore di rampa a corrente costante . . . . . " 212
5.9 Generatori d'impulsi a resistenza negativa con diodi tunnel . . . . . " 213
5.9.1 Funzionamento bistabile . . . . . " 216
5.9.2 Funzionamento monostabile . . . . . " 217
5.9.3 Funzionamento astabile . . . . . " 219

CAPITOLO VI - ALGEBRA DELLA LOGICA

6.1 Elementi di algebra della logica . . . . . " 221
6.2 Le proprietà delle operazioni logiche . . . . . " 223
6.3 Metodo per la minimizzazione di una funzione logica . . . . . " 230
6.4 Simbolismo di rappresentazione dei circuiti logici . . . . . " 232
6.5 La funzione "Memorizzazione" e l'elemento bistabile . . . . . " 234

6.6 Reti sequenziali di bistabili . . . . . Pag. 239
6.7 Determinazione delle "equazioni di ingresso" dall'"equazione di applicazione" della rete sequenziale e dall' "equazione caratteristica" del bistabile " 240
6.7.1 L'equazione di applicazione . . . . . " 241
6.7.2 Le "equazioni caratteristiche" dei vari tipi di bistabile . . . . " 242
6.7.3 Le equazioni di ingresso dei vari tipi di bistabile . . . . . " 243
6.7.4 Derivazione delle equazioni di ingresso per una specifica applicazione con l'uso della mappa di Karnaugh . . . . . " 245
6.7.5 Derivazione delle equazioni di ingresso per una specifica applicazione, considerando solo le condizioni che precedono una commutazione del bistabile . . . . . " 246

CAPITOLO VII - SCHEMI LOGICI DI UNITA' OPERATIVE
7.1 Rappresentazione dei numeri con base diversa da 10 . . . . . " 251
7.2 Le operazioni aritmetiche . . . . . " 253
7.3 Schemi logici per l'addizionatore . . . . . " 259
7.4 Schemi logici per il moltiplicatore . . . . . " 266
7.5 Schemi logici per i registri di conteggio . . . . . " 269
7.6 Schemi logici per i registri a scorrimento . . . . . " 276
7.7 Schemi logici per i circuiti di decodifica . . . . . " 279

CAPITOLO VIII - SCHEMI CIRCUITALI DI PORTE LOGICHE
8.1 Criteri generali di progetto . . . . . " 283
8.2 Le famiglie di porte logiche . . . . . " 285
8.3 Logica a diodi . . . . . " 288
8.4 Logica DCTL . . . . . " 291
8.5 Logica RTL . . . . . " 293
8.6 Logica DTL . . . . . " 296
8.7 Logica TTL . . . . . " 298
8.8 Logica per commutazione di correnti CMS . . . . . " 301
8.9 Logica ECL . . . . . " 304
8.10 Porte logiche a transistori MOSFET . . . . . " 305
8.11 Porte logiche connesse a bistabile . . . . . " 307

CAPITOLO IX - CIRCUITI DI PORTA LINEARE E COMMUTATORI ELETTRONICI
9.1 Schemi di principio per il funzionamento delle porte lineari . . . . . " 312
9.2 Porte lineari a diodi . . . . . " 312
9.3 Porte lineari a transistori bipolari . . . . . " 315
9.4 Porte lineari con transistori MOSFET . . . . . " 319
9.5 Circuiti allungatori o di tenuta . . . . . " 321
9.6 Commutatori elettronici per segnali analogici a molte vie . . . . . " 322
9.7 Matrici sequenziali per il comando a frequenza di commutazione unica . " 324
9.8 Matrici sequenziali per frequenze di supercommutazione e di subcommutazione . . . . . " 328

CAPITOLO X - CONVERTITORI, NUMERICO – ANALOGICI E ANALOGICO – NUMERICI

10.1 Convertitori numerico-analogici . . . . . Pag. 334
10.1.1 Rete a pesiera con resistenze scalate per valori binari . . . . . " 335
10.1.2 Rete a pesiera con resistenze a due soli valori . . . . . " 337
10.2 Metodi di conversione analogico-numerica . . . . . " 339
10.2.1 Convertitore A-N del tipo a rampa lineare con conversione ampiezza-tempo . . . . . " 340
10.2.2 Convertitore A→N a pesiera con registro di conteggio . . . . . " 342
10.2.3 Convertitore A→N a pesiera per successive approssimazioni . . " 343
10.2.4 Convertitore A→N con molti comparatori in parallelo . . . . . " 346

PREZZO L. 6.000